



(12) 发明专利

(10) 授权公告号 CN 107180861 B

(45) 授权公告日 2020. 10. 30

(21) 申请号 201610133540.6

(22) 申请日 2016.03.09

(65) 同一申请的已公布的文献号
申请公布号 CN 107180861 A

(43) 申请公布日 2017.09.19

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 周飞

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 高静 吴敏

(51) Int. Cl.

H01L 29/70 (2006.01)

H01L 21/328 (2006.01)

(56) 对比文件

US 2013168819 A1, 2013.07.04

CN 103022107 A, 2013.04.03

CN 104124152 A, 2014.10.29

审查员 李海龙

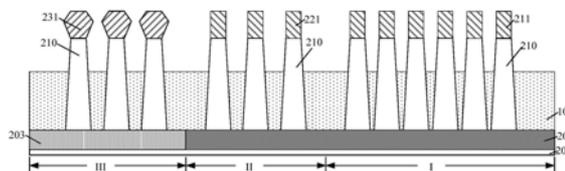
权利要求书3页 说明书10页 附图4页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构及其形成方法,所述方法包括:提供衬底,包括第一区域、环绕第一区域且与第一区域相邻的第二区域,以及环绕第二区域且与第二区域相邻的第三区域;刻蚀衬底,形成鳍部,第一区域的鳍部密度大于第二区域和第三区域的鳍部密度;在第一区域的鳍部内形成垂直于所述衬底表面方向的剖面形状为U形的第一开口;在第一开口中形成第一连接层。由于第一区域的鳍部密度较大,鳍部与鳍部之间的距离较小,本发明通过形成垂直于所述衬底表面方向的剖面形状为U形的第一连接层,避免所述第一连接层因侧壁具有凸出形貌而发生互相连接,从而避免所述第一连接层的形貌对双极结型晶体管的性能稳定性造成不良影响,进而提高半导体器件的电学性能。



CN 107180861 B

1. 一种半导体结构的形成方法,其特征在于,包括:

提供衬底,所述衬底包括第一区域、环绕所述第一区域且与所述第一区域相邻的第二区域,以及环绕所述第二区域且与所述第二区域相邻的第三区域,所述第一区域用于形成发射极,所述第二区域用于形成基极,所述第三区域用于形成集电极;

刻蚀所述衬底,形成鳍部,所述第一区域的鳍部密度大于所述第二区域和第三区域的鳍部密度;

在所述第一区域的鳍部内形成第一开口,所述第一开口垂直于所述衬底表面方向的剖面形状为U形;

在所述第一开口中形成第一连接层;

对所述第一连接层进行离子掺杂,以形成发射极;

在第二区域的鳍部内形成基极;

在第三区域的鳍部内形成集电极。

2. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述鳍部后,在所述第一区域的鳍部内形成第一开口之前,还包括:

在所述第一区域以及第二区域的衬底内形成第一阱区;

在所述第三区域的衬底内形成第二阱区,所述第二阱区的掺杂类型与所述第一阱区的掺杂类型不同。

3. 如权利要求2所述的半导体结构的形成方法,其特征在于,所述第一阱区为N型阱区,所述第二阱区为P型阱区。

4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一连接层的材料为SiC或SiCP。

5. 如权利要求1所述的半导体结构的形成方法,其特征在于,在所述第一区域的鳍部内形成第一开口的步骤中,在所述第二区域的鳍部内形成第二开口;

在所述第一开口中形成第一连接层的步骤中,在所述第二开口中形成第二连接层;

在形成所述第一连接层和第二连接层之后,对所述第一连接层进行离子掺杂之前,还包括:在所述第三区域的鳍部内形成第三开口;在所述第三开口中形成第三连接层。

6. 如权利要求5所述的半导体结构的形成方法,其特征在于,所述第二开口垂直于所述衬底表面方向的剖面形状为U形;

所述第二连接层的材料为SiC或SiCP。

7. 如权利要求5所述的半导体结构的形成方法,其特征在于,所述第三开口垂直于所述衬底表面方向的剖面形状为Sigma形;

所述第三连接层的材料为SiGe或SiGeB。

8. 如权利要求5所述的半导体结构的形成方法,其特征在于,在所述第二区域的鳍部内形成基极的步骤中,对所述第二连接层进行离子掺杂,以形成基极;

在所述第三区域的鳍部内形成集电极的步骤中,对所述第三连接层进行离子掺杂,以形成集电极。

9. 如权利要求8所述的半导体结构的形成方法,其特征在于,所述衬底用于形成PNP双极结型晶体管,对所述第一连接层进行离子掺杂的工艺为P型离子掺杂工艺;对所述第二连接层进行离子掺杂的工艺为N型离子掺杂工艺;对所述第三连接层进行离子掺杂的工艺为P

型离子掺杂工艺。

10. 如权利要求9所述的半导体结构的形成方法,其特征在于,对所述第一连接层进行离子掺杂的工艺参数包括:掺杂的离子为磷离子、砷离子或锑离子,离子能量为1Kev至30Kev,离子剂量为 $1E15$ 至 $8E15$ 原子每平方厘米。

11. 如权利要求1所述的半导体结构的形成方法,其特征在于,对所述第一连接层进行离子掺杂的步骤包括:

在形成所述第一连接层的过程中进行原位自掺杂;

或者,在形成所述第一连接层之后对所述第一连接层进行离子掺杂工艺。

12. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述第一连接层的工艺为化学气相沉积外延生长法。

13. 如权利要求12所述的半导体结构的形成方法,其特征在于,所述化学气相沉积外延生长法的工艺参数包括:工艺温度为 500°C 至 950°C ,工艺时间为100s至10000s,反应室气压为5Torr至1000Torr,预处理气体氢气,反应气体为氯化氢、二氯二氢硅、硅烷中的一种气体或多种构成的混合气体。

14. 一种半导体结构,其特征在于,包括:

衬底,所述衬底包括第一区域、环绕所述第一区域且与所述第一区域相邻的第二区域,以及环绕所述第二区域且与所述第二区域相邻的第三区域,所述第一区域用于形成发射极,所述第二区域用于形成基极;所述第三区域用于形成集电极;

鳍部,凸出于所述衬底表面,所述第一区域的鳍部密度大于所述第二区域和第三区域的鳍部密度;

第一连接层,位于所述第一区域的鳍部内,所述第一连接层垂直于所述衬底表面方向的剖面形状为U形;

发射极,位于所述第一连接层内,所述发射极具有掺杂离子;

基极,位于所述第二区域的鳍部内;

集电极,位于所述第三区域的鳍部内。

15. 如权利要求14所述的半导体结构,其特征在于,还包括:第一阱区,位于所述第一区域以及所述第二区域的衬底内;第二阱区,位于所述第三区域的衬底内。

16. 如权利要求15所述的半导体结构,其特征在于,所述第一阱区为N型阱区,所述第二阱区为P型阱区。

17. 如权利要求14所述的半导体结构,其特征在于,所述第一连接层的材料为SiC或SiCP。

18. 如权利要求14所述的半导体结构,其特征在于,所述半导体结构为PNP双极结型晶体管,所述发射极的掺杂离子为P型离子;所述基极的掺杂离子为N型离子;所述集电极的掺杂离子为P型离子。

19. 如权利要求18所述的半导体结构,其特征在于,所述发射极的掺杂离子为磷离子、砷离子或锑离子,掺杂离子的浓度为 $1E15$ 原子每立方厘米至 $8E15$ 原子每立方厘米。

20. 如权利要求14所述的半导体结构,其特征在于,还包括:

位于所述第二区域的鳍部内的第二连接层,所述第二连接层垂直于所述衬底表面方向的剖面形状为U形,所述基极位于所述第二连接层内;

位于所述第三区域的鳍部内的第三连接层,所述第三连接层垂直于所述衬底表面方向的剖面形状为Sigma形,所述集电极位于所述第三连接层内。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 随着半导体芯片的运用越来越广泛,导致半导体芯片受到静电损伤的因素也越来越多。在现有的芯片设计中,常采用静电放电(ESD,Electrostatic Discharge)保护电路以减少芯片损伤。现有的静电放电保护电路的设计和应用包括:栅接地的N型场效应晶体管(Gate Grounded NMOS,简称GGNMOS)保护电路、可控硅(Silicon Controlled Rectifier,简称SCR)保护电路、横向扩散场效应晶体管(Laterally Diffused MOS,简称LDMOS)保护电路、双极结型晶体管(Bipolar Junction Transistor,简称BJT)保护电路等。

[0003] 随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小。平面栅接地的双极结型晶体管已无法满足技术需求,逐渐开始向具有更高功效的三维立体式的晶体管过渡,如引入鳍式场效应晶体管。

[0004] 但是,即使在双极结型晶体管中引入了鳍式场效应晶体管,现有技术的半导体器件的电学性能依旧较差。

发明内容

[0005] 本发明解决的问题是提供一种半导体结构及其形成方法,提高半导体器件的电学性能。

[0006] 为解决上述问题,本发明提供一种半导体结构的形成方法。包括如下步骤:提供衬底,所述衬底包括第一区域、环绕所述第一区域且与所述第一区域相邻的第二区域,以及环绕所述第二区域且与所述第二区域相邻的第三区域,所述第一区域用于形成发射极,所述第二区域用于形成基极,所述第三区域用于形成集电极;刻蚀所述衬底,形成鳍部,所述第一区域的鳍部密度大于所述第二区域和第三区域的鳍部密度;在所述第一区域的鳍部内形成第一开口,所述第一开口垂直于所述衬底表面方向的剖面形状为U形;在所述第一开口中形成第一连接层;对所述第一连接层进行离子掺杂,以形成发射极;在第二区域的鳍部内形成基极;在第三区域的鳍部内形成集电极。

[0007] 可选的,形成所述鳍部后,在所述第一区域的鳍部内形成第一开口之前,还包括:在所述第一区域以及第二区域的衬底内形成第一阱区;在所述第三区域的衬底内形成第二阱区,所述第二阱区的掺杂类型与所述第一阱区的掺杂类型不同。

[0008] 可选的,所述第一阱区为N型阱区,所述第二阱区为P型阱区。

[0009] 可选的,所述第一连接层的材料为SiC或SiCP。

[0010] 可选的,在所述第一区域的鳍部内形成第一开口的步骤中,在所述第二区域的鳍部内形成第二开口;在所述第一开口中形成第一连接层的步骤中,在所述第二开口中形成第二连接层;在形成所述第一连接层和第二连接层之后,对所述第一连接层进行离子掺杂之前,还包括:在所述第三区域的鳍部内形成第三开口;在所述第三开口中形成第三连接

层。

[0011] 可选的,所述第二开口垂直于所述衬底表面方向的剖面形状为U形;所述第二连接层的材料为SiC或SiCP。

[0012] 可选的,所述第三开口垂直于所述衬底表面方向的剖面形状为Sigma形;所述第三连接层的材料为SiGe或SiGeB。

[0013] 可选的,在所述第二区域的鳍部内形成基极的步骤中,对所述第二连接层进行离子掺杂,以形成基极;在所述第三区域的鳍部内形成集电极的步骤中,对所述第三连接层进行离子掺杂,以形成集电极。

[0014] 可选的,所述衬底用于形成PNP双极结型晶体管,对所述第一连接层进行离子掺杂的工艺为P型离子掺杂工艺;对所述第二连接层进行离子掺杂的工艺为N型离子掺杂工艺;对所述第三连接层进行离子掺杂的工艺为P型离子掺杂工艺。

[0015] 可选的,对所述第一连接层进行离子掺杂的工艺参数包括:掺杂的离子为磷离子、砷离子或锑离子,离子能量为1Kev至30Kev,离子剂量为1E15至8E15原子每平方厘米。

[0016] 可选的,对所述第一连接层进行离子掺杂的步骤包括:在形成所述第一连接层的过程中进行原位自掺杂;或者,在形成所述第一连接层之后对所述第一连接层进行离子掺杂工艺。

[0017] 可选的,形成所述第一连接层的工艺为化学气相沉积外延生长法。

[0018] 可选的,所述化学气相沉积外延生长法的工艺参数包括:工艺温度为500°C至950°C,工艺时间为100s至10000s,反应室气压为5Torr至1000Torr,预处理气体氢气,反应气体为氯化氢、二氯二氢硅、硅烷中的一种气体或多种构成的混合气体。

[0019] 相应的,本发明还提供一种采用上述方法形成的半导体结构,包括:衬底,所述衬底包括第一区域、环绕所述第一区域且与所述第一区域相邻的第二区域,以及环绕所述第二区域且与所述第二区域相邻的第三区域,所述第一区域用于形成发射极,所述第二区域用于形成基极;所述第三区域用于形成集电极;鳍部,凸出于所述衬底表面,所述第一区域的鳍部密度大于所述第二区域和第三区域的鳍部密度;第一连接层,位于所述第一区域的鳍部内,所述第一连接层垂直于所述衬底表面方向的剖面形状为U形;发射极,位于所述第一连接层内,所述发射极具有掺杂离子;基极,位于所述第二区域的鳍部内;集电极,位于所述第三区域的鳍部内。

[0020] 可选的,所述半导体结构还包括:第一阱区,位于所述第一区域以及所述第二区域的衬底内;第二阱区,位于所述第三区域的衬底内。

[0021] 可选的,所述第一阱区为N型阱区,所述第二阱区为P型阱区。

[0022] 可选的,所述第一连接层的材料为SiC或SiCP。

[0023] 可选的,所述半导体结构为PNP双极结型晶体管,所述发射极的掺杂离子为P型离子;所述基极的掺杂离子为N型离子;所述集电极的掺杂离子为P型离子。

[0024] 可选的,所述发射极的掺杂离子为磷离子、砷离子或锑离子,掺杂离子的浓度为1E15原子每立方厘米至8E15原子每立方厘米。

[0025] 可选的,所述半导体结构还包括:位于所述第二区域的鳍部内的第二连接层,所述第二连接层垂直于所述衬底表面方向的剖面形状为U形,所述基极位于所述第二连接层内;位于所述第三区域的鳍部内的第三连接层,所述第三连接层垂直于所述衬底表面方向的剖

面形状为Sigma形,所述集电极位于所述第三连接层内。

[0026] 与现有技术相比,本发明的技术方案具有以下优点:

[0027] 由于所述第一区域的鳍部密度较大,鳍部与鳍部之间的距离较小,本发明通过形成垂直于所述衬底表面方向的剖面形状为U形的第一连接层,避免所述第一连接层因侧壁具有凸出形貌而发生互相连接,从而避免所述第一连接层的形貌对双极结型晶体管的性能稳定性造成不良影响,进而提高半导体器件的电学性能。

附图说明

[0028] 图1和图2是现有技术半导体结构一实施例的结构示意图;

[0029] 图3至图10是本发明半导体结构的形成方法一实施例中各步骤对应结构示意图。

具体实施方式

[0030] 现有技术的半导体器件的电性能较差,结合参考图1和图2,示出了现有技术半导体结构一实施例的结构示意图,图2是图1沿AA1方向的剖面结构示意图。分析其原因在于:

[0031] 所述半导体结构包括衬底100、凸出于所述衬底100的鳍部110。其中,所述衬底100包括第一区域I、环绕所述第一区域I且与所述第一区域I相邻的第二区域II,以及环绕所述第二区域II且与所述第二区域II相邻的第三区域III。所述第一区域I的鳍部110密度大于所述第三区域III和第二区域II的鳍部110。

[0032] 所述半导体结构为PNP双极结型晶体管,所述第一区域I为发射极(Emitter)区域,所述第二区域II为基极(Base)区域,所述第三区域III为集电极(Collector)区域。为此,所述半导体结构还包括位于所述第一区域I鳍部110内的发射极(图未示)。

[0033] 需要说明的是,通过对所述第一区域I鳍部110进行离子掺杂工艺以形成所述发射极,所述离子掺杂工艺容易使所述第一区域I鳍部110由单晶态变为非晶态,从而对所述第一区域I鳍部110造成损伤。由于所述鳍部110的尺寸较小,一旦受损后难以修复,为此,在形成所述发射极之前,先在所述第一区域I鳍部110内形成第一连接层111,所述发射极位于所述第一连接层111内,所述第一连接层111的材料为SiGe或SiGeB。

[0034] 所述第一连接层111作为所述离子掺杂工艺的掺杂缓冲层,在通过离子掺杂工艺由单晶态变为非晶态后,比较容易修复,同时所述第一连接层111可以避免在离子掺杂工艺过程中对所述第一区域I鳍部110造成损伤。此外,所述第一连接层111还用于后续与接触孔插塞实现电接触。

[0035] 但是采用SiGe或SiGeB形成所述第一连接层111时,由于SiGe或SiGeB的生长速率较快,从而导致所述第一连接层111的体积较大,具体的,所述第一连接层111的形状为Sigma形,也就是说,所述第一连接层111的侧壁具有凸出形貌。而所述第一区域I的鳍部110密度较大,即鳍部110与鳍部110之间的距离较小,且所述第一区域I的面积较大,因此,所述第一连接层111容易发生互相连接,从而容易降低双极结型晶体管的性能稳定性,进而降低半导体器件的电学性能。

[0036] 为了解决所述技术问题,本发明提供一种半导体结构的形成方法,包括:提供衬底,所述衬底包括第一区域、环绕所述第一区域且与所述第一区域相邻的第二区域,以及环绕所述第二区域且与所述第二区域相邻的第三区域,所述第一区域用于形成发射极,所述

第二区域用于形成基极；所述第三区域用于形成集电极；刻蚀所述衬底，形成鳍部，所述第一区域的鳍部密度大于所述第二区域和第三区域的鳍部密度；在所述第一区域的鳍部内形成第一开口，所述第一开口垂直于所述衬底表面方向的剖面形状为U形；在所述第一开口中形成第一连接层；对所述第一连接层进行离子掺杂，以形成发射极；在第二区域的鳍部内形成基极；在第三区域的鳍部内形成集电极。

[0037] 本发明通过形成垂直于所述衬底表面方向的剖面形状为U形的第一连接层，避免所述第一连接层因侧壁具有凸出形貌而发生互相连接，从而避免所述第一连接层的形貌对双极结型晶体管的性能稳定性造成不良影响，进而提高半导体器件的电学性能。

[0038] 为使本发明的上述目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施例做详细的说明。

[0039] 图3至图10是本发明半导体结构的形成方法一实施例中各步骤对应结构示意图。

[0040] 参考图3和图4，图4是图3沿BB1方向的剖面结构示意图，提供衬底200，所述衬底200包括第一区域I、环绕所述第一区域I且与所述第一区域I相邻的第二区域II，以及环绕所述第二区域II且与所述第二区域II相邻的第三区域III，所述第一区域I用于形成发射极(Emitter)，所述第二区域II用于形成基极(Base)，所述第三区域III用于形成集电极(Collector)。

[0041] 所述衬底200为后续形成双极结型晶体管提供工艺平台。本实施例中，所述双极结型晶体管为鳍式场效应晶体管，且所述双极结型晶体管为PNP三极管。

[0042] 所述衬底200的材料为硅、锗、锗化硅、碳化硅、砷化镓或镓化铟，所述衬底200还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底。本实施例中，所述衬底200为硅衬底。

[0043] 继续参考图4，刻蚀所述衬底200，形成鳍部210，所述第一区域I的鳍部210密度大于所述第二区域II和第三区域III的鳍部210密度。

[0044] 在所述第一区域I、第二区域II或第三区域III内，所述鳍部210的数量大于或等于1。本实施例中，所述第一区域I、第二区域II或第三区域III内的鳍部210数量均大于1；而且，在所述第一区域I、第二区域II或第三区域III内，所述若干鳍部210平行排列，且相邻第一区域I与第二区域II的鳍部210平行排列，相邻第二区域II与第三区域III的鳍部210也平行排列。

[0045] 本实施例中，在所述第一区域I内，相邻鳍部210之间的距离为20纳米至60纳米；在所述第二区域II内，相邻鳍部210之间的距离为20纳米至60纳米；在所述第三区域III内，相邻鳍部210之间的距离为20纳米至60纳米。

[0046] 但需要说明的是，所述第一区域I的鳍部210密度大于所述第三区域III的鳍部210密度，所述第一区域I的鳍部210密度还大于所述第二区域II的鳍部210密度。

[0047] 所述鳍部210的材料包括硅、锗、锗化硅、碳化硅、砷化镓或镓化铟。本实施例中，所述鳍部210由刻蚀所述衬底200所得，所述衬底200为硅衬底，相应的，所述鳍部210的材料为硅。

[0048] 具体地，形成所述鳍部210的步骤包括：提供初始基底；在所述衬底200上形成图形化的硬掩膜层300，所述硬掩膜层300的形貌、尺寸及位置与后续形成的鳍部的形貌、尺寸及位置相同；以所述硬掩膜层300为掩膜，刻蚀所述衬底200，形成位于所述衬底200表面的若干分立的凸起，所述凸起作为鳍部210。

[0049] 本实施例中,所述鳍部210的顶部尺寸小于底部尺寸。在其他实施例中,所述鳍部的侧壁还能够与衬底表面相垂直,即所述鳍部的顶部尺寸等于底部尺寸。

[0050] 本实施例中,所述硬掩膜层300的材料为氮化硅,后续在进行平坦化工艺时,所述硬掩膜层300表面能够作为平坦化工艺的停止位置,且所述硬掩膜层300还能够起到保护所述鳍部210顶部的作用。

[0051] 在另一实施例中,为了减小硬掩膜层与鳍部之间的应力,避免直接在衬底上形成所述硬掩膜层时产生位错的问题,在形成所述硬掩膜层之前,还包括:在所述初始基底表面形成缓冲层。

[0052] 需要说明的是,在形成所述鳍部210之后,还包括:在所述鳍部210表面形成衬垫氧化层(图未示),用于修复所述鳍部210。

[0053] 本实施例对所述鳍部210进行氧化处理以在所述鳍部210表面形成衬垫氧化层。所述氧化处理还会对所述衬底200表面进行氧化,因此,所述衬垫氧化层还位于所述衬底200表面。本实施例中,所述衬底200和所述鳍部210的材料为硅。相应的,所述衬垫氧化层的材料为氧化硅。

[0054] 结合参考图5,需要说明的是,形成所述半导体基底之后,还包括:在所述鳍部210之间的衬底200上形成隔离层201。

[0055] 所述隔离层201作为半导体结构的隔离结构,用于对相邻器件之间起到隔离作用。本实施例中,所述隔离层201是浅沟槽隔离层,但不限于浅沟槽隔离层。

[0056] 具体地,形成所述隔离层201的步骤包括:形成覆盖所述衬底200和鳍部210的隔离膜,所述隔离膜的顶部高于所述硬掩膜层300(如图4所示)的顶部;研磨去除高于所述硬掩膜层300顶部的隔离膜;去除部分厚度的所述隔离膜以形成隔离层201;去除所述硬掩膜层300。

[0057] 需要说明的是,在去除部分厚度的所述隔离膜的过程中还去除部分所述鳍部210表面的衬垫氧化层。

[0058] 参考图6,在所述第一区域I以及第二区域II的衬底200内形成第一阱区202。

[0059] 所述第一阱区202使所述第一区域I和第二区域II的衬底200连通,从而使所述第一区域I和第二区域II的衬底200内可以导通。

[0060] 本实施例中,所述第一阱区202在形成所述鳍部210以及形成所述隔离层201之后形成。

[0061] 具体地,形成所述第一阱区202的步骤包括:在所述第三区域III的隔离层201和鳍部210表面形成第一图形层310;以所述第一图形层310为掩膜,采用离子注入工艺在所述第一区域I和第二区域II的衬底200内形成所述第一阱区202;去除所述第一图形层310。

[0062] 需要说明的是,在对所述第一区域I和第二区域II的衬底200进行离子注入工艺的过程中,还对所述第一区域I和第二区域II的鳍部210进行离子注入。

[0063] 在另一实施例中,所述第一阱区在形成所述鳍部之后、形成所述隔离层之前形成,也就是说,采用离子注入工艺在所述第一区域和第二区域的衬底内形成所述第一阱区之后,在所述衬底表面形成所述隔离层。

[0064] 在其它实施例中,所述第一阱区还可以在形成所述鳍部之前形成。具体地,形成所述第一阱区的步骤包括:提供衬底;采用离子注入工艺,对所述衬底内与所述第一区域和第

二区域对应的区域进行离子注入,形成第一阱区;在所述离子注入工艺之后,刻蚀所述衬底,形成鳍部,且所述第一阱区的底部低于刻蚀后的衬底表面。

[0065] 本实施例中,所述第一阱区202为N型阱区,即所述第一阱区202内具有N型离子,所述N型离子包括磷离子或砷离子。

[0066] 参考图7,在所述第三区域III的衬底200内形成第二阱区203,所述第二阱区203的掺杂类型与所述第一阱区202的掺杂类型不同。

[0067] 本实施例中,所述第二阱区203在形成所述第一阱区202之后形成;在其它实施例中,所述第二阱区还可以在形成所述第一阱区之前形成。

[0068] 本实施例中,所述第二阱区203在形成所述鳍部210以及形成所述隔离层201之后形成。

[0069] 具体地,形成所述第二阱区203的步骤包括:在所述第一区域I和第二区域II的隔离层201和鳍部210表面形成第二图形层320;以所述第二图形层320为掩膜,采用离子注入工艺在所述第三区域III的衬底200内形成所述第二阱区203;去除所述第二图形层320。

[0070] 需要说明的是,在对所述第三区域III的衬底200进行离子注入工艺的过程中,还对所述第三区域III的鳍部210进行离子注入。

[0071] 在另一实施例中,所述第二阱区在形成所述鳍部之后、形成所述隔离层之前形成,也就是说,采用离子注入工艺在所述第三区域的衬底内形成所述第二阱区之后,在所述衬底表面形成所述隔离层。

[0072] 在其它实施例中,所述第二阱区还可以在形成所述鳍部之前形成。具体地,形成所述第二阱区的步骤包括:提供衬底;采用离子注入工艺,对所述衬底内与所述第三区域对应的区域进行离子注入,形成第二阱区;在所述离子注入工艺之后,刻蚀所述衬底,形成所述鳍部,且所述第二阱区的底部低于刻蚀后的衬底表面。

[0073] 本实施例中,所述第二阱区203为P型阱区,即所述第二阱区203内具有P型离子,所述P型离子包括硼离子或铟离子。

[0074] 参考图8,在所述第一区域I的鳍部210内形成第一开口(图未示),所述第一开口垂直于所述衬底200表面方向的剖面形状为U形。

[0075] 所述第一开口为后续形成第一连接层提供空间位置。

[0076] 需要说明的是,在所述第一区域I的鳍部210内形成第一开口的步骤中,在所述第二区域II的鳍部210内形成第二开口(图未示),所述第二开口垂直于所述衬底200表面方向的剖面形状为U形。所述第二开口为后续形成第二连接层提供空间位置。

[0077] 继续参考图8,在所述第一开口中形成第一连接层211。

[0078] 所述第一连接层211作为后续离子掺杂工艺的掺杂缓冲层,在通过离子掺杂工艺由单晶态变为非晶态后,比较容易修复,同时所述第一连接层211可以避免在后续离子掺杂工艺过程中对所述第一区域I鳍部210造成损伤。此外,所述第一连接层211还用于后续与接触孔插塞实现电接触。

[0079] 具体地,形成所述第一连接层211的步骤包括:通过刻蚀工艺,在所述第一区域I的鳍部210的部分深度内形成第一开口;在所述第二区域II的鳍部210侧壁表面、第三区域III的鳍部210侧壁和顶部表面、衬底200表面以及第一区域I的鳍部210侧壁表面形成阻挡层(图未示),所述阻挡层暴露出所述第一开口;在所述第一开口中形成第一连接层211;去除

所述阻挡层。

[0080] 本实施例中,形成所述第一连接层211的工艺为化学气相沉积外延生长法。所述化学气相沉积外延生长法的工艺参数包括:工艺温度为500℃至950℃,工艺时间为100s至10000s,反应室气压为5Torr至1000Torr,预处理气体氢气,反应气体为氯化氢、二氯二氢硅、硅烷中的一种气体或多种构成的混合气体。

[0081] 当工艺温度过高或过低时,基于设定的工艺时间及反应室气压条件,难以形成工艺所需的膜层材料,且难以保证形成的第一连接层211的厚度值可以满足目标厚度值,因此,所述工艺温度需控制在500℃至950℃。相应的,为了形成满足目标厚度值的第一连接层211且使所述第一连接层211的材料为工艺所需的膜层材料,工艺时间需控制在100s至10000s,反应室气压需控制在5Torr至1000Torr。

[0082] 本实施例中,所述第一连接层211的材料为SiC或SiCP,所述第一连接层211垂直于所述衬底200表面方向的剖面形状为U形。

[0083] 需要说明的是,在所述第一开口中形成所述第一连接层211的步骤中,在所述第二开口中形成第二连接层221。相应的,本实施例中,所述第二连接层221的材料也为SiC或SiCP,所述第二连接层221垂直于所述衬底200表面方向的剖面形状也为U形。

[0084] 本实施例中,在同一道工艺步骤中形成所述第一连接层211和所述第二连接层221。在其它实施例中,还可以通过不同工艺步骤分别形成所述第一连接层和所述第二连接层。

[0085] 需要说明的是,由于所述第一区域I鳍部210的密度较大,鳍部210间的距离较小,为此,通过形成垂直于所述衬底200表面方向的剖面形状为U形的第一连接层211,可以避免所述第一连接层211因侧壁具有凸出形貌而发生相互连接,从而可以避免所述第一连接层211引起的双极结型晶体管性能稳定性差、半导体器件的电学性能差的问题。

[0086] 还需要说明的是,所述第一连接层211的材料为SiC或SiCP,其中,SiC或SiCP的生长速率较慢,从而可以形成垂直于所述衬底200表面方向的剖面形状为U形的第一连接层211。

[0087] 继续参考图8,需要说明的是,在形成所述第一连接层211和所述第二连接层221之后,还包括:在所述第三区域III的鳍部210内形成第三开口(图未示)。

[0088] 所述第三开口为后续形成第三连接层提供空间位置。

[0089] 本实施例中,所述第三开口垂直于所述衬底200表面方向的剖面形状为Sigma形,也就是说,所述第三开口的侧壁具有凸出形貌。

[0090] 继续参考图8,在所述第三开口中形成第三连接层231。

[0091] 所述第三连接层231作为后续离子掺杂工艺的掺杂缓冲层,在通过离子掺杂工艺由单晶态变为非晶态后,比较容易修复,同时所述第三连接层231可以避免在后续离子掺杂工艺过程中对所述第三区域III鳍部210造成损伤。此外,所述第三连接层231还用于后续与接触孔插塞实现电接触。

[0092] 本实施例中,所述第三连接层231的材料为SiGe或SiGeB。其中,所述第三连接层231垂直于所述衬底200表面方向的剖面形状为Sigma形,也就是说,第三连接层231的侧壁具有凸出形貌。

[0093] 本实施例中,在形成所述第一连接层211和第二连接层221之后,形成所述第三连

接层231。在另一实施例中,还可以先形成所述第三连接层231,再形成所述第一连接层211和第二连接层221。

[0094] 参考图9,对所述第一连接层211进行离子掺杂,以形成发射极(未标示);在所述第三区域II的鳍部210内形成集电极(未标示)。

[0095] 本实施例中,在所述第三区域II的鳍部210内形成集电极的步骤中,对所述第三连接层231进行离子掺杂,以形成集电极。

[0096] 本实施例中,所述衬底200用于形成PNP双极结型晶体管,所述第一区域I衬底200用于形成所述PNP双极结型晶体管的发射极(Emitter),所述第三区域III衬底200用于形成所述PNP双极结型晶体管的集电极(Collector)。为此,本实施例中,对所述第一连接层211进行离子掺杂的工艺为P型离子掺杂工艺;对所述第三连接层231进行离子掺杂的工艺为P型离子掺杂工艺。

[0097] 对所述第一连接层211进行离子掺杂的步骤可以包括:在形成所述第一连接层211的过程中进行原位自掺杂;或者,形成所述第一连接层211之后对所述第一连接层211进行离子掺杂工艺。本实施例中,通过对所述第一连接层211进行离子掺杂工艺,以形成发射极。

[0098] 具体地,形成所述发射极与所述集电极的步骤包括:在所述第二区域II的隔离层201和鳍部210表面形成第三图形层330;以所述第三图形层330为掩膜,对所述第一连接层211和第三连接层231进行离子掺杂工艺,在所述第一连接层211中形成发射极,在所述第三连接层231中形成集电极;去除所述第三图形层330。

[0099] 本实施例中,对所述第一连接层211进行离子掺杂的工艺参数包括:注入的离子为磷离子、砷离子或锑离子,离子能量为1Kev至30Kev,离子剂量为 $1E15$ 原子每平方厘米至 $8E15$ 原子每平方厘米。

[0100] 需要说明的是,本实施例中,在同一道工艺步骤中形成所述发射极与所述集电极。在另一实施例中,还可以采用不同工艺步骤分别形成所述发射极与所述集电极。

[0101] 结合参考图10,在所述第二区域II的鳍部210内形成基极(未标示)。

[0102] 本实施例中,在所述第二区域II的鳍部210内形成基极的步骤中,对所述第二连接层221进行离子掺杂,以形成基极。

[0103] 本实施例中,所述衬底200用于形成PNP双极结型晶体管,所述第二区域II衬底200用于形成所述PNP双极结型晶体管的基极(Base)。为此,本实施例中,对所述第二连接层221进行离子掺杂的工艺为N型离子掺杂工艺。

[0104] 对所述第二连接层221进行离子掺杂的步骤可以包括:在形成所述第二连接层221的过程中进行原位自掺杂;或者,形成所述第二连接层221之后对所述第二连接层221进行离子掺杂工艺。本实施例中,通过对所述第二连接层221进行离子掺杂工艺,以形成基极。

[0105] 具体地,形成所述基极的步骤包括:在所述第一区域I的隔离层201和鳍部210表面,以及所述第三区域III的隔离层201和鳍部210表面形成第四图形层340;以所述第三图形层330为掩膜,对所述第二连接层221进行离子掺杂工艺,在所述第二连接层221中形成基极;去除所述第四图形层340。

[0106] 还需要说明的是,本实施例中,在形成所述发射极与集电极之后,形成所述基极。在另一实施例中,还可以先形成所述基极,再形成所述发射极与集电极。

[0107] 由于所述第一区域I的鳍部210密度较大,鳍部210与鳍部210之间的距离较小,本

发明通过形成垂直于所述衬底200表面方向的剖面形状为U形的第一连接层211,避免所述第一连接层211因侧壁具有凸出形貌而发生互相连接,从而避免所述第一连接层211的形貌对双极结型晶体管的性能稳定性造成不良影响,进而提高半导体器件的电学性能。

[0108] 结合参考图3和图8,相应的,本发明还提供一种半导体结构,包括:

[0109] 衬底200,所述衬底200包括第一区域I、环绕所述第一区域I且与所述第一区域I相邻的第二区域II,以及环绕所述第二区域II且与所述第二区域II相邻的第三区域III,所述第一区域I用于形成发射极(Emitter),所述第二区域II用于形成基极(Base),所述第三区域III用于形成集电极(Collector);

[0110] 鳍部210,凸出于所述衬底200表面,所述第一区域I的鳍部210密度大于所述第二区域II和第三区域III的鳍部210密度;

[0111] 第一连接层211;位于所述第一区域I的鳍部210内,所述第一连接层211垂直于所述衬底200表面方向的剖面形状为U形;

[0112] 发射极(未标示),位于所述第一连接层211内,所述发射极具有掺杂离子;

[0113] 基极,位于所述第二区域II的鳍部210内;

[0114] 集电极,位于所述第三区域III的鳍部210内。

[0115] 本实施例中,所述第一连接层211的材料为SiC或SiCP;所述第一连接层211垂直于所述衬底200表面方向的剖面形状为U形。

[0116] 本实施例中,所述半导体结构为PNP双极结型晶体管,所述发射极的掺杂离子为P型离子。

[0117] 具体地,所述发射极的掺杂离子为磷离子、砷离子或锑离子,离子浓度为 $1E15$ 原子每立方厘米至 $8E15$ 原子每立方厘米。

[0118] 需要说明的是,所述半导体结构还包括:位于所述第二区域II的鳍部210内的第二连接层221,所述第二连接层221垂直于所述衬底200表面方向的剖面形状为U形,所述基极位于所述第二连接层221内;位于所述第三区域III的鳍部210内的第三连接层231,所述第三连接层231垂直于所述衬底200表面方向的剖面形状为Sigma形,也就是说,第三连接层231的侧壁具有凸出形貌,所述集电极位于所述第三连接层231内。

[0119] 本实施例中,所述第二连接层221的材料为SiC或SiCP,所述第三连接层231的材料为SiGe或SiGeB。

[0120] 本实施例中,所述基极和集电极具有掺杂离子,所述半导体结构为PNP双极结型晶体管,相应的,所述基极的掺杂离子为N型离子,所述集电极的掺杂离子为P型离子。

[0121] 需要说明的是,所述半导体结构还包括:第一阱区202,位于所述第一区域I以及所述第二区域II的衬底200内;第二阱区203,位于所述第三区域III的衬底200内。

[0122] 本实施例中,所述第一阱区202为N型阱区,即所述第一阱区202内具有N型离子,所述N型离子包括磷离子或砷离子;所述第二阱区203为P型阱区,即所述第二阱区203内具有P型离子,所述P型离子包括硼离子或铟离子。

[0123] 所述第一阱区202使所述第一区域I和第二区域II的衬底200连通,从而使得所述第一区域I和第二区域II的衬底200内可以导通。

[0124] 由于所述第一连接层211垂直于所述衬底200表面方向的剖面形状为U形,从而可以避免所述第一连接层211因侧壁具有凸出形貌而发生互相连接,进而避免所述第一连接

层211的形貌对双极结型晶体管的性能稳定性造成不良影响,提高半导体器件的电学性能。

[0125] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

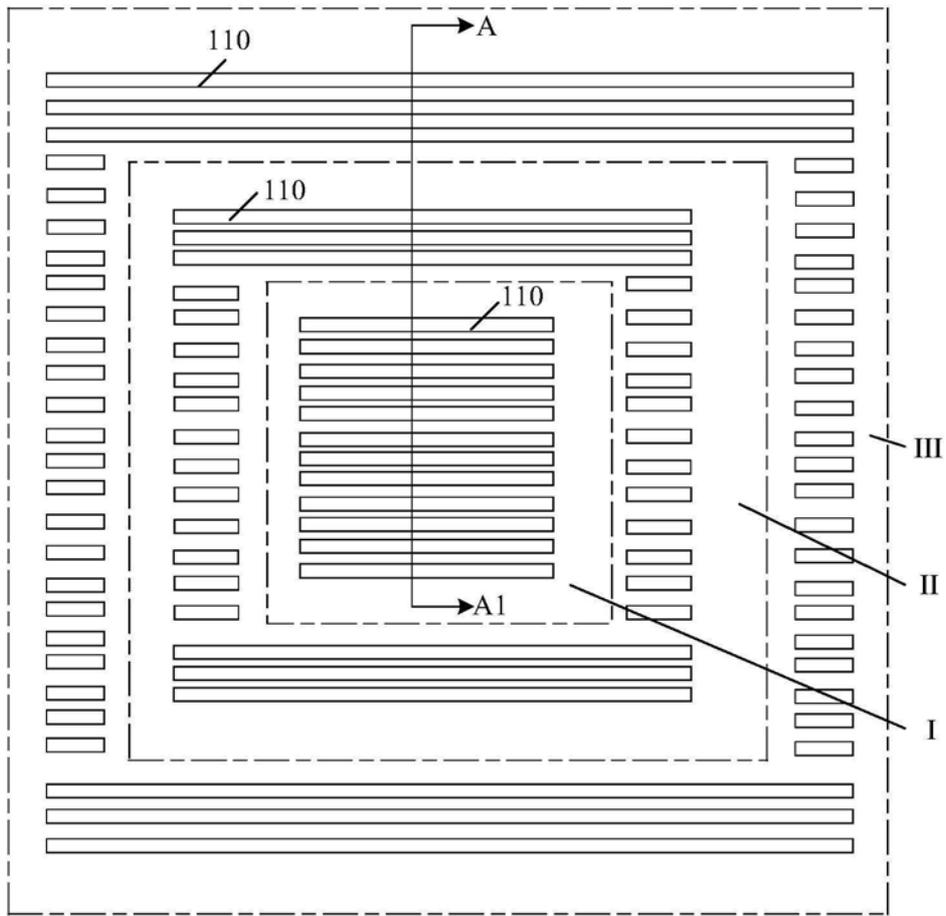


图1

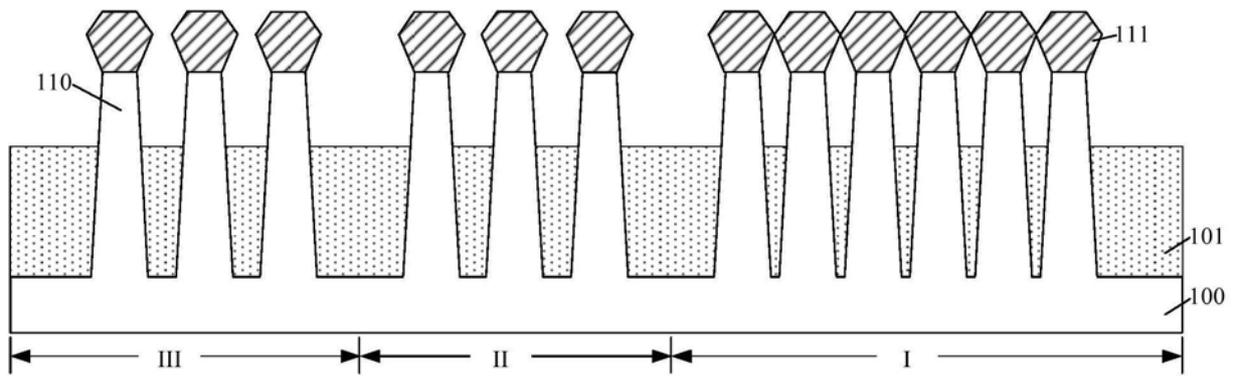


图2

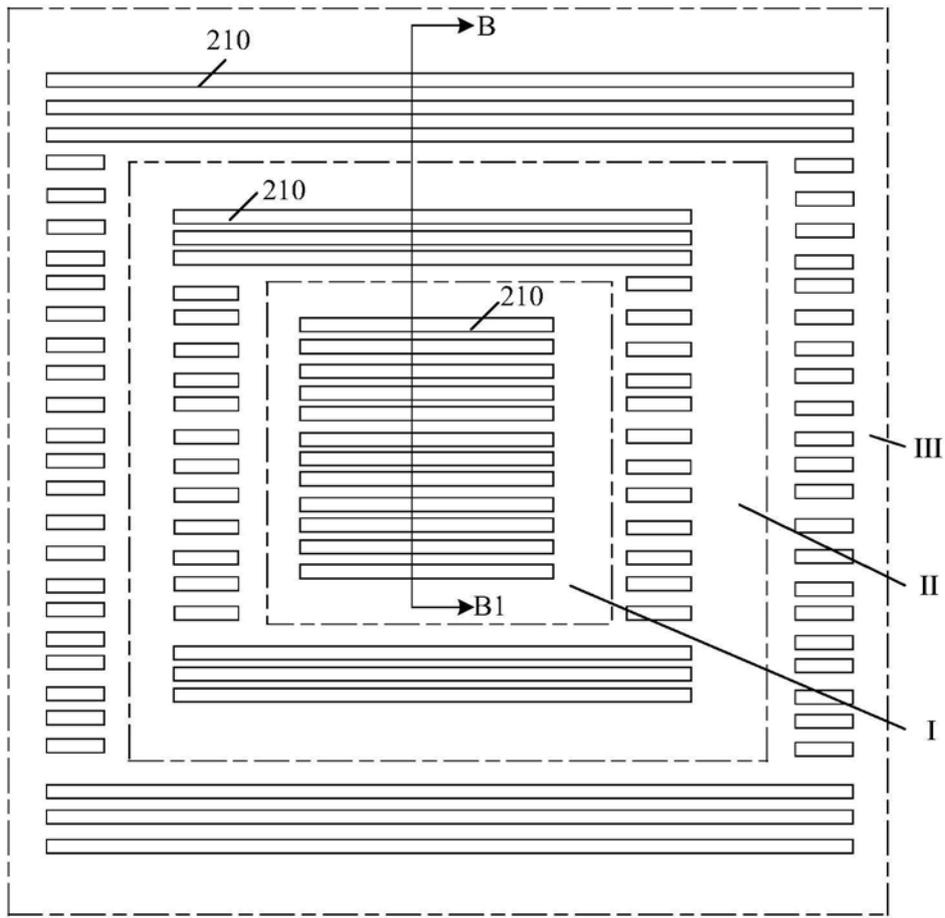


图3

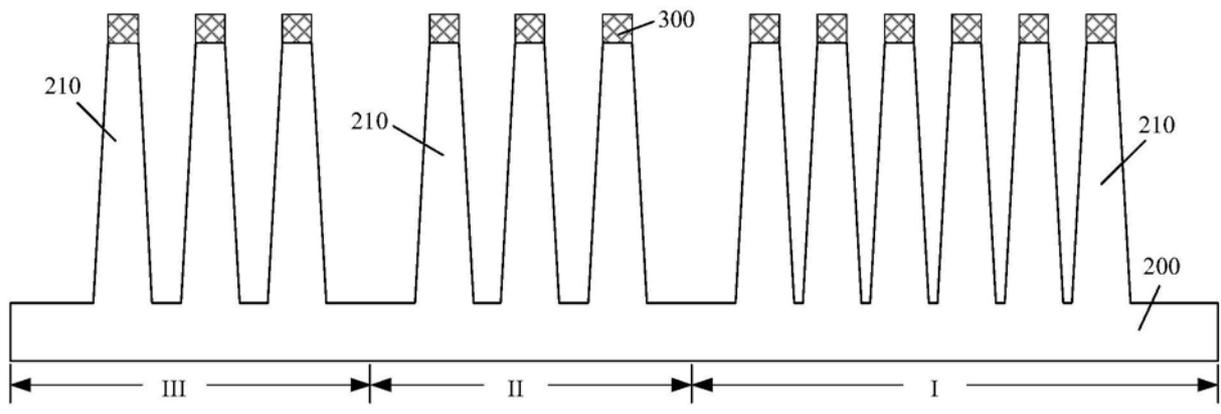


图4

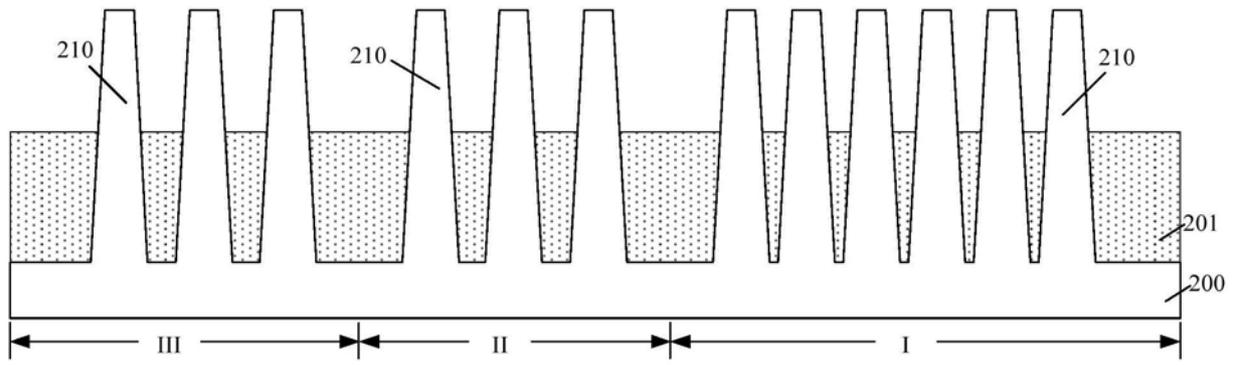


图5

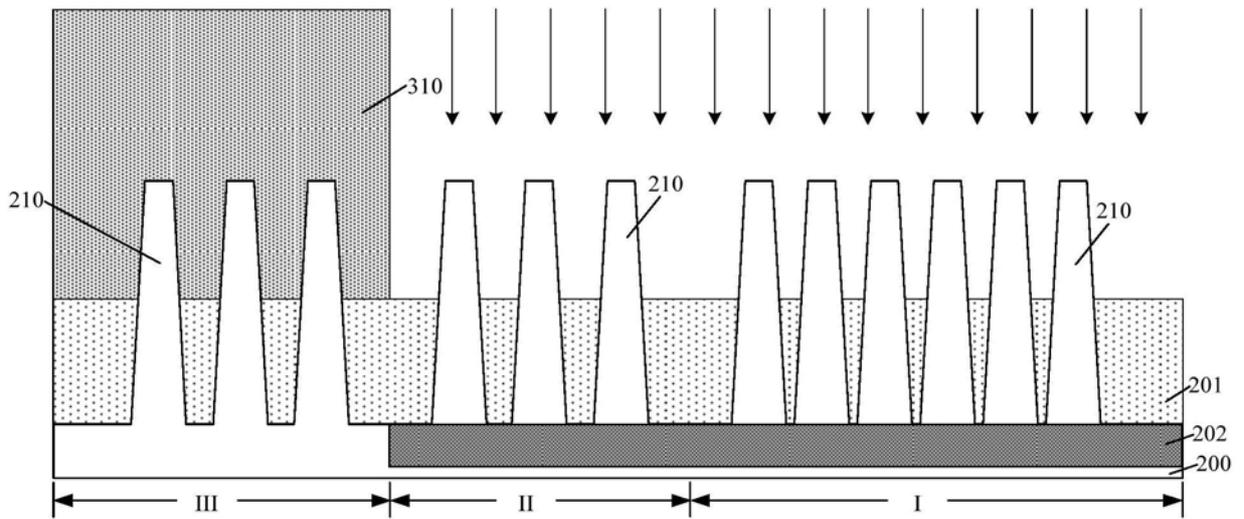


图6

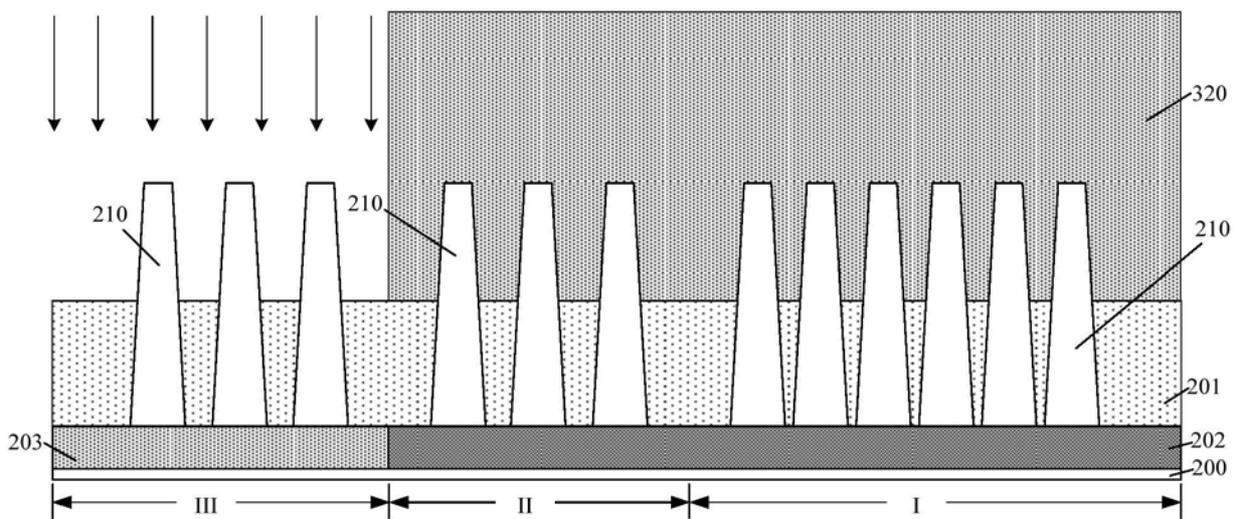


图7

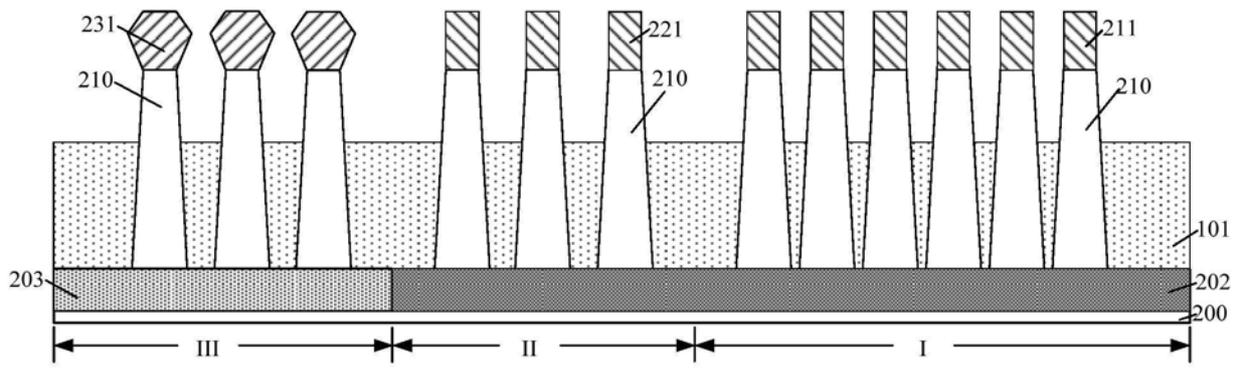


图8

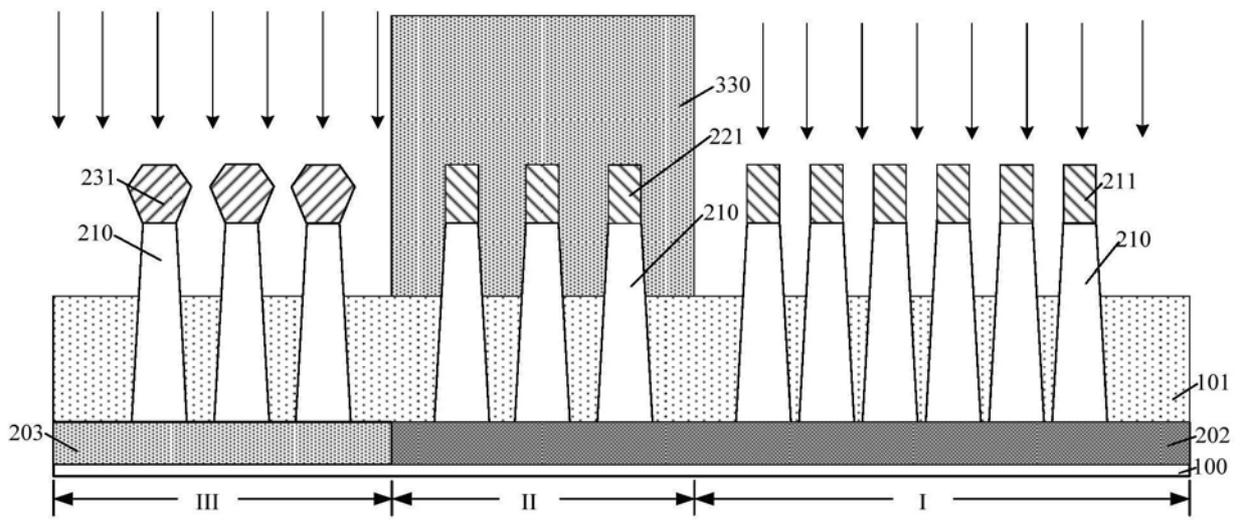


图9

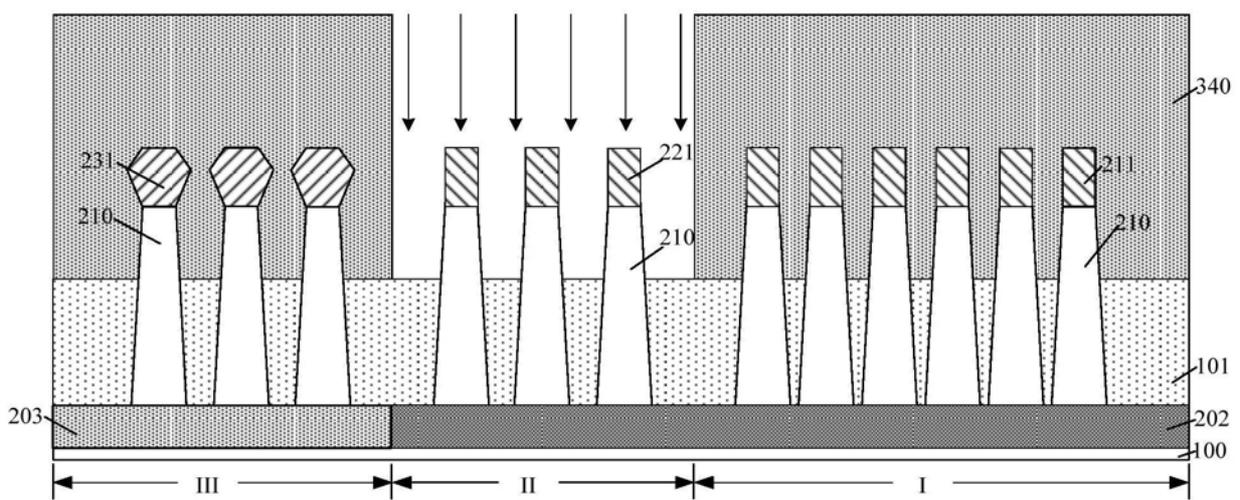


图10