

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4709816号
(P4709816)

(45) 発行日 平成23年6月29日 (2011.6.29)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int.Cl.	F I	
G09F 9/30 (2006.01)	G09F 9/30	338
G02F 1/1343 (2006.01)	G02F 1/1343	
G02F 1/1368 (2006.01)	G02F 1/1368	
H01L 29/786 (2006.01)	H01L 29/78	612C
H01L 21/28 (2006.01)	H01L 21/28	301R
請求項の数 2 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2007-264718 (P2007-264718)	(73) 特許権者	501426046
(22) 出願日	平成19年10月10日 (2007.10.10)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2000-13500 (P2000-13500)		ミテッド
原出願日	平成12年1月21日 (2000.1.21)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(65) 公開番号	特開2008-90310 (P2008-90310A)	(74) 代理人	100109726
(43) 公開日	平成20年4月17日 (2008.4.17)		弁理士 園田 吉隆
審査請求日	平成19年10月31日 (2007.10.31)	(74) 代理人	100101199
(31) 優先権主張番号	特願平11-71037		弁理士 小林 義教
(32) 優先日	平成11年3月16日 (1999.3.16)	(72) 発明者	蔡 基成
(33) 優先権主張国	日本国 (JP)		宮城県仙台市泉区明通三丁目31番地 株
		(72) 発明者	株式会社フロンテック内
			▲じょ▼ 奎哲
			宮城県仙台市泉区明通三丁目31番地 株
			株式会社フロンテック内
			最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上のゲート配線とソース配線との交差部付近に薄膜トランジスタを形成する段階と前記ゲート配線と直接接続するゲート端子、前記ソース配線と直接接続するソース端子および前記薄膜トランジスタと直接接続する画素電極を形成する段階とを含む薄膜トランジスタ基板の製造方法において、

前記ゲート端子、ソース端子および画素電極を形成する段階は、

前記薄膜トランジスタが形成された基板上にインジウム錫亜鉛酸化物 (ITZO) 層を積層する段階と、

前記ITZO層をパターニングする段階と、

前記ITZO層を180 ないし300 の温度にて熱処理して前記ITZO層の少なくとも表面部分を結晶化する段階と、

を含むことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項2】

前記結晶化する段階における熱処理は、大気中、N₂ 雰囲気中、H₂ / N₂ 雰囲気中、O₂ / N₂ 雰囲気中および真空の雰囲気中のいずれか一つの雰囲気中にて実施することを特徴とする請求項1記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は好ましくは液晶表示装置などに適用される薄膜トランジスタ基板およびそれを備えた液晶表示装置に関するもので、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる端子または画素電極を用いた構造に関する。

【背景技術】

【0002】

図29は、従来一般的な薄膜トランジスタ型液晶表示装置において、トップゲート型の薄膜トランジスタ、ゲート配線、ソース配線、画素電極等を備えた薄膜トランジスタ(アレイ)基板の一構造例を示す平面図、図30と図31はその薄膜トランジスタアレイ基板の部分断面図である。

【0003】

この例の薄膜トランジスタアレイ基板では、ガラス等からなる透明基板100上に、ゲート配線Gとソース配線Sがマトリクス状に配設されている。そして、ゲート配線Gとソース配線Sとで囲まれた領域が1つの画素とされ、この画素領域毎に画素電極101が設けられている。

【0004】

この例の薄膜トランジスタアレイ基板において、透明基板上の各画素領域のコーナ部分にn⁺ポリシリコンあるいはアモルファスシリコン等の半導体膜からなるアイランド状の半導体膜102が形成され、半導体膜102と基板100を覆ってゲート絶縁膜103が形成され、このゲート絶縁膜103上に先のゲート配線Gが形成され、このゲート配線Gから半導体膜102の中央部上に引き出されてゲート電極105が形成されている。なお、このゲート電極105にゲート絶縁膜103を介して対峙する部分が半導体膜102のチャンネル部102aとされている。

【0005】

また、ゲート絶縁膜103とその上のゲート配線Gとゲート電極105を覆って上部絶縁膜106が形成され、この上部絶縁膜106上に先のソース配線Sが形成されるとともに、ソース配線Sから延出形成されたソース電極107が半導体膜102の一端部上の絶縁膜103、106に形成されたコンタクトホール108を介して半導体膜102の一端部に接続されている。次に、半導体膜102の他側の端部上の絶縁膜103、106にもコンタクトホール109が形成され、このコンタクトホール109を介して半導体膜102の他側端部に接続されるドレイン電極110が絶縁膜106上に形成されている。

【0006】

そして、前記ソース電極107とドレイン電極110と上部絶縁膜106を覆うように絶縁膜からなるパッシベーション膜111が形成され、パッシベーション膜111上に画素電極101が形成され、画素電極101がパッシベーション膜111に形成されたコンタクトホール112を介してドレイン電極110に接続されるとともに、ソース配線Sの一端部上の絶縁膜111上にはパッシベーション膜111に形成されたコンタクトホール113を介してソース配線Sの一部114に接続するパッド状の端子115が形成され、図30に断面構造を示す薄膜トランジスタT6が構成されている。

【0007】

次に、この種のトップゲート構造の薄膜トランジスタアレイ基板の構造を製造する工程について、図32～図37を用いて説明する。ガラス等の透明基板100上にポリシリコンからなる半導体膜とSiO₂からなる下地絶縁膜を積層し、これらをフォトリソ工程でパターニングして図32に示すアイランド状の半導体膜120とゲート下部絶縁膜121を形成する。次に、ゲート絶縁膜とゲート電極形成用の電極膜を積層し、これらをフォトリソ工程でパターニングして図33に示すようにゲート絶縁膜122とゲート電極123を形成する。

【0008】

次にイオンドーピング処理を行い、半導体膜120の両側にイオンドーピングを施し、更にこれらを中間絶縁膜125で覆い、この中間膜125に半導体膜120の両端側に通じるコンタクトホール126、127を形成し、中間絶縁膜125の上に前述のコンタク

10

20

30

40

50

トホール 126、127を介して半導体膜 120の一侧に接続するソース電極 128を図 35に示すように形成し、更に半導体膜 120の他側に接続するドレイン電極 129を形成する。

【0009】

続いてこれらの上に図 36に示すように絶縁膜を形成してパッシベーション膜 130を形成し、パッシベーション膜 130にソース電極 128に通じるコンタクトホール 131とドレイン電極 129に通じるコンタクトホール 132を図 36に示すように形成する。更に、パッシベーション膜 130の上にコンタクトホール 132を介してドレイン電極 129に通じるITO(インジウム錫酸化物)からなる画素電極 133を形成し、パッシベーション膜 130の上にコンタクトホール 131を介してソース電極 128に通じるITOの端子電極 135を形成することで、図 37に示すようなトップゲート構造の薄膜トランジスタ T7を得ることができ、この薄膜トランジスタ T7は先に説明した薄膜トランジスタ T6と同等の構造となる。

10

【発明の開示】

【発明が解決しようとする課題】

【0010】

図 37に示す構造のトップゲート型の薄膜トランジスタ T7においては、画素電極 133とドレイン電極 129を接続するために、および、端子電極 135とソース配線 Sを接続するために、パッシベーション膜 130にコンタクトホール 131、132を形成する必要があるため、コンタクトホール形成用のフォトリソ工程、即ち、コンタクトホール形成のための露光工程とドライエッチング工程とストリップ工程と洗浄工程が必要になる問題があり、工程削減が難しい状況にあった。また、図 29～図 31に示す構造の薄膜トランジスタ T6においても、図 37に示す薄膜トランジスタ T7と同等の構造であるので、先の薄膜トランジスタ T7と同等の問題を有していた。

20

【0011】

次に、前述の工程の如くパッシベーション膜 130を設けた上で画素電極 133を設ける理由について説明する。パッシベーション膜 130を設けることなく、直接ドレイン電極 129にITOの画素電極 133を接続して設ける構成とすると、ITOの画素電極 133をフォトリソ工程でパターンニングする場合には、ITOをエッチングするエッチング液にソース電極 128とドレイン電極 129も浸漬することになるが、ITOをエッチングするエッチング液($\text{HCl} : \text{HNO}_3 : \text{H}_2\text{O} = 1 : 0.08 : 1$)により、ソース電極 128とドレイン電極 129もエッチングして損傷させてしまうおそれがある。

30

【0012】

このため従来では、ソース電極 128とドレイン電極 129を一旦パッシベーション膜 130で覆い、その後ITOの透明導電膜の成膜を行い、パターンニングして画素電極 133と端子電極 135を形成している。ところが、このような構造ではパッシベーション膜 130が必ず必要になるので、パッシベーション膜 130の成膜に必要な一連の工程が必要になり、工程数が増加する問題があった。

【0013】

本発明は前記事情に鑑みてなされたもので、薄膜トランジスタ基板構造に従来必要であったパッシベーション膜を省略することができ、工程数の削減ができるとともに、パッシベーション膜に必要であったコンタクトホール形成工程も不要として工程数を削減した薄膜トランジスタ基板の提供を目的とする。また、本発明はこのような特徴を有する薄膜トランジスタ基板を備えた液晶表示装置の提供を目的とする。

40

【課題を解決するための手段】

【0014】

本発明は、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させていることを特徴とする。ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させることにより、ソース配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、そ

50

の絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。本発明において、前記ソース配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることが好ましい。これらの材料からなるソース配線であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッチング液を選択することでエッチング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のソース端子を形成できる。

【0015】

本発明は、ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させていることを特徴とする。ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させることにより、ゲート配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

10

【0016】

本発明において、前記ゲート配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることが好ましい。これらの材料からなるゲート配線であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッチング液を選択することでエッチング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のゲート端子を形成できる。

20

【0017】

本発明は、複数の画素電極をそれぞれスイッチングする薄膜トランジスタを成すドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させていることを特徴とする。ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させることにより、ドレイン電極上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。本発明において、前記ドレイン電極がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることが好ましい。これらの材料からなるドレイン電極であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッチング液を選択することでエッチング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物の画素電極を形成できる。

30

【0018】

更に本発明において、少なくとも表面が絶縁性である基板上に複数のゲート配線と複数のソース配線とをマトリクス状に形成し、これら配線によって囲まれた各領域に画素電極をそれぞれ設けるとともに、該画素電極と前記ゲート配線及び前記ソース配線とに接続させてそれぞれ前記画素電極のスイッチング素子としての薄膜トランジスタを設け、前記ゲート配線のそれぞれにインジウム亜鉛酸化物からなるゲート端子を直接接続し、前記ソース配線のそれぞれにインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続し、前記薄膜トランジスタを成すドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させたことを特徴とする構造を採用することができる。

40

【0019】

前記ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のゲート端子を直接接続し、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のソース端子を直接接続し、ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物

50

の画素電極を直接接続することにより、ゲート配線とソース配線とドレイン電極上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

【0020】

本発明において、前記インジウム錫亜鉛酸化物が、インジウム酸化物と錫酸化物と亜鉛酸化物とを含む複合酸化物からなり、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし9at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫との合計量に対する錫の原子数率が20at%以下であるとともに、少なくとも一部が結晶性を有するものであることが好ましい。このような組成範囲において成膜時に非晶質であり、弱酸でエッチング可能であって、熱処理により結晶化可能で低抵抗化することができるインジウム錫亜鉛酸化物が得られる。本発明において、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし7at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数率が5at%ないし10at%であることが好ましい。

10

【0021】

本発明は、前記の液晶を挟持する一对の基板の一方の基板に先のいずれか一項記載の薄膜トランジスタ基板を使用した構成を採用することができる。これにより、液晶表示装置の薄膜トランジスタ基板の製造工程において絶縁膜としてのパッシベーション膜の作成を略することができ、パッシベーション膜のコンタクトホールを略することができるので、製造工程を簡略化することができる。

20

【発明の効果】

【0022】

本発明は、薄膜トランジスタ基板において、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させることにより、ソース配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。また、薄膜トランジスタ基板において、ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させることにより、あるいは、ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させることにより、従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

30

【発明を実施するための最良の形態】

【0023】

以下に本発明の各実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。

40

「第1実施形態」

図1は本発明の第1実施形態の薄膜トランジスタT1を備えた薄膜トランジスタ(アレイ)基板H1の要部平面図、図2は同薄膜トランジスタアレイ基板H1を備えた液晶表示装置Eの要部断面図、図3は同装置の一部断面図である。この実施形態の薄膜トランジスタ(アレイ)基板H1においては、ガラス等からなる透明の基板1上に、複数のゲート配線G・・・と複数のソース配線S・・・とが平面視マトリクス状に配設されている。そして、ゲート配線G・・・とソース配線S・・・とで囲まれた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のITZO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなる画素電極2が基板1の上方に位置した状態で設けられ、

50

各画素領域の隅部にスイッチング素子としての薄膜トランジスタT1が設けられている。なお、基板1としては少なくとも表面が絶縁性を有するとともに必要な部分が透明な基板であれば良い。例えば、基板1を液晶表示装置Eに適用する場合は、表示に寄与する画素領域に対応する部分を少なくとも透明領域としてその他の部分にブラックマトリクス等の遮光膜を内蔵化した基板を用いても良いのは勿論である。

【0024】

この例の薄膜トランジスタアレイ基板H1において、基板1上の各画素領域の隅部の薄膜トランジスタ形成部分に、ポリシリコンあるいはアモルファスシリコン(a-Si)等からなるアイランド状の半導体能動膜3が形成され、基板1上にこれらの半導体能動膜3と基板上面を覆って下部ゲート絶縁膜5が積層され、下部ゲート絶縁膜5上にゲート配線Gが平面視図1に示すように相互に平行に複数形成されるとともに、各ゲート配線Gにおいて各画素領域の半導体能動膜3の中央部上に延出するように短冊状のゲート電極6が形成されている。前記半導体能動膜3はその中央部にチャネル部3aが形成され、その両端側にイオンがドープされた状態とされている。

10

【0025】

更に、下部ゲート絶縁膜5上にこの下部ゲート絶縁膜5と前記各ゲート配線Gと各ゲート電極6とを覆って上部ゲート絶縁膜7が積層されている。また、前記上部ゲート絶縁膜7と下部ゲート絶縁膜5には、半導体能動膜3の一侧端部に接続するコンタクトホール8と、半導体能動膜3の他側端部に接続するコンタクトホール9がそれぞれ形成され、半導体能動膜3の一侧端部上の部分には上部ゲート絶縁膜7の上に延出するとともに、コンタクトホール8を通過して半導体能動膜3の一侧端部に接続するドレイン電極10が形成され、半導体能動膜3の他側端部上の部分には上部ゲート絶縁膜7の上に延出するとともに、コンタクトホール9を通過して半導体能動膜3の他側端部に接続するソース電極11が形成されている。従って、半導体能動膜3と下部ゲート絶縁膜5と上部ゲート絶縁膜7とゲート電極6とドレイン電極10とソース電極11により薄膜トランジスタT1が構成されている。

20

【0026】

次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、上部ゲート絶縁膜7の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極11の形成部分と半導体能動膜3の形成部分とゲート電極6の形成部分のそれぞれの領域を除いた部分において上部ゲート絶縁膜7に密着し、ドレイン電極10の端部側に直接密着するように画素電極2が形成されている。

30

【0027】

また、複数形成されたソース配線Sの各端部側(図1では上側端部のみを記載した)には、ソース配線Sの端部SE1の一部を直接積層され、他の部分を上部ゲート絶縁膜7に積層されたITZO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなるゲート端子12が形成されている。更に、複数形成されたゲート配線Gの各端部側(図1では左側端部のみを記載した)には、ゲート配線Gの端部GE1の一部を直接積層され、他の部分を上部ゲート絶縁膜7に積層されたITZO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなるゲート端子13が形成されている。

40

【0028】

この実施形態の構造においては、ITZOまたはIZOからなる画素電極2が上部ゲート絶縁膜7の上に直に接触して形成されており、更にドレイン電極10に直に接触形成されているので、図29~図31に示した従来構造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化できるとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化を推進できる。

【0029】

ここで図1~図3に示す構造を採用すると、画素電極2のパターニングの工程で画素電

50

極 2 をエッチングによりパターニングする際に、画素電極 2 のエッチング液にドレイン電極 10 とソース電極 11 も浸漬されることになるが、ITZO または IZO からなる画素電極 2 をエッチングするためのエッチング液として、後述する如くシュウ酸や塩酸など、ドレイン電極 10 およびソース電極 11 の構成金属材料を損傷させないものを選択できるので、画素電極 2 のエッチング処理時にドレイン電極 10 とソース電極 11 を損傷させることがない。

【0030】

次に、図 1 ~ 図 3 に示す構造にあつては、薄膜トランジスタアレイ基板と対向する透明基板 15 との間に液晶 16 が封入されて液晶表示装置が構成され、対向基板 15 側に設けられた共通電極 17 と前記画素電極 2 が電界を液晶に印加するか否かによって液晶の配向制御ができるように構成されている。ここで前述のソース端子 12・・・とゲート端子 13・・・は、液晶 16 を封止している図示略の封止材の外部側に設けられており、これらの部分には駆動用 LSI の端子が接続されるようになっている。即ち、テープキャリアパッケージと称される駆動用 LSI の端子などが接続されるので、ITZO または IZO のソース端子 12・・・とゲート端子 13・・・を設けておき、これらの端子との良好な接続性を確保することが好ましい。

10

【0031】

以下に、図 4 ないし図 8 を基に、図 1 ~ 図 3 に示す構造と同等の構造の薄膜トランジスタ (アレイ) 基板を製造する方法について説明する。ガラス等の透明基板 1 上にポリシリコンまたはアモルファスシリコンからなる半導体膜と SiO_2 からなる下地絶縁膜を積層し、これらをフォトリソ工程でパターニングして図 4 に示すアイランド状の半導体膜 20 とゲート下部絶縁膜 21 を形成する。次に、ゲート絶縁膜とゲート電極形成用の電極膜を積層し、これらをフォトリソ工程でパターニングして図 5 に示すようにゲート絶縁膜 22 とゲート電極 23 を形成する。

20

【0032】

次にイオンドーピング処理を行い、半導体膜 20 の両側部分にイオンドーピングを施し、更にこれらを中間絶縁膜 25 で覆い、この中間絶縁膜 25 に半導体膜 20 の両端側に通じるコンタクトホール 26、27 を形成し、中間絶縁膜 25 の上に前述のコンタクトホール 26、27 を介して半導体膜 20 の一側に接続するソース電極 28 をに示すように形成し、更に半導体膜 20 の他側に接続するドレイン電極 29 を形成する。

30

【0033】

次にこれらの上に IZO (インジウム亜鉛酸化物) 層または ITZO (インジウム錫亜鉛酸化物) 層を全体に積層してからフォトリソ工程によりパターニングして図 8 に示すように画素電極 30 を形成すると同時に、ソース配線 S の端部側にソース端子 31 をゲート配線 G の端部側にゲート端子をそれぞれ形成する。ここで、用いる IZO 層として、インジウム酸化物 (InO_x) を 90% と亜鉛酸化物 (ZnO_x) を 10% の混合物の層を例示することができる。また、IZO 層をエッチングするためのエッチング液としては、シュウ酸: $(\text{COOH})_2$ あるいは塩酸: HCl などの酸を用いることができる。シュウ酸として、例えば、0.6 mol/l の濃度のものを用いることができ、塩酸としては 3.5% のものを用いることができるが、ここで例示した濃度は一例であり、他の濃度のシュウ酸あるいは塩酸としても良いのは勿論である。

40

【0034】

また、用いる ITZO 層として、インジウム (In) 酸化物 (In_2O_3) と、錫 (Sn) 酸化物 (SnO_2) と、亜鉛 (Zn) 酸化物 (ZnO) を主成分とする複合酸化物からなる層を例示することができる。なお、これらの主成分の酸化物の外に数 at% 程度の不純物を含んでいても差し支えない。

【0035】

この ITZO 層においては、他の配線あるいは導電体と接続して用いられるので、これらとの接続部分において、少なくとも錫が亜鉛よりも多く配合され、結晶性を示すことが必要である。例えば、ITZO 層の表面部分において配線や他の導体との接続を行う場合

50

は、表面部分の組成において少なくとも錫が亜鉛よりも多く配合され、結晶性を示すことが必要である。

【0036】

次に、ITZO層において、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし9at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫の合計量に対する錫の原子数率が20at%以下、より好ましくは1at%以上、20at%以下の範囲である。そして更に、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし7at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数率が5at%ないし10at%であることがより好ましい。さらに、インジウムの組成範囲は、亜鉛とインジウムと錫の合計量に対するインジウムの原子数率が98at%以下、75at%以上である。

10

【0037】

ITZO層中のインジウム酸化物は主成分であり、複合酸化物中において酸素と結合していない過剰インジウムが電子キャリアを発生し、酸素欠損型の導電機構を構成する。添加成分としての錫酸化物は複合酸化物中において4価の錫を活性化して電子キャリアを発生するために重要である。また、複合酸化物がアモルファス状態であると亜鉛酸化物の2価の亜鉛は活性化しないので、電子キャリアを消費するアクセプタとならない。これら添加物のバランスを考慮して前記の組成範囲を選択する。

【0038】

また、前述の組成のITZO層を実際の配線用として用いる場合、他の配線や端子との接続部分は少なくとも結晶性であることが好ましい。前記組成範囲のITZO層は通常の成膜のままではアモルファス膜であるが、これを結晶化温度以上に加熱するアニール処理(180~300の温度に加熱する熱処理)を行えば容易に結晶化する。なお、熱処理温度は周囲の回路や基板の耐熱温度に応じて使い分けることができるが、後述する液晶パネル用として利用した場合に、周辺回路や基板の耐熱性から、好ましくは、250以下、200程度がより好ましいと考えられる。

20

【0039】

前述の組成のITZO層は、成膜のままのアモルファス状態では導体(ソース配線端部やゲート配線端部あるいはTCP:テープキャリアパッケージ)との接触抵抗は高く(41程度)、微細配線接続用として良好な抵抗であるとは言えないが、これを先の温度で熱処理して少なくとも表面部分(表面から深さ50程度)を結晶化することで少なくとも接続部分を低抵抗化(2.3程度)することができる。この結晶化する際の熱処理雰囲気は、大気中、N₂雰囲気中、H₂20%、N₂80%雰囲気中、O₂20%、N₂80%雰囲気中、真空雰囲気中のいずれでも良い。なお、前記結晶化した酸化物透明導電膜は大気中の水分(あるいは酸素)との結合を防止できるので、経時的に接触抵抗が上昇することもない。また、前述の組成のアモルファス状態のITZO層は、希塩酸、有機酸等の弱酸でのエッチングが容易にできるので、アモルファス状態の酸化物透明導電膜のままの状態でのエッチング処理し、パターニングを行い配線を形成し、パターニング後に配線接続部分などの必要部分を熱処理して配線接続部分を低抵抗化することで微細回路接続部分であっても低抵抗接続ができる。

30

40

【0040】

次に、前述の組成のITZO層を形成するには、スパッタ成膜等の成膜法で絶縁性の基板等の上面に成膜し、熱処理することで得ることができるが、その場合に用いるターゲットとして以下の組成のターゲットが好ましい。好適に使用できるターゲットの組成は、インジウム酸化物と錫酸化物と亜鉛酸化物を含む複合酸化物からなり、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし12at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫の合計量に対する錫の原子数率が22at%以下のものである。また、前述のターゲットとして、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし10at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数比が5at%ないし12at%であることがよ

50

り好ましい。

【0041】

前述の組成の酸化物透明導電膜を得るために用いるターゲットにおいて、スパッタした際に亜鉛と錫は飛散し易く、膜中に取り込まれ難いので、ターゲットとして亜鉛と錫を目的の組成の膜よりも多く含む組成が良い。

【0042】

ところで、前述のIZO層またはITZO層を前記のエッチング液でエッチングする際に、ソース配線Sとソース電極28とゲート電極29がエッチング液に浸漬されることとなるが、シュウ酸をエッチング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、Wなどの金属から、あるいはこれらの合金からソース配線Sとソース電極28とゲート電極29を形成することができるとともに、希塩酸をエッチング液として用いる場合、Cu、Mo、Cr、Ti、Ta、Wなどの金属からソース配線Sとソース電極28とゲート電極29を形成することができる。ただし、希塩酸をエッチング液として用いた場合に配線用あるいは電極用としてAlを用いるとAlが塩酸で損傷されるので好ましくない。また、この外に有機酸などの弱酸を用いてエッチングすることもできる。

【0043】

なお、ITZO層を使用する場合、アモルファス状態のITZO層を形成後、エッチングして他の層の導体部分との接続部分を形成する必要がある。ここで先の組成のITZO層であるならば、エッチング液として強酸ではなく、希塩酸や有機酸などの弱酸でエッチングできるので、サイドエッチ量を少なくすることができ、その分微細構造をエッチングで得ることができる。そして、ITZO層に微細エッチングを行って、規定サイズの画素電極等を形成した後、これらの層を結晶化温度以上に加熱してアモルファス状態のITZO層を結晶化するならば、結晶化した部分の抵抗を低くできるので、ドレイン電極との接続、端子部との接続を低抵抗で行うことができる。以上のようにITZO層をアモルファス状態でエッチングしてから熱処理して結晶化し低抵抗接続するならば、微細配線部分であっても、接続抵抗を低くしたままで接続した部分を備えた構造を得ることができる。

【0044】

以上の工程により図8に断面構造を示す薄膜トランジスタT2を得ることができる。このように得られた薄膜トランジスタT2は先に図1～図3を基に説明した薄膜トランジスタT1とほぼ同等の構造であり、画素電極30が直接ドレイン電極29に接続されるとともに、ソース端子31がソース配線にゲート端子がゲート端子にそれぞれ直接接続されているので、ソース電極28とドレイン電極29の上に従来必要であった絶縁膜としてのパッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したようにパッシベーション膜の省略ができ、パッシベーション膜に形成するコンタクトホールも略することができるので、工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

【0045】

「第2実施形態」

図9は本発明の第2実施形態の薄膜トランジスタT3を備えた薄膜トランジスタ(アレイ)基板H3の要部平面図、図12Bは薄膜トランジスタ部分の要部断面図である。なお、図12Bでは液晶表示装置を構成するための対向基板側の構成と液晶については記載を省略したが、図12Bに示す薄膜トランジスタアレイ基板H3を用いて液晶表示装置を構成する場合は、第2図に示した場合と同様に図12Bに示す薄膜トランジスタアレイ基板H3に対して対向基板と液晶を組み合わせる構成することができる。

【0046】

この実施形態の薄膜トランジスタ(アレイ)基板H3においては、ガラス等からなる透明の基板1上に、複数のゲート配線G・・・と複数のソース配線S・・・とが平面視マトリクス状に配設されている。そして、ゲート配線G・・・とソース配線S・・・とで囲ま

10

20

30

40

50

れた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のITZO（インジウム錫亜鉛酸化物）またはIZO（インジウム亜鉛酸化物）からなる画素電極32が基板1の上方に位置した状態で設けられ、各画素領域の隅部にスイッチング素子としての薄膜トランジスタT3が設けられている。

【0047】

この例の薄膜トランジスタアレイ基板H3において、透明基板上的各画素領域の隅部の薄膜トランジスタ形成部分に、ゲート配線Gから引き出された短冊状のゲート電極33が形成され、これらゲート配線G・・・とゲート電極33を覆うようにゲート絶縁膜34が形成され、ゲート電極33上のゲート絶縁膜34上にポリシリコンまたはアモルファスシリコン（a-Si）等からなるアイランド状の半導体能動膜35がゲート電極33の上方を横切るように設けられている。そして、リン等のn型不純物を含むアモルファスシリコン（a-Si:n⁺）からなるオーミックコンタクト層36を介して半導体能動膜35の一端端部上にソース電極37が積層され、半導体能動膜35の他端部上に同様のオーミックコンタクト層36を介してドレイン電極38が積層され、ソース電極37とドレイン電極38とがゲート電極33の上方で対峙される一方、ソース電極37がソース配線Sに一体的に連続されるとともに、ドレイン電極38が後述の画素電極32に直接積層されて薄膜トランジスタT3が構成されている。

10

【0048】

次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、ゲート絶縁膜34の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極37の形成部分と半導体能動膜35の形成部分とゲート電極38の形成部分のそれぞれの領域を除いた部分においてゲート絶縁膜34に密着し、ドレイン電極38の端部側に直接密着積層するように画素電極32が形成されている。

20

【0049】

また、複数形成されたソース配線Sの各端部側（では上側端部のみを記載した）には、ソース配線Sの端部SE2に一部を直接積層されたIZOまたはITZOからなるソース端子42が形成されている。更に、複数形成されたゲート配線Gの各端部側（図1では左側端部のみを記載した）には、ゲート配線Gの端部GE2に一部を直接積層され、他の部分を基板1に積層されたIZOまたはITZOからなるゲート端子43が形成されている。

30

【0050】

なお、図12Bに示す構造では液晶と対向基板を省略して記載したが、図12Aに示す薄膜トランジスタアレイ基板H3と対向基板と間に液晶が封入されて液晶表示装置が構成されるのは、先の第1実施形態の場合と同等である。

【0051】

この実施形態の構造においては、IZOまたはITZOからなる画素電極32がゲート絶縁膜34の上に直に接触して形成されており、更にドレイン電極38に直に積層されているので、図29～図31に示した従来構造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化できるとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化を推進できる。

40

【0052】

ここで、図9と図12Bに示す構造を採用すると、画素電極32のパターニングの工程で画素電極32をエッチングによりパターニングする際に、画素電極32のエッチング液にドレイン電極38とソース電極37も浸漬されることになるが、IZOまたはITZOからなる画素電極32をエッチングするためのエッチング液として、先に説明の如くシュウ酸や塩酸など、ドレイン電極38およびソース電極37の構成金属材料を損傷させないものを選択できるので、ドレイン電極38とソース電極37を損傷させることがない。また、同様に画素電極32のパターニングの工程で画素電極32をエッチングによりパター

50

ニングする際に、画素電極 32 のエッチング液にソース配線 S の端部 SE2 とゲート配線 G の端部 GE2 も浸漬されることになるが、IZO または ITZO からなる画素電極 32 をエッチングするためのエッチング液として、先に説明の如くシュウ酸や塩酸など、ソース配線 S の端部 SE2 とゲート配線 G の端部 GE2 の構成金属材料を損傷させない弱酸を選択できるので、ソース配線 S の端部 SE2 とゲート配線 G の端部 GE2 を損傷させることなくソース端子 42 とゲート端子 43 を形成することができる。

【0053】

以下に、図 10 ないし図 12 A を基に、図 9 と図 12 B とに示す構造の薄膜トランジスタ (アレイ) 基板を 4 枚のマスクを用いて製造する方法について説明する。ガラス等の透明基板 1 上に前述の金属材料からなる金属膜を形成し、この金属膜を 1 枚目のマスクを用いるフォトリソ工程によりパターンニングして図 10 に示すようにゲート配線 G とゲート電極 33 とゲート配線の端部 GE2 を形成する。次にこれらの上にゲート絶縁膜 34 とポリシリコンまたはアモルファスシリコン等からなる半導体膜 35 とオーミックコンタクト膜 36 と金属膜 45 を図 11 に示すように積層し、これらを 2 枚目のマスクを用いるフォトリソ工程でパターンニングしてゲート配線端部とソース配線端部を覆っているすべての膜を除去し、これらの端部を露出させる。

10

【0054】

次に 3 枚目のマスクを用いるフォトリソ工程において金属膜 45 とオーミックコンタクト膜 36 をパターンニングして図 12 A に示すようにゲート電極 33 上で対峙するようにソース電極 37 とドレイン電極 38 を形成する。

20

【0055】

次にこれらの上に IZO 層または ITZO 層を全体に積層してから 4 枚目のマスクを用いるフォトリソ工程によりパターンニングして図 12 B に示すように画素電極 32 を形成すると同時に、ソース配線 S の端部側にソース端子 42 をゲート配線 G の端部側にゲート端子 43 をそれぞれ形成する。ここで、用いる IZO 層として、インジウム酸化物 (InO_x) を 90%、亜鉛酸化物 (ZnO_x) を 10% 含有する混合物の層を例示することができる。また、IZO 層をエッチングするためのエッチング液としては、シュウ酸： $(\text{COOH})_2$ あるいは塩酸： HCl などの酸を用いることができる。シュウ酸として、例えば、 0.6 mol/l の濃度のものを用いることができ、塩酸としては 3.5% のものを用いることができる。また、ITZO 層として、インジウム錫酸化物 (InO_x) を 85%、錫酸化物 (SnO_x) を 10%、亜鉛酸化物 (ZnO_x) を 5% 含有する混合物の層を例示することができる。更にこの ITZO 層をエッチングするためのエッチング液は前述の IZO 層の場合と同等のものを利用できる。

30

【0056】

前述の IZO 層または ITZO 層を前記エッチング液でエッチングする際に、ソース配線 S とソース電極 37 とゲート電極 38 がエッチング液に浸漬されることとなるが、シュウ酸をエッチング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、W などの金属からあるいはこれらの合金からソース配線 S とソース電極 37 とゲート電極 38 を形成するとともに、塩酸をエッチング液として用いる場合は、Cu、Mo、Cr、Ti、Ta、W などの金属からあるいはこれらの合金からソース配線 S とソース電極 37 とゲート電極 38 を形成することができる。ただし、塩酸をエッチング液として用いた場合に配線用あるいは電極用として Al を用いると Al が損傷するので好ましくない。なお、ITZO 層を用いる場合、ITZO 層を成膜法で形成した段階では非晶質であり抵抗が高いので、エッチング処理終了後、適切な工程において 180 以上に加熱する熱処理を施して ITZO 層の接続部分 (表面部分) を低抵抗化しておくことが必要となる。

40

【0057】

以上の工程により図 12 B に断面構造を示す薄膜トランジスタ T3 を備えた薄膜トランジスタアレイ基板 H3 を得ることができる。このように得られた薄膜トランジスタ T3 は、画素電極 32 が直接ドレイン電極 38 に接続されるとともに、ソース端子 42 がソース配線 S にゲート端子 43 がゲート配線 G にそれぞれ直接接続されているので、ソース電極

50

37とドレイン電極38の上に従来必要であった絶縁膜としてのパッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したように工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

【0058】

「第3実施形態」

図13は本発明の第3実施形態の薄膜トランジスタT5を備えた薄膜トランジスタ(アレイ)基板H5の要部平面図、図19は薄膜トランジスタ部分の要部断面図である。この実施形態の薄膜トランジスタ(アレイ)基板H5においては、ガラス等からなる透明の基板1上に、複数のゲート配線G・・・と複数のソース配線S・・・とが平面視マトリクス状に配設されている。そして、ゲート配線G・・・とソース配線S・・・とで囲まれた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のIZOまたはITZOからなる画素電極52が基板1の上方に位置した状態で設けられ、各画素領域の隅部にスイッチング素子としての薄膜トランジスタT5が設けられている。

【0059】

この例の薄膜トランジスタアレイ基板H5において、透明基板上の各画素領域の隅部の薄膜トランジスタ形成部分に、ゲート配線Gから引き出された短冊状のゲート電極53が形成され、これらゲート配線G・・・とゲート電極53を覆うようにゲート絶縁膜54が形成され、ゲート電極53上のゲート絶縁膜54上にポリシリコンまたはアモルファスシリコン(a-Si)等からなるアイランド状の半導体能動膜55がゲート電極53の上方に位置するように設けられている。そして、リン等のn型不純物を含むアモルファスシリコン(a-Si:n⁺)からなるオーミックコンタクト膜56を介して半導体能動膜55の一端部上にソース電極57が形成され、半導体能動膜55の他端部上に同様のオーミックコンタクト膜56を介してドレイン電極58が形成され、ソース電極57とドレイン電極58とがゲート電極53の上方で対峙される一方、ソース電極57がソース配線Sに接続されるとともに、ドレイン電極58が後述の画素電極52に直接接続されて薄膜トランジスタT5が構成されている。

【0060】

次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、ゲート絶縁膜54の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極57の形成部分と半導体能動膜55の形成部分とゲート電極58の形成部分のそれぞれの領域を除いた部分においてゲート絶縁膜54に密着し、ドレイン電極58の端部側に直接密着するように画素電極52が形成されている。また、複数形成されたソース配線Sの各端部側(図13では上側端部のみを記載した)には、ソース配線Sの端部SE3に一部を直接積層されたIZOまたはITZOからなるソース端子62が形成されている。更に、複数形成されたゲート配線Gの各端部側(図1では左側端部のみを記載した)には、ゲート配線Gの端部GE3に一部を直接積層され、他の部分を基板1に積層されたIZOまたはITZOからなるゲート端子63が形成されている。

【0061】

なお、図19に示す構造では液晶と対向基板を省略して記載したが、図19に示す薄膜トランジスタアレイ基板H5と対向基板と間に液晶が封入されて液晶表示装置が構成されるのは、先の第1実施形態の場合と同等である。

【0062】

この実施形態の構造においては、IZOまたはITZOからなる画素電極52がゲート絶縁膜54の上に直に接触して形成されており、更にドレイン電極58に直に積層されているので、図29に示した従来構造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化できるとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化

10

20

30

40

50

を推進できる。

【0063】

ここで、図13に示す構造を採用すると、画素電極52のパターニングの工程で画素電極52をエッチングによりパターニングする際に、画素電極52のエッチング液にドレイン電極58とソース電極57も浸漬されることになるが、IZOまたはITZOからなる画素電極52をエッチングするためのエッチング液として、先に説明の如くシュウ酸や塩酸など、ドレイン電極58およびソース電極57の構成金属材料を損傷させないものを選択できるので、ドレイン電極58とソース電極57を損傷させることがない。

【0064】

また、同様に画素電極52のパターニングの工程で画素電極52をエッチングによりパターニングする際に、画素電極52のエッチング液にソース配線Sの端部SE3とゲート配線Gの端部GE3も浸漬されることになるが、IZOまたはITZOからなる画素電極52をエッチングするためのエッチング液として、先に説明の如くシュウ酸や塩酸など、ソース配線Sの端部SE3とゲート配線Gの端部GE3の構成金属材料を損傷させないものを選択できるので、ソース配線Sの端部SE3とゲート配線Gの端部GE3を損傷させることなくソース端子とゲート端子を形成することができる。

【0065】

以下に、図14ないし図18を基に、図13と図19に示す構造の薄膜トランジスタ(アレイ)基板を5枚のマスクを用いて製造する方法について説明する。ガラス等の透明基板1上に前述の金属材料からなる金属膜を形成し、この金属膜を1枚目のマスクを用いるフォトリソ工程によりパターニングして図14に示すようにゲート配線Gとゲート電極53とゲート配線の端部GE3を形成する。

【0066】

次にこれらの上にゲート絶縁膜54とポリシリコンまたはアモルファスシリコン等からなる半導体能動膜551とオーミックコンタクト膜561を図15に示すように積層し、これらを2枚目のマスクを用いるフォトリソ工程でパターニングしてゲート電極53上のゲート絶縁膜54上の半導体能動膜551とオーミックコンタクト膜561のみを図16に示すように残して他の部分は除去する。次にこれらの上に図17に示すように金属膜59を積層するとともに、3枚目のマスクを用いるフォトリソ工程において金属膜59をパターニングして図18に示すように半導体能動膜55の一側端部にオーミックコンタクト膜561を介して半導体能動膜55の一側端部に先端部を重ねるソース電極57を形成し、同時に半導体能動膜55の他側端部にオーミックコンタクト膜56を介して半導体能動膜55の他側端部に先端部を重ねるドレイン電極58を形成する。

【0067】

次に、4枚目のマスクを用いるフォトリソ工程により、ゲート配線Gの端部GE3とソース配線Sの端部SE3の周囲のゲート絶縁膜54を図18に示すように除去する。次にこれらの上にIZO層またはITZO層を全体に積層してから5枚目のマスクを用いるフォトリソ工程によりパターニングして図19に示すように画素電極52を形成すると同時に、図20に示すようにソース配線Sの端部SE3側にソース端子62を図19に示すようにゲート配線Gの端部GE3側にゲート端子63をそれぞれ形成する。ここで、用いるIZO層として、インジウム酸化物(InO_x)を90%と亜鉛酸化物(ZnO_x)を10%の混合物の層を例示することができる。また、IZO層をエッチングするためのエッチング液としては、シュウ酸： $(COOH)_2$ あるいは塩酸： HCl などの酸を用いることができる。シュウ酸として、例えば、0.6mol/lの濃度のものを用いることができ、塩酸としては3.5%のものを用いることができる。また、ITZO層として、インジウム錫酸化物(InO_x)を85%、錫酸化物(SnO_x)を10%、亜鉛酸化物(ZnO_x)を5%含有する混合物の層を例示することができる。更にこのITZO層をエッチングするためのエッチング液は前述のIZO層の場合と同等のものを利用できる。

【0068】

前述のIZO層またはITZO層を前記のエッチング液でエッチングする際、ソース配

10

20

30

40

50

線Sとソース電極57とゲート電極58がエッチング液に浸漬されることとなるが、シュウ酸をエッチング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、Wなどの金属からあるいはこれらの合金からソース配線Sとソース電極57とゲート電極58を形成することができる。ただし、塩酸をエッチング液として用いた場合に配線用あるいは電極用としてAlを用いるとAlが損傷するので好ましくない。なお、ITZO層を用いる場合、ITZO層を成膜法で形成した段階では非晶質であり抵抗が高いため、エッチング処理終了後、適切な工程において200℃以上に加熱する熱処理を施してITZO層の接続部分(表面部分)を低抵抗化しておくことが必要となる。

10

【0069】

以上の工程により図19に断面構造を示す薄膜トランジスタT5を得ることができる。このように得られた薄膜トランジスタT5は、画素電極52が直接ドレイン電極58に接続されるとともに、ソース端子62がソース配線Sにゲート端子63がゲート配線Gにそれぞれ直接接続されているので、ソース電極57とドレイン電極58の上に従来必要であった絶縁膜としてのパッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したように工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

20

【実施例】

【0070】

複数枚のガラス基板上に、室温成膜、 O_2 分圧 $6.3 \times 10^{-3} \text{ Pa}$ ($5 \times 10^{-5} \text{ Torr}$)の条件でインジウム錫酸化物膜(ITO膜、In:Sn=92at%:8at%、厚さ1200Å)とインジウム錫亜鉛酸化物皮膜「ITZO膜:In₂O₃-SnO₂-ZnO膜」(In:Sn:Zn=88at%:9at%:3at%、厚さ1200Å)と、インジウム亜鉛酸化物皮膜(IZO膜:In:Zn=82at%:18at%、厚さ1200Å)のいずれかを個々にスパッタ装置で形成し、各皮膜のX線回折ピークを求めた。ここで用いたターゲットは、ITO膜の場合はIn:Sn=90at%:10at%の組成のターゲット、ITZO膜の場合はIn:Sn:Zn=85at%:10at%:5at%の組成のターゲット、IZO膜の場合はIn:Zn=83at%:17at%の組成のターゲットとした。また、インジウム亜鉛皮膜とインジウム錫亜鉛皮膜については、20% H₂/N₂の雰囲気のアニール炉において250℃に2時間加熱する熱処理を施した後のX線回折ピークも求めた。図21にITO膜の結果を示し、図22にITZO膜の結果を示し、図23にIZO膜の結果を示す。

30

【0071】

図21と図22と図23に示す結果から、室温成膜した場合、ITO膜は結晶性を示し、ITZO膜とIZO膜はいずれもブロードな曲線を示すアモルファス膜であることが判明した。また、ITZO膜は熱処理を施すと結晶化するが、IZO膜は熱処理を施しても結晶化しないことが判明した。以上のことから、本発明に係る組成のITZO膜は、成膜状態ではアモルファス状態であるがこれを熱処理することで結晶化できることが明らかになった。また、ITZO膜は成膜のままのアモルファス状態において $600 \times 10^{-6} \cdot \text{cm}$ の抵抗を示したが、熱処理後は $250 \times 10^{-6} \cdot \text{cm}$ の抵抗となり、アモルファス状態から結晶化することで抵抗値が減少することを確認できた。

40

【0072】

図24は本発明に係るインジウム錫亜鉛酸化物膜の熱処理後の状態がアモルファス相状態となるか、多結晶状態となるかを示すグラフである。図24のグラフの縦軸においてZn/(In+Sn+Zn)[at%]は、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率を示すもので、横軸のSn/(In+Sn+Zn)[at%]は亜鉛とインジウムと錫の合計量に対する錫の原子数率を示す。

50

【 0 0 7 3 】

図 2 4 に描いた a 線は亜鉛とインジウムと錫の合計量に対する Zn : 1 a t % の組成を示し、b 線は亜鉛とインジウムと錫の合計量に対する Zn : 9 a t % の組成を示し、c 線は亜鉛に対する錫の原子数比が 1 の場合の組成を示す。図 2 4 において、a 線の下組成範囲では、酸化物透明導電膜が成膜時に多結晶相となってしまう、弱酸では容易にエッチングできない組成範囲である。図 2 4 において、b 線の上組成範囲では成膜のままのアモルファス状態の膜を熱処理（アニール）してもアモルファスのままの状態を維持する組成範囲であり、接続抵抗を低抵抗化できない組成範囲である。また、図 2 4 において c 線は亜鉛と錫の組成比が同一であることを示すので、電子キャリアを亜鉛が消費する割合が多くなり、c 線よりも上の組成範囲では電子キャリアを消費する亜鉛の量が多くなり過ぎて低抵抗接続できない組成範囲である。また、組成範囲が c 線の下領域であっても c 線に近づくとも抵抗が大きくなる傾向にあることを意味する。

10

【 0 0 7 4 】

また、図 2 4 の縦軸の亜鉛量が 1 0 a t % であって、横軸の錫量が 5 a t % の膜と縦軸の亜鉛量が 1 0 a t % であって、横軸の錫量が 9 a t % の膜はいずれも 3 0 0 ℃ に加熱する熱処理を施しても結晶化しなかった試料である。これらに対し、縦軸の亜鉛量が 5 a t % であって、横軸の錫量が 8 a t % の膜と縦軸の亜鉛量が 5 a t % であって、横軸の錫量が 9 a t % の膜はいずれも 2 3 0 ℃ で熱処理することで結晶化できた。更に、縦軸の亜鉛量が 3 a t % であって、横軸の錫量が 6 a t % の膜と縦軸の亜鉛量が 3 a t % であって、横軸の錫量が 9 a t % の膜はいずれも 2 0 0 ℃ で熱処理することで結晶化できた。

20

【 0 0 7 5 】

以上のことから、亜鉛量を少なくすることで結晶化温度を低くできることが判明した。また、本発明に係る酸化物透明導電膜を電子機器に応用する場合、基板あるいはその上に積層する種々の膜の耐熱温度の制限から、熱処理温度はできる限り低い方が好ましい。よって、熱処理温度を低くすると同時に低接続抵抗化するためには、インジウムに対して添加する亜鉛量、錫量ともに少ない方が好ましいと考えることができる。

【 0 0 7 6 】

更に、これらの種々の条件を十分に満足させるために、亜鉛に対する錫の原子数比が 1 を超える条件を満たした上で、亜鉛含有量に関し、1 a t % 以上、9 a t % 以下の範囲内でも、2 a t % 以上、7 a t % 以下の範囲がより好ましく、錫含有量に関し、2 0 a t % 以下の範囲でも 5 a t % 以上、1 0 a t % 以下の範囲がより好ましい。

30

【 0 0 7 7 】

次に、図 2 5 は先の成膜したまま（as.depo状態）の ITZO 膜において、亜鉛添加量（Zn 添加量）を 5 a t % に固定した場合に錫含有量の大小に応じた 6 0 秒でのエッチング量の変化を測定した結果を示す。エッチング液は 3.5 % 濃度の塩酸溶液（弱酸溶液）を用いた。図 2 5 に示す結果から、Sn の添加量が多いほどエッチング量は低下することが明らかである。よって本発明に係る酸化物透明導電膜を用いて微細配線化するためには、錫添加量を調節することでエッチングレート（E/R）を適宜選択できることで対応可能であることが判明した。ただし、Sn 添加量 2 0 a t % において得られるエッチング量は小さいので、これ以上 Sn 添加量を増加してもエッチング時間が長くなり、加工時間が増えるので、添加量の上限を 2 0 a t % とすることが好ましい。

40

【 0 0 7 8 】

図 2 6 は先の成膜したままの ITZO 膜において、亜鉛添加量（Zn 添加量）を 3 a t %、錫添加量（Sn）を 9 a t % に設定した場合に得られた酸化物透明導電膜の透過率の波長依存性を示す。図 2 6 に示す結果から、本発明に係る酸化物透明導電膜は、可視光域（大略 4 5 0 n m ~ 7 5 0 n m）において 9 0 % を超える優れた透過率を示していることが明らかである。この値は従来から用いられているインジウム錫酸化物膜の透明導電膜と同等か、波長に応じてはそれ以上に優れたものである。従って、本発明に係る酸化物透明導電膜を液晶パネル用の画素電極や透明配線として用いても明るい表示を得ることが明らかである。

50

【 0 0 7 9 】

図 2 7 は先の組成の I T Z O 膜において、成膜のままの膜の抵抗値とアニール後の膜の抵抗値に対する成膜雰囲気中の酸素分圧 (O ₂ 分圧) 依存性を測定した結果と、アモルファス状態の I T O 膜のエッチングレート (E / R) に及ぼす酸素分圧依存性を示す。I T O 膜においても酸素分圧の微調整によってエッチングレート (E / R) の低いアモルファス状態の a - I T O 膜を得ることができるが、酸素分圧の調整を厳密に行わないと、部分的にエッチングレート (E / R) の異なる a - I T O 膜が生成されてしまう傾向がある。これは、a - I T O 膜をエッチングして配線を形成する場合に、成膜時の酸素分圧のばらつきによりエッチングむらを生じやすい a - I T O 膜となり易く、a - I T O 膜では膜質により微細配線を精密に得ることが難しいことを意味する。

10

【 0 0 8 0 】

図 2 8 は T C P 接続を行った後、信頼性試験を行った結果を示す。また、各測定値は以下の表 1 に示す。表 1 の T C P 抵抗とは、T C P による接続 (幅 4 0 × 1 0 ⁻⁶ c m の金属端子電極との接続) を行い、任意の 2 本間の抵抗値を測定したものであり、T C P 接続による金属端子との接続部分 5 0 本の平均値を示している。信頼性試験とは高温高湿 (8 0 、 9 0 % R H 、 2 4 0 時間) 後の抵抗値を測定したものである。

【 0 0 8 1 】

「表 1」

	H ₂ アニール	膜構造	初期 T C P 抵抗	信頼性試験後
I T O 膜	無し	多結晶	○ 1.1	○ 1.9
a - I T O 膜	有り	多結晶	○ 1.4	○ 2.0
I T Z O 膜	有り	多結晶	○ 3.7	○ 2.3
I Z O 膜	無し	非晶質	× 7.4	× 41.3
I T Z O 膜	無し	非晶質	(× 7.4)	(× 41.3)

20

【 0 0 8 2 】

これらの結果から、I Z O 膜でも a - I T O 膜でも接触抵抗が経時的に大気中において上昇してゆくことが判明した。また、アニール処理により a - I T O は結晶化し、接触抵抗が低いまま安定することが判明した。なお、表 1 には記載されていないが、アニールした I Z O 膜は X 線回折ではアモルファスであることが判明し、接触抵抗は改善されるものの、I T O 膜と同程度まで改善はされなかった。なお、信頼性試験として、高温ドライ 8 0 、 1 0 % R H 、 2 4 0 H の環境でも同等の試験を行ったが図 2 8 に示す結果と全く同じ結果を得ることができた。これらの試験結果から、アモルファス状態の I T Z O 膜をアニールすることで低抵抗化することができ、しかも環境試験後においても低抵抗を保持することが判明した。

30

【 0 0 8 3 】

以上説明したように本発明は、薄膜トランジスタ基板において、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させることにより、ソース配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。また、薄膜トランジスタ基板において、ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させることにより、あるいは、ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させることにより、従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

40

【 0 0 8 4 】

前述の各構造において、ソース配線、ゲート配線またはドレイン電極が、アルミニウム

50

、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金からなることが好ましい。これらの材料を選択することにより、インジウム亜鉛酸化物をエッチングする際のエッチング液でソース配線、ゲート配線、またはドレイン電極を損傷されないようにすることが可能となる。

【0085】

また、先に記載の構造のソース配線とゲート配線とドレイン電極を有し、先に記載のソース端子とゲート端子と画素電極を有する薄膜トランジスタアレイ基板であるならば、従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

10

【0086】

そして、この構造の薄膜トランジスタアレイ基板を備えた液晶表示装置にあっては、従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

【図面の簡単な説明】

20

【0087】

【図1】本発明に係る薄膜トランジスタ基板の第1実施形態の要部を示す平面略図。

【図2】図1に示す薄膜トランジスタ基板の第1実施形態の要部断面図。

【図3】図1に示す薄膜トランジスタ基板の第1実施形態の一部断面図。

【図4】図1～図3に示す第1実施形態の構造を製造する方法を説明するためのもので、基板上に半導体膜と絶縁膜を積層した状態を示す断面図。

【図5】同方法を説明するためのもので、基板上にゲート絶縁膜とゲート電極を形成した状態を示す断面図。

【図6】同方法を説明するためのもので、基板上に絶縁膜を形成した状態を示す断面図。

【図7】同方法を説明するためのもので、基板上の絶縁膜にコンタクトホールを形成し、ソース電極とドレイン電極を半導体膜に接続した状態を示す断面図。

30

【図8】同方法を説明するためのもので、ソース配線端部にソース端子をドレイン電極端部に画素電極を各々直接接続した状態を示す断面図。

【図9】本発明に係る薄膜トランジスタ基板の第2実施形態の要部を示す平面略図。

【図10】図9に示す第2実施形態の構造を製造する方法を説明するためのもので、基板上にゲート電極とゲート配線を形成した状態を示す断面図。

【図11】同方法を説明するためのもので、基板上にゲート絶縁膜と半導体膜とオーミックコンタクト膜と金属膜を形成した状態を示す断面図。

【図12】同方法を説明するためのもので、図12Aは基板上の金属膜とオーミックコンタクト膜とゲート絶縁膜の必要部分をパターンニングした状態を示す断面図、図12Bは画素電極と端子を形成して得られた薄膜トランジスタの第2実施形態を示す断面図。

40

【図13】本発明に係る薄膜トランジスタ基板の第3実施形態の要部を示す平面略図。

【図14】図13に示す第3実施形態の構造を製造する方法を説明するためのもので、基板上にゲート電極とゲート配線を形成した状態を示す断面図である。

【図15】同方法を説明するためのもので、基板上にゲート絶縁膜と半導体膜と金属膜を積層した状態を示す断面図。

【図16】同方法を説明するためのもので、基板上のゲート電極上方のゲート絶縁膜上にアイランド状のオーミックコンタクト膜と半導体膜を形成した状態を示す断面図。

【図17】同方法を説明するためのもので、基板上のオーミックコンタクト膜と半導体膜上に電極膜を形成した状態を示す。

50

【図 18】同方法を説明するためのもので、ゲート電極上方に薄膜トランジスタを形成した状態を示す断面図。

【図 19】同方法を説明するためのもので、画素電極と端子を形成して図 13 に示す平面構造の薄膜トランジスタ基板を得た状態の断面図。

【図 20】図 19 に示す構造の薄膜トランジスタにおいてソース配線端子部分を示す断面図。

【図 21】図 21 は I T O 膜の X 線回折試験結果を示す図。

【図 22】図 22 は I T Z O 膜の X 線回折試験結果を示す図。

【図 23】図 23 は I Z O 膜の X 線回折試験結果を示す図。

【図 24】図 24 は本発明に係る酸化物透明導電膜が結晶化状態あるいはアモルファス状態となる場合の亜鉛含有量依存性と錫含有量依存性を示す図。

10

【図 25】図 25 は本発明に係る酸化物透明導電膜における錫添加量に対するエッチング量依存性を示す図。

【図 26】図 26 は本発明に係る酸化物透明導電膜における光透過率の波長依存性を示す図。

【図 27】図 27 は本発明に係る酸化物透明導電膜の比抵抗値に対する成膜時の酸素分圧依存性と I T O 膜のエッチングレートに対する成膜時の酸素分圧依存性を示す図。

【図 28】図 28 は本発明に係る酸化物透明導電膜の T C P 接続抵抗の信頼性試験結果を示す図。

【図 29】従来の薄膜トランジスタ基板の一例を示す平面略図。

20

【図 30】図 29 に示す従来の薄膜トランジスタ基板の要部断面図。

【図 31】図 29 に示す従来の薄膜トランジスタ基板の一部断面図。

【図 32】従来の薄膜トランジスタ基板を製造する方法を説明するためのもので、基板上にアイランド状の半導体膜と下部絶縁膜を形成した状態を示す断面図。

【図 33】同方法を説明するためのもので、下部絶縁膜上にゲート絶縁膜とゲート電極を形成した状態を示す断面図。

【図 34】同方法を説明するためのもので、ソース電極とドレイン電極を形成した状態を示す断面図。

【図 35】同方法を説明するためのもので、パッシベーション膜を形成した状態を示す断面図。

30

【図 36】同方法を説明するためのもので、パッシベーション膜にコンタクトホールを形成した状態を示す断面図。

【図 37】同方法を説明するためのもので、I T O の画素電極と端子電極を形成した状態を示す断面図。

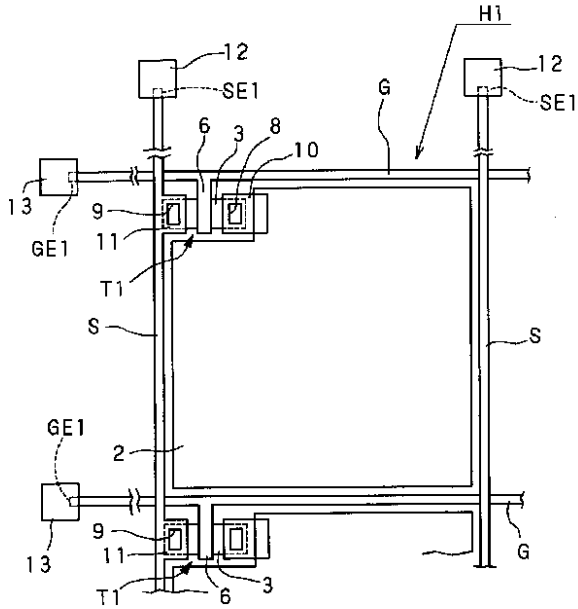
【符号の説明】

【0088】

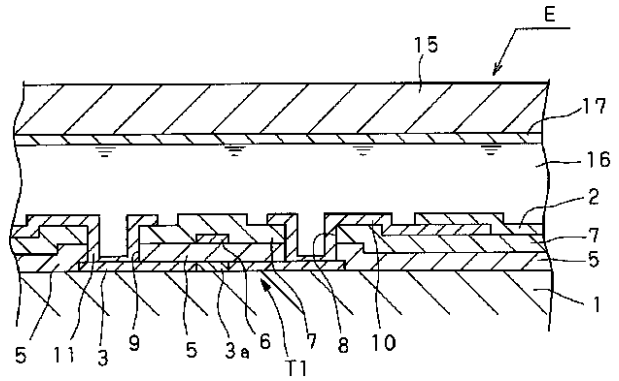
E・・・液晶表示装置、H1、H3、H5・・・薄膜トランジスタアレイ基板、S・・・ソース配線、G・・・ゲート配線、1・・・基板、2...画素電極、12、42、62・・・ソース端子、13、43、63・・・ゲート端子、15・・・対向基板、T1、T2、T3、T5・・・薄膜トランジスタ、10、29、38、58・・・ドレイン電極、11、28、37、57・・・ソース電極。

40

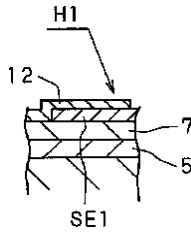
【図1】



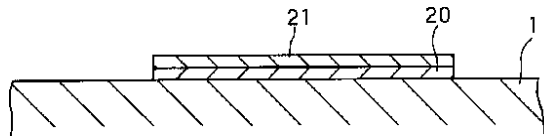
【図2】



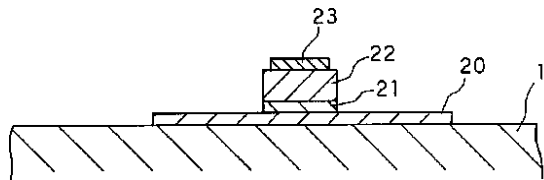
【図3】



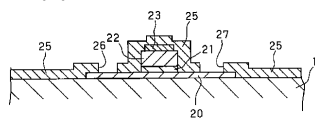
【図4】



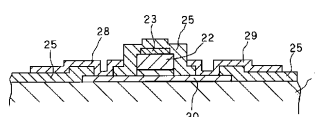
【図5】



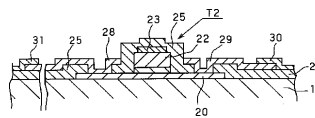
【図6】



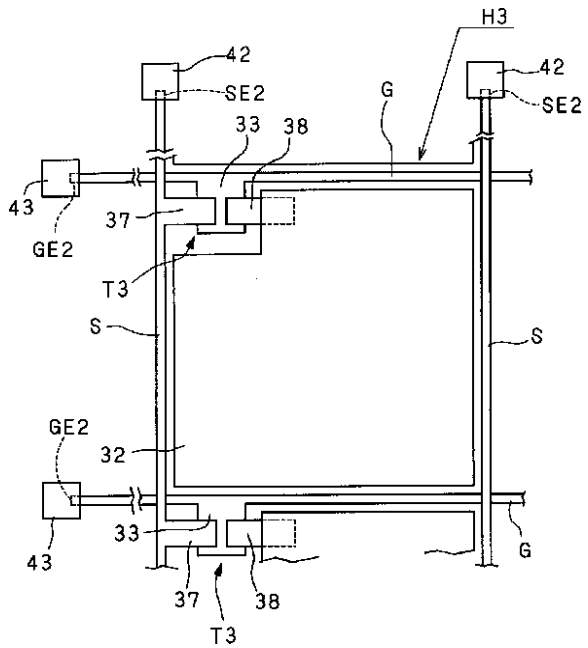
【図7】



【図8】



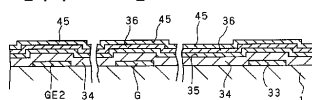
【図9】



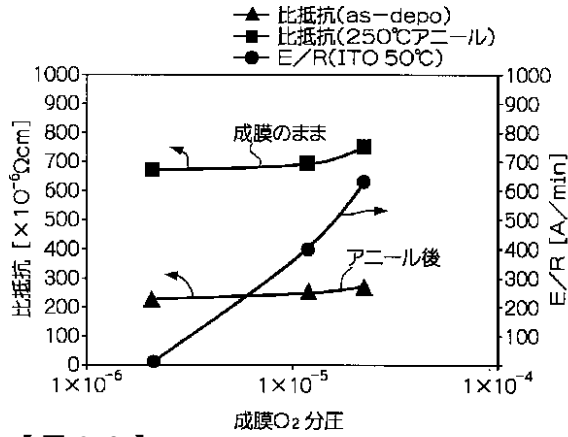
【図10】



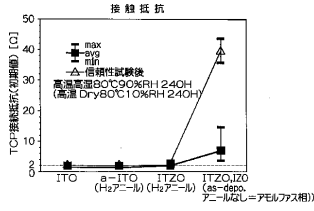
【図11】



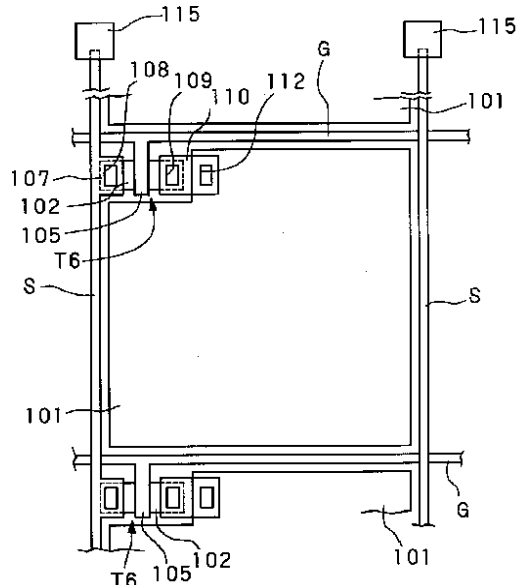
【図 27】



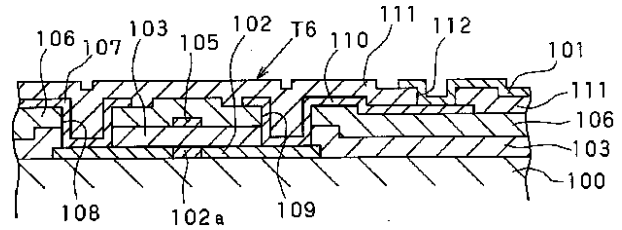
【図 28】



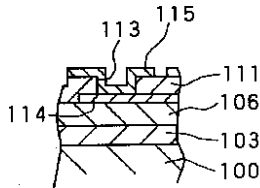
【図 29】



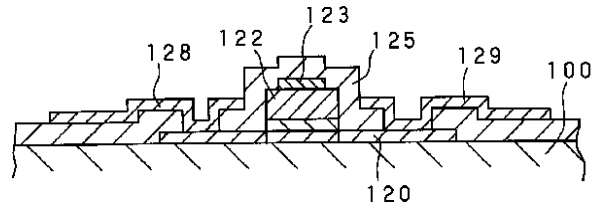
【図 30】



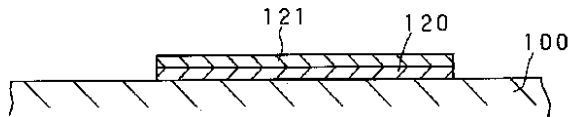
【図 31】



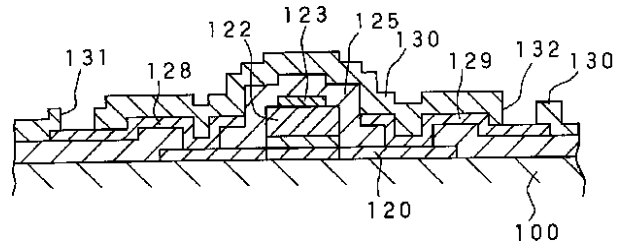
【図 35】



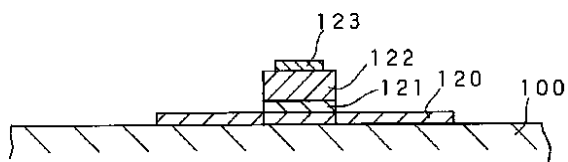
【図 32】



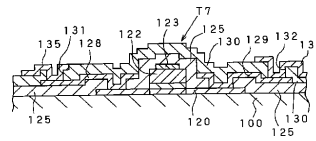
【図 36】



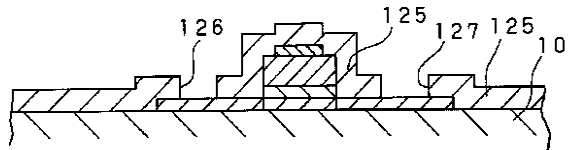
【図 33】



【図 37】



【図 34】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/417	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	29/423	(2006.01)	H 0 1 L	29/58 G
H 0 1 L	29/49	(2006.01)	H 0 1 L	21/88 M
H 0 1 L	23/52	(2006.01)		
H 0 1 L	21/3205	(2006.01)		

(72)発明者 佐々木 真
宮城県仙台市泉区明通三丁目3番地 株式会社フロンテック内

(72)発明者 新井 和之
宮城県仙台市泉区明通三丁目3番地 株式会社フロンテック内

審査官 佐竹 政彦

(56)参考文献 特開平05-043273(JP,A)
特開平05-070943(JP,A)
特開平10-239697(JP,A)
特開平07-120789(JP,A)
特開平10-270710(JP,A)
特開平10-125469(JP,A)
特開平11-185955(JP,A)
特開平11-153803(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 - 1 / 1 4 1
G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 1 L 2 1 / 3 3 6、2 7 / 3 2、2 9 / 7 8 6、5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8