

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/108

(45) 공고일자 1998년12월15일

(11) 등록번호 특0166030

(24) 등록일자 1998년09월21일

(21) 출원번호 특1994-035139

(65) 공개번호 특1996-026812

(22) 출원일자 1994년12월19일

(43) 공개일자 1996년07월22일

(73) 특허권자 현대전자산업주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
(72) 발명자 유익규
서울특별시 서초구 반포동 18-1 (5/1) 주공아파트 218동 106호
(74) 대리인 이권희, 이정훈

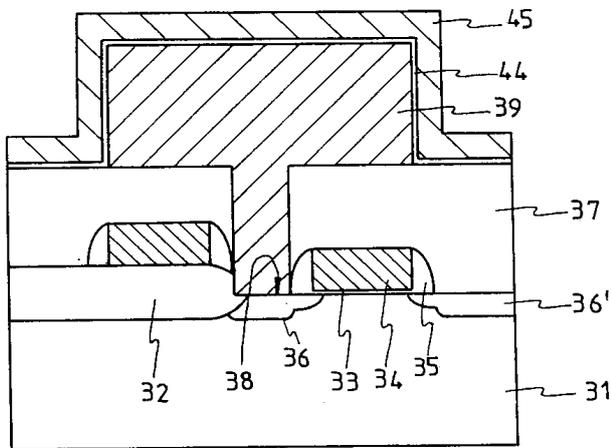
심사관 : 신양환

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로, 하부절연층이 형성된 반도체기판 상부에 제1도전층과 감광막패턴을 순차적으로 형성하고 상기 감광막패턴 측벽에 절연막 스페이서를 형성한 다음, 이를 이용하여 콘택홀을 형성하고 상기 감광막패턴을 제거한 다음, 전체표면상부에 제2도전층을 형성하고 상기 제2도전층의 상측 일부만 돌출되도록 희생막을 형성한 다음, 노출된 만큼의 제2도전층을 식각하고, 상기 절연막 스페이서 및 희생막 제거공정과 저장전극마스크를 이용한 식각공정을 실시하여 표면적이 증가된 저장전극을 형성함으로써 후공정에서 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있어 반도체소자의 고집적화를 가능하게 하고 이에 따른 반도체소자의 신뢰성을 향상시키는 기술이다.

대표도



명세서

[발명의 명칭]

반도체소자의 캐패시터 제조방법

[도면의 간단한 설명]

제1도는 종래기술의 실시예에 따라 형성된 반도체소자의 캐패시터 제조공정을 도시한 단면도.

제2a도 내지 제2d도는 본 발명의 실시예에 따른 반도체소자의 캐패시터 제조공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

11,31 : 반도체기판
12,32 : 소자분리산화막
13,33 : 게이트산화막
14,34 : 게이트전극
15,35 : 산화막 스페이서
16,16',36,36' : 불순물 확산영역
17,37 : 하부절연층
18,39 : 제1다결정실리콘막

이때, 상기 제2산화막(22)은 희생막으로 사용된 것이다. 그리고, 상기 희생막은 에스.오.지.(SOG:Spin On Glassm, 이하에서 SOG라 함), 화학기상증착(CVD:Chemical Vapor Deposition, 이하에서 CVD 라 함) 산화막 또는 폴리이미드로 형성할 수 있다.

그 다음에, 상기 제2산화막(22)을 전면식각하여 상기 제2다결정실리콘막(21)의 상측 일부를 노출시킨다. 이때, 상기 전면식각은 상기 제2산화막(22)과 제2다결정실리콘막(21)의 식각선택비 차이를 이용하여 실시된 것이다.

제2c도를 참조하면, 상기 노출된 제2다결정실리콘막(21)을 상기 제2산화막(22)의 높이로 식각한다. 이로 인하여, 상기 제1산화막(20) 스페이서가 노출된다.

그 다음에, 상기 노출된 제1산화막(20) 스페이서와 제2산화막(22)을 제거한다. 이때, 상기 제1산화막(20) 스페이서와 제2산화막(22) 제거공정은 상기 제1다결정실리콘막(18) 및 제2다결정실리콘막(20)과의 식각선택비 차이를 이용하여 실시한다.

그리고, 전체표면상부에 제2감광막(23)패턴을 형성한다. 이때, 상기 제2감광막(23)패턴은 저장전극마스크(도시안됨)를 이용하여 형성한 것이다.

제2d도를 참조하면, 상기 제2감광막(23)패턴을 마스크로 하여 상기 하부절연층(17)을 식각장벽으로 하여 상기 하부절연층(17)이 노출되도록 식각공정을 실시한다. 이때, 상기 제2다결정실리콘막(21)과 제1다결정실리콘막(18)이 식각된다.

그 다음에, 상기 제2감광막(23)패턴을 제거함으로써 표면적이 증가된 저장전극(18,21)을 형성한다. 그리고, 전체표면상부에 유전체막(24)과 제3다결정실리콘막(25)을 순차적으로 형성함으로써 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 캐패시터를 형성한다. 이때, 상기 유전체막(24)은 유전특성이 우수한 물질로 형성한다. 여기서, 상기 유전체막(24)은 NO 또는 ONO 복합구조로 형성된 것이다. 그리고, 상기 제3다결정실리콘막(25)은 플레이트전극으로 사용된 것이다. 여기서, 상기 플레이트전극은 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다.

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 제1도전층이 콘택된 반도체기판 상부에 감광막패턴을 이용하여 절연막 스페이서를 형성하고 상기 절연막 스페이서를 이용하여 콘택홀을 형성한 다음, 전체표면상부에 제2도전층을 형성하고 상기 제2도전층 상측 일부가 노출되도록 희생막을 형성한 다음, 상기 노출된 제2도전층을 식각하고 절연막과 희생막을 식각하여 표면적이 증가된 저장전극을 형성한 다음, 후공정에서 유전체막과 플레이트전극을 순차적으로 형성하여 반도체소자의 고집적화에 충분한 캐패시터를 형성함으로써 반도체소자의 고집적화를 가능하게 하고 이에 따른 반도체소자의 신뢰성을 향상시키는 잇점이 있다.

(57) 청구의 범위

청구항 1

하부절연층이 형성된 반도체기판 상부에 제1도전층을 형성하는 공정과, 상기 제1도전층 상부에 저장전극 콘택마스크보다 큰 마스크를 이용하여 감광막패턴을 형성하는 공정과, 상기 감광막패턴 측벽에 절연막 스페이서를 형성하는 공정과, 상기 절연막 스페이서와 제1감광막패턴을 마스크로 하여 상기 하부절연층을 식각함으로써 콘택홀을 형성하는 공정과, 상기 감광막패턴을 제거하는 공정과, 상기 반도체기판에 접속되는 제2도전층을 일정두께 형성하는 공정과, 상기 제2도전층 상측 일부만이 노출되도록 희생막을 형성하는 공정과, 상기 제2도전층의 노출된 부분을 식각하는 공정과, 상기 절연막 스페이서와 희생막을 제거하는 공정과, 상기 제2도전층과 제1도전층을 저장전극마스크를 이용하여 패턴링함으로써 표면적이 증가된 저장전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 제조방법.

청구항 2

제1항에 있어서, 상기 절연막 스페이서는 산화막으로 형성되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 3

제1항에 있어서, 상기 제1,2도전층은 다결정실리콘막으로 사용되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 4

제1항에 있어서, 상기 콘택홀의 크기는 상기 절연막 스페이서의 두께로 조절되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 5

제1항에 있어서, 상기 희생막은 전체표면상부에 두껍게 형성하여 최상부에 형성된 제2도전층을 도포하고 상기 제2도전층 상측 일부만이 노출되도록 전면식각을 실시하여 형성된 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 6

제1항 또는 제5항에 있어서, 상기 희생막은 SOG, CVD 산화막 또는 폴리이미드와 같은 절연막으로 형성되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 7

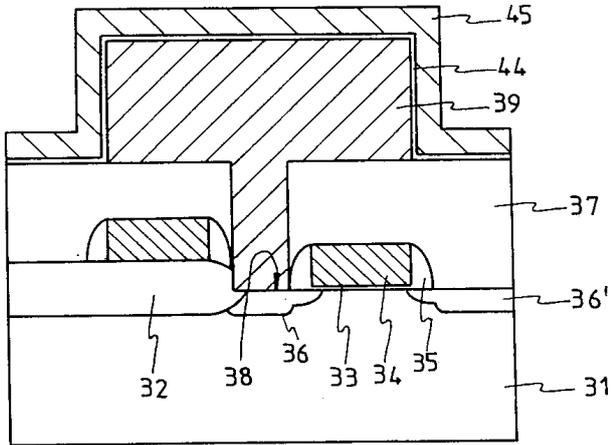
제5항에 있어서, 상기 전면식각은 상기 절연막 스페이서 및 희생막과의 식각선택비 차이를 이용하여 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 8

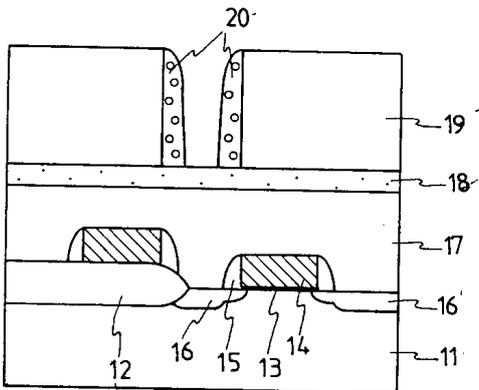
제1항에 있어서, 상기 절연막과 희생막은 상기 제1도전층 및 제2도전층과의 식각선택비 차이를 이용하여 제거되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

도면

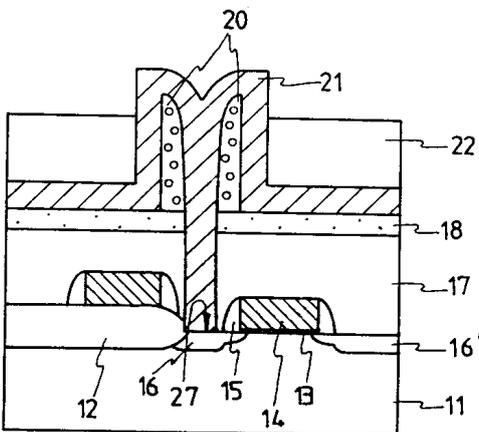
도면1



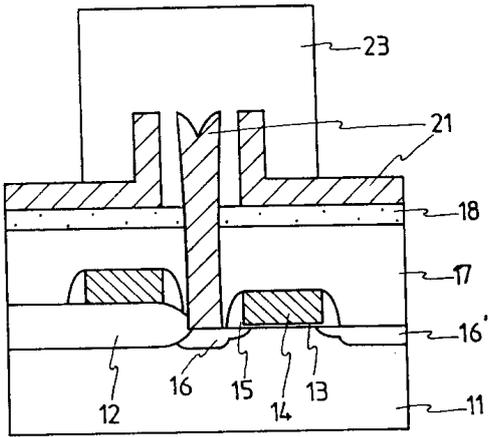
도면2a



도면2b



도면2c



도면2d

