



(12) 发明专利申请

(10) 申请公布号 CN 113949347 A

(43) 申请公布日 2022. 01. 18

(21) 申请号 202111202844.0

H03F 3/195 (2006.01)

(22) 申请日 2016.02.23

H03F 3/24 (2006.01)

H01L 23/66 (2006.01)

(62) 分案原申请数据

201680082159.X 2016.02.23

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 新庄真太郎 小松崎优治

中谷圭吾 山中宏治

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51) Int. Cl.

H03F 1/02 (2006.01)

H03F 1/56 (2006.01)

H03F 3/19 (2006.01)

权利要求书2页 说明书7页 附图9页

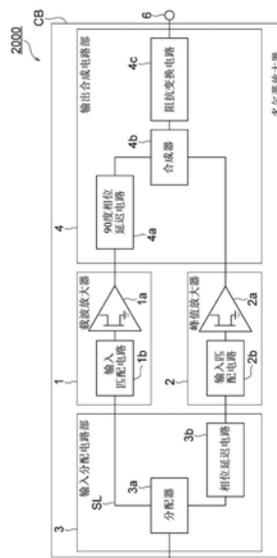
(54) 发明名称

负载调制放大器

(57) 摘要

负载调制放大器具有:高频电路基板;输入分配电路部,其具有分配器和相位延迟电路,该分配器将1个输入信号分配成第1输入信号及第2输入信号,该相位延迟电路构成于被分配后的所述第2输入信号的信号线路之上;载波放大器,其通过第1高频晶体管对所述第1输入信号进行放大;峰值放大器,其通过第2高频晶体管对所述第2输入信号进行放大;以及输出合成电路部,其具有90度相位延迟电路、合成器和阻抗变换电路,该90度相位延迟电路构成于所述载波放大器的输出的信号线路之上,该合成器将所述90度相位延迟电路的输出和所述峰值放大器的输出进行合成,该阻抗变换电路对所述合成器的输出阻抗进行变换,输入分配电路部、载波放大器、峰值放大器、输出合成电路部分别形成在所述高频电路基板之上,所述载波放大器及所述峰值放大器在没有对输出阻抗进行变换的状态下直接与所述输出合成电路部连接。

CN 113949347 A



1. 一种负载调制放大器,其具有:

高频电路基板;

输入分配电路部,其具有分配器和相位延迟电路,该分配器将1个输入信号分配成第1输入信号及第2输入信号,该相位延迟电路构成于被分配后的所述第2输入信号的信号线路之上;

载波放大器,其具有第1高频晶体管,该载波放大器对来自所述输入分配电路部的所述第1输入信号进行放大;

峰值放大器,其具有第2高频晶体管,该峰值放大器对来自所述输入分配电路部的所述第2输入信号进行放大;以及

输出合成电路部,其具有90度相位延迟电路、合成器和阻抗变换电路,该90度相位延迟电路构成于所述载波放大器的输出的信号线路之上,该合成器将所述90度相位延迟电路的输出和所述峰值放大器的输出进行合成,该阻抗变换电路对所述合成器的输出阻抗进行变换,

所述输入分配电路部、所述载波放大器、所述峰值放大器以及所述输出合成电路部分别形成在所述高频电路基板之上,

所述载波放大器具有与所述第1高频晶体管的寄生电容进行谐振的第1谐振电路,所述第1高频晶体管的漏极端子在没有经由输出阻抗变换电路的状态下直接与所述输出合成电路部连接,

所述峰值放大器具有与所述第2高频晶体管的寄生电容进行谐振的第2谐振电路,所述第2高频晶体管的漏极端子在没有经由输出阻抗变换电路的状态下直接与所述输出合成电路部连接。

2. 根据权利要求1所述的负载调制放大器,其中,

所述第1谐振电路及所述第2谐振电路分别包含与信号线路并联连接的电感元件。

3. 根据权利要求1或2所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输出合成电路部的所述90度相位延迟电路由所述高频电路基板之上的信号线路构成。

4. 根据权利要求1或2所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输出合成电路部的所述90度相位延迟电路由HPF型或LPF型的电路元件构成。

5. 根据权利要求3所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输入分配电路部的所述相位延迟电路由所述高频电路基板之上的信号线路构成。

6. 根据权利要求4所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输入分配电路部的所述相位延迟电路由所述高频电路基板之上的信号线路构成。

7. 根据权利要求3所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输入分配电路部的所述相位延迟电路由HPF型或LPF型的电路元件构成。

8. 根据权利要求4所述的负载调制放大器,其中,

所述负载调制放大器是单片集成电路,所述输入分配电路部的所述相位延迟电路由HPF型或LPF型的电路元件构成。

负载调制放大器

[0001] 本申请是基于2016年2月23日提出的中国国家申请号

[0002] 201680082159X (PCT/JP2016/055214) 申请(负载调制放大器)的分案申请,以下引用其内容。

技术领域

[0003] 本发明涉及用于地面微波通信、移动通信等的负载调制放大器。

背景技术

[0004] 就近年来的地面微波通信、移动通信而言,大多使用峰值功率与平均功率之差大的信号。在该情况下,对信号进行放大的放大器的饱和输出功率与信号的峰值功率之差增加,因此信号失真增加,放大器的动作效率降低。因此,为了使放大器高效地进行动作,有时例如使用以下述专利文献1中公开的多尔蒂放大器为代表的负载调制放大器。

[0005] 多尔蒂放大器概略地将输入来的高频输入信号分配成2个信号。被分配后的信号中的一个输入至载波放大器,另一个施加90度即 $1/4\lambda$ 的相位延迟而输入至峰值放大器。载波放大器和峰值放大器均在输入侧和输出侧分别具有用于阻抗匹配的匹配电路。载波放大器例如以A级或AB级偏置进行动作,始终对输入信号进行放大。另一方面,峰值放大器以C级偏置进行动作,对大于或等于规定的功率的输入信号进行放大。经过2个放大器后的信号在合成电路部中分别在经由阻抗的变换部之后而被合成。合成电路部还具有在合成前向载波放大器侧的输出施加90度的相位延迟的 $1/4$ 波长相位延迟线路。并且,合成后的信号经由阻抗的变换部而输出。

[0006] 就多尔蒂放大器而言,漏极效率达到最大的输出功率在理想情况下存在2处,因此能够扩大漏极效率高的输出功率范围。因此,在使用峰值功率与平均功率之差大的信号的系统中,可以说多尔蒂放大器是实现高效率特性的有效方法之一。

[0007] 此外,关于多尔蒂放大器,在后面详细叙述。

[0008] 专利文献1:日本特开2010-50611号公报

发明内容

[0009] 然而,在现有的多尔蒂放大器即负载调制放大器中,存在下述等课题,即,

[0010] 在高频输入信号的频率变化的情况下,由于 $1/4$ 波长相位延迟线路的阻抗的频率依赖性、由构成载波放大器及峰值放大器的高频晶体管的寄生电容成分导致的特性的变动,无法宽频带地获得所期望的高频特性,

[0011] 由于放大器的输出匹配电路、用于提高峰值放大器的截止时的阻抗的校正线路,放大器的尺寸变大。

[0012] 本发明就是为了解决上述课题而提出的,其目的在于针对在对峰值功率与平均功率之差大的信号进行处理的系统中运用的如多尔蒂放大器这样的负载调制放大器,更小型且宽频带地实现高效率特性。

[0013] 本发明涉及负载调制放大器等,其具有:高频电路基板;输入分配电路部,其具有分配器和相位延迟电路,该分配器将1个输入信号分配成第1输入信号及第2输入信号,该相位延迟电路构成于被分配后的第2输入信号的信号线路之上;载波放大器,其具有第1高频晶体管,该载波放大器对来自输入分配电路部的第1输入信号进行放大;峰值放大器,其具有第2高频晶体管,该峰值放大器对来自输入分配电路部的第2输入信号进行放大;以及输出合成电路部,其具有90度相位延迟电路、合成器和阻抗变换电路,该90度相位延迟电路构成于载波放大器的输出的信号线路之上,该合成器将90度相位延迟电路的输出和峰值放大器的输出进行合成,该阻抗变换电路对合成器的输出阻抗进行变换,输入分配电路部、载波放大器、峰值放大器以及输出合成电路部分别形成在高频电路基板之上,载波放大器具有与第1高频晶体管的寄生电容进行谐振的第1谐振电路,第1高频晶体管的漏极端子在没有经由输出阻抗变换电路的状态下直接与输出合成电路部连接,峰值放大器具有与第2高频晶体管的寄生电容进行谐振的第2谐振电路,第2高频晶体管的漏极端子在没有经由输出阻抗变换电路的状态下直接与输出合成电路部连接。

[0014] 发明的效果

[0015] 在本发明中,能够提供更小型且宽频带地实现了高效率特性的负载调制放大器。

附图说明

[0016] 图1是本发明的实施方式1涉及的负载调制放大器的概略性的电路结构图。

[0017] 图2是用于对图1的各放大器与输出合成电路部之间的电路结构的一个例子进行说明的图。

[0018] 图3是用于对本发明的实施方式1涉及的负载调制放大器的效果进行说明的图。

[0019] 图4是本发明的实施方式2涉及的负载调制放大器的概略性的电路结构图。

[0020] 图5是用于对图4的各放大器与输出合成电路部之间的电路结构的一个例子进行说明的图。

[0021] 图6是用于对图4的各放大器与输出合成电路部之间的电路结构的其他例进行说明的图。

[0022] 图7是本发明的实施方式3涉及的负载调制放大器的概略性的电路结构图。

[0023] 图8是用于对本发明的实施方式3涉及的负载调制放大器的变形例进行说明的图。

[0024] 图9是本发明的实施方式3涉及的负载调制放大器的其他例的概略性的电路结构图。

[0025] 图10是作为通常的负载调制放大器的多尔蒂放大器的一个例子的概略性的电路结构图。

[0026] 图11是用于对图10的通常的负载调制放大器的特性进行说明的图。

具体实施方式

[0027] 首先,对通常的负载调制放大器更详细地进行说明。图10是例如也在上述专利文献1等中公开的作为通常的负载调制放大器的多尔蒂放大器的一个例子的概略性的电路结构图。就多尔蒂放大器1000而言,载波放大器101、峰值放大器102、输入分配电路部103、输出合成电路部104形成在高频电路基板CB之上。

[0028] 输入分配电路部103将输入至高频输入端子105的高频输入信号通过分配器103a以使得例如功率均等的方式分配成2个信号。被分配后的信号中的一个输入至载波放大器101,另一个经由用于施加90度的相位延迟的1/4波长相位延迟线路103b而输入至峰值放大器102。

[0029] 载波放大器101具有:载波放大元件101b、和分别位于载波放大元件101b的输入侧和输出侧的输入匹配电路101a、输出匹配电路101c。

[0030] 峰值放大器102具有:峰值放大元件102b、和分别位于峰值放大元件102b的输入侧和输出侧的输入匹配电路102a、输出匹配电路102c。

[0031] 载波放大元件101b例如以A级或AB级偏置进行动作,始终对输入信号进行放大。另一方面,峰值放大元件102b以C级偏置进行动作,对大于或等于规定的功率的输入信号进行放大。

[0032] 经过各个放大器后的2个信号由输出合成电路部104进行合成。输出合成电路部104在载波放大器侧具有补偿(offset)线路104a以及用于施加90度的相位延迟的1/4波长相位延迟线路104b。另外,在峰值放大器侧具有补偿线路104d。并且,还具有合成器104c和阻抗变换电路104e。阻抗变换电路104e从高频输出端子106输出负载调制放大器的输出。

[0033] 在这里,例如与载波放大元件101b连接的输出匹配电路101c使构成载波放大元件101b的高频晶体管的输出阻抗与1/4波长相位延迟线路104b的特性阻抗(例如 $50\ \Omega$)匹配。即,在高频晶体管的输出阻抗为 $5\ \Omega$ 的情况下,使其与1/4波长相位延迟线路104b的特性阻抗 $50\ \Omega$ 匹配。

[0034] 1/4波长相位延迟线路104b在载波放大器101的输出侧施加90度的相位延迟。由此,载波放大器101及峰值放大器102的输出在载波放大器101及峰值放大器102的饱和动作时在合成点处以相位一致的状态进行合成。

[0035] 补偿线路104a的电长度设定为使回退(back off)动作时的从合成点观察到的峰值放大器102的阻抗为高值,在理想情况下成为开路状态。此外,使补偿线路104a的电长度与补偿线路104d的电长度相同。

[0036] 在合成器104c中合成后的信号由阻抗变换电路104e对输出阻抗进行变换,从高频输出端子106输出。

[0037] 此外,图10所示的多尔蒂放大器1000的各电路通过高频信号线路SL进行连接。

[0038] 图11是表示上述通常的多尔蒂放大器的相对于输出电压的漏极效率的图。如图11所示,在输出功率为饱和输出的情况下,载波放大器101和峰值放大器102均成为饱和功率,因此漏极效率达到最大。另一方面,在输出功率从饱和功率回退6dB的输出电平处,仅载波放大器101成为饱和功率,峰值放大器102不对信号进行放大,在该情况下,漏极效率也达到最大。即,在仅载波放大器101进行动作的情况下,与载波放大器101和峰值放大器102均进行动作的情况相比,负载变成2倍。由此,在仅载波放大器101进行动作的情况下,与载波放大器101和峰值放大器102均进行动作的情况相比,电流变成1/2,输出功率变成1/4,因此在仅载波放大器101进行动作的情况下,在回退6dB的输出处,漏极效率达到最大。

[0039] 如上所述,就多尔蒂放大器而言,漏极效率达到最大的输出功率在理想情况下存在2处,因此能够扩大漏极效率高的输出功率范围。因此,在使用峰值功率与平均功率之差大的信号的系统中,可以说多尔蒂放大器是实现高效率特性的有效方法之一。

[0040] 然而,在图10所示的多尔蒂放大器中,如上所述,特别是在输出合成电路部侧,当高频输入信号的频率变化的情况下,1/4波长相位延迟线路的电抗成分大,因此无法忽略阻抗的频率依赖性,产生无法获得所期望的高频特性这样的问题。

[0041] 另外,同样地,在高频输入信号的频率变化的情况下,由于构成载波放大器及峰值放大器的例如FET这样的高频晶体管的寄生电容成分,在高频晶体管的本征节点处依赖于输出功率的负载调制未正确得以进行,产生无法宽频带地获得高效率的特性这样的问题。

[0042] 另外,由于将输出侧匹配电路连接至峰值放大器的输出侧,因此难以充分地提高回退动作时的从合成点观察到的峰值放大器的阻抗,有可能使回退动作时的效率劣化。

[0043] 并且,1/4波长相位延迟线路长,因此存在放大器尺寸变大这样的问题。

[0044] 下面,使用附图按照各实施方式对用于消除上述问题的本发明涉及的负载调制放大器进行说明。此外,在各实施方式中,相同或相当部分由相同标号示出,另外,省略重复的说明。

[0045] 实施方式1.

[0046] 图1是本发明的实施方式1涉及的负载调制放大器即多尔蒂放大器的概略性的电路结构图。就多尔蒂放大器2000而言,载波放大器1、峰值放大器2、输入分配电路部3、输出合成电路部4形成在高频电路基板CB之上。多尔蒂放大器2000的各电路及其结构元件例如通过高频信号线路SL进行连接,另外,一部分由高频信号线路SL构成,该高频信号线路SL由形成在高频电路基板CB之上的微带线等构成。

[0047] 输入分配电路部3将输入至高频输入端子5的高频输入信号通过分配器3a以使得例如功率均等的方式分配成由第1输入信号及第2输入信号构成的2个信号。被分配后的信号中的一个在这里为第1输入信号,输入至载波放大器1,另一个在这里为第2输入信号,经由相位延迟电路3b输入至峰值放大器2。此外,相位延迟电路3b也能够由相位延迟线路构成,该相位延迟线路例如由高频信号线路SL形成。

[0048] 载波放大器1由第1高频晶体管1a和输入匹配电路1b构成,该第1高频晶体管1a例如由FET(Field effect transistor)构成,载波放大器1在输出侧不具有匹配电路等阻抗变换电路。

[0049] 另外,峰值放大器2由第2高频晶体管2a和输入匹配电路2b构成,该第2高频晶体管2a例如由FET构成,同样地,峰值放大器2在输出侧不具有匹配电路等阻抗变换电路。

[0050] 在这里,载波放大器1例如以A级或AB级偏置进行动作,始终对输入信号进行放大。峰值放大器2以C级偏置进行动作,对大于或等于规定的功率的输入信号进行放大。

[0051] 经过2个放大器1、2后的各信号由输出合成电路部4进行合成。输出合成电路部4由90度相位延迟电路4a、合成器4b和阻抗变换电路4c构成,该90度相位延迟电路4a与载波放大器1直接连接,该合成器4b将90度相位延迟电路4a的输出信号和峰值放大器2的输出信号进行合成,该阻抗变换电路4c对输出阻抗进行变换。载波放大器1及峰值放大器2的信号通过90度相位延迟电路4a在饱和动作时在合成点即合成器4b处以相位一致的状态进行合成。被合成后的信号经由阻抗变换电路4c从高频输出端子6输出。

[0052] 图2是用于对图1的载波放大器1的第1高频晶体管1a、峰值放大器2的第2高频晶体管2a、输出合成电路部4的90度相位延迟电路4a的电路结构的一个例子进行说明的图。在这里,假设90度相位延迟电路4a由相位延迟线路构成,该相位延迟线路例如由信号线路SL构

成。相位延迟线路例如如后述的图7的90度相位延迟电路4a所示这样,由并联电容成分和串联电感成分等价地表示。如已示出那样,在多尔蒂放大器中存在下述课题,即,由于构成高频放大元件的例如FET这样的高频晶体管的寄生电容成分,在高频晶体管的节点处依赖于输出功率的负载调制未正确得以进行。因此,如图2所示,通过将构成载波放大器1及峰值放大器2的各高频晶体管的寄生电容成分用作构成90度相位延迟电路4a的相位延迟线路的并联电容成分,从而能够正常地实现多尔蒂放大器的负载调制,实现高效率的特性。

[0053] 图3是表示多尔蒂放大器的漏极效率相对于输出功率回退量的频率特性的图。在图3中,

[0054] 频率为以X1示出的基本频率、以X2示出的基本频率 $\times 1.3$ 这两点。

[0055] 另外,在各频率下,分别地将无高频晶体管的寄生电容的理想情况以A(条件1)示出,

[0056] 将使相位延迟线路对寄生电容进行吸收、即在相位延迟线路中使用寄生电容的情况以B(条件2:本发明的实施方式1)示出,

[0057] 将存在寄生电容,连接有输出匹配电路的情况以C、D(条件3、4:现有的结构)示出。

[0058] A(条件1)以点划线示出,B(条件2)以实线示出,C(条件3)以虚线示出,D(条件4)以点虚线示出。

[0059] 条件3、4假设出了不同的输出匹配电路损耗。如图3所示,可知,在基本频率(X1)下,就理想情况(A)和本发明的实施方式1所示的结构(B)而言,实现了同等的高效率特性,但就现有的结构(C、D)而言,与输出匹配电路的损耗相对应地效率特性劣化。

[0060] 另外,可知,在频率变化而变成基本频率 $\times 1.3$ 的情况下(X2),通过采用本发明的实施方式1所示的结构(B),与现有结构(C、D)相比,也能够改善10点左右效率。

[0061] 如上所述,在图1所示的负载调制放大器即多尔蒂放大器中,通过使输出合成电路部4的90度相位延迟电路4a对载波放大器1的第1高频晶体管1a、峰值放大器2的第2高频晶体管2a的寄生电容成分进行吸收,从而能够正常地实现多尔蒂放大器的负载调制,实现高效率的特性。

[0062] 即,90度相位延迟电路4a具有加入了第1高频晶体管及第2高频晶体管1a、2a的寄生电容成分的电路常数。

[0063] 并且,就载波放大器1及峰值放大器2而言,在不具有匹配电路等阻抗变换电路的状态下与输出合成电路部4连接,因此能够实现放大器尺寸的小型化。另外,由于不会产生由匹配电路引起的损耗,因此能够实现高效化,并且能够提高回退动作时的从合成点观察到的峰值放大器2的阻抗,还能够实现回退动作时的高效化。

[0064] 实施方式2.

[0065] 图4是本发明的实施方式2涉及的负载调制放大器即多尔蒂放大器的概略性的电路结构图。就多尔蒂放大器2000而言,载波放大器1、峰值放大器2、输入分配电路部3、输出合成电路部4形成于高频电路板CB之上。

[0066] 载波放大器1由第1高频晶体管1a、输入匹配电路1b以及与第1高频晶体管1a的寄生电容进行谐振的第1谐振电路1c构成,在输出侧不具有匹配电路等阻抗变换电路。

[0067] 另外,峰值放大器2由第2高频晶体管2a、输入匹配电路2b以及与第2高频晶体管2a的寄生电容进行谐振的第2谐振电路2c构成,同样地在输出侧不具有匹配电路等阻抗变换

电路。

[0068] 在这里,载波放大器1例如以A级或AB级偏置进行动作,始终对输入信号进行放大。峰值放大器2以C级偏置进行动作,对大于或等于规定的功率的输入信号进行放大。

[0069] 图5是用于对图4的载波放大器1的第1高频晶体管1a和谐振电路1c、峰值放大器2的第2高频晶体管2a和谐振电路2c、输出合成电路部4的90度相位延迟电路4a的电路结构的一个例子进行说明的图。如已示出那样,在多尔蒂放大器中存在下述课题,即,由于构成高频放大元件的例如FET这样的高频晶体管的寄生电容成分,在高频晶体管的本征节点处依赖于输出功率的负载调制未正确得以进行。因此,如图5所示,通过谐振电路1c、2c将构成载波放大器1及峰值放大器2的各高频晶体管的寄生电容成分抵消,从而正常地实现多尔蒂放大器的负载调制,实现高效率的特性。该情况下的多尔蒂放大器的漏极效率相对于输出功率回退量的频率特性与图3大致相同。

[0070] 此外,在构成载波放大器1及峰值放大器2的各高频晶体管的尺寸不同的情况下,有时连接的谐振电路1c、2c也不同。另外,如图6所示,通过谐振电路1c、2c将各高频晶体管的寄生电容成分的一部分抵消,如实施方式1那样,使由相位延迟线路构成的90度相位延迟电路4a对残留的寄生电容成分进行吸收,从而也能够实现同样的高效率特性。

[0071] 此外,在图5、图6中,对于谐振电路1c、谐振电路2c,作为一个例子,是作为由与信号线路SL并联连接的电感元件构成的结构而示出的,但谐振电路的结构并不限于于此。

[0072] 如上所述,在图4所示的负载调制放大器即多尔蒂放大器中,通过谐振电路1c、2c将高频晶体管即载波放大器1的第1高频晶体管1a、峰值放大器2的第2高频晶体管2a的寄生电容成分抵消,或者将一部分抵消,使90度相位延迟电路4a对残留的电容成分进行吸收,由此能够正常地实现多尔蒂放大器的负载调制,实现高效率的特性。

[0073] 即,谐振电路1c、2c具有将高频晶体管1a、2a的寄生电容成分的全部或一部分抵消的电路常数,90度相位延迟电路4a具有加入了一部分被抵消后残留下来的电容成分的电路常数。

[0074] 并且,与上述实施方式1同样地,就载波放大器1及峰值放大器2而言,在不具有匹配电路等阻抗变换电路的状态下与输出合成电路部4连接,因此能够实现放大器尺寸的小型化。另外,由于不会产生由匹配电路引起的损耗,因此能够实现高效化,并且能够提高回退动作时的从合成点观察到的峰值放大器2的阻抗,还能够实现回退动作时的高效化。

[0075] 实施方式3.

[0076] 图7是本发明的实施方式3涉及的负载调制放大器即多尔蒂放大器的概略性的电路结构图。就多尔蒂放大器2000而言,载波放大器1、峰值放大器2、输入分配电路部3、输出合成电路部4是使用砷化镓(GaAs)等半导体基板作为单片集成电路而形成的。在图7中,将单片集成电路的半导体基板作为半导体基板SCB而示出。

[0077] 载波放大器1由第1高频晶体管1a和输入匹配电路1b构成,在输出侧不具有匹配电路等阻抗变换电路。

[0078] 由FET构成的第1高频晶体管1a的漏极偏置线路由在半导体基板SCB之上设置的线路SL1或电感元件1dd构成,兼作将第1高频晶体管1a的寄生电容成分抵消的谐振电路,从而除了多尔蒂放大器的高效化以外还实现了尺寸的小型化。

[0079] 另外,峰值放大器2由第2高频晶体管2a和输入匹配电路2b构成,同样地在输出侧

不具有匹配电路等阻抗变换电路。

[0080] 由FET构成的第2高频晶体管2a的漏极偏置线路由在半导体基板SCB之上设置的线路SL2或电感元件2dd构成,兼作将第2高频晶体管2a的寄生电容成分抵消的谐振电路,从而实现与载波放大器1的情况相同的效果。

[0081] 载波放大器1及峰值放大器2的输出没有与匹配电路等阻抗变换电路连接而是直接与输出合成电路部4连接。即,载波放大器1的输出经过作为90度相位延迟电路4a的LPF(低通滤波器)型的电路元件,然后,在由线路构成的合成器4b中,与峰值放大器2的输出进行同相合成。在这里,在图7中,假设为载波放大器1的输出被输入至LPF型的电路元件或LPF型的电路元件组的电路,但即使是在输入至图8所示的HPF(高通滤波器)型的电路元件或HPF型的电路元件组的电路的情况下,也没有问题。

[0082] 载波放大器1的输出阻抗取决于高频晶体管1a的尺寸,但在需要几百毫瓦的峰值输出功率的情况下,成为 $20\ \Omega$ 左右。因此,图7的90度相位延迟电路4a的特性阻抗设定为 $20\ \Omega$ 左右。例如,在使用设置于GaAs半导体基板之上的线路实现特性阻抗为 $20\ \Omega$ 的 $1/4$ 波长相位延迟即90度相位延迟的延迟线路的情况下,线路宽度超过 $200\ \mu\text{m}$,放大器的芯片布局变得困难,并且有可能使放大器尺寸大型化。在上述情况下,使用LPF型或HPF型的电路元件是有效的。

[0083] 即,90度相位延迟电路4a也可以由GaAs半导体基板SCB之上的线路构成,另外,也可以由电路元件构成。在90度相位延迟电路4a由电路元件构成的情况下,电路元件或电路元件组既可以是LPF型也可以是HPF型。

[0084] 在输出合成之后,合成器4b的输出连接至阻抗变换电路4c。在载波放大器1及峰值放大器2的输出阻抗为 $20\ \Omega$ 的情况下,在饱和动作时输出合成之后的输出阻抗成为 $10\ \Omega$,因此阻抗变换电路4c进行从 $10\ \Omega$ 向作为负载阻抗的 $50\ \Omega$ 的变换。在图7中,阻抗变换电路4c使用LPF型的电路元件或电路元件组。另外,与90度相位延迟电路4a同样地,阻抗变换电路4c也能够通过在GaAs半导体基板SCB之上设置的线路SL实现,并且也能够使用图8所示的HPF型的电路元件或电路元件组。

[0085] 当在移动通信等谋求高通信品质的系统中使用发送放大器的情况下,通常在输出侧搭载用于抑制LPF等的谐波的电路。其结果,有时发送机整体的尺寸变大,并且成本变高。然而,如图7所示,通过使用LPF型的电路元件或电路元件组构成90度相位延迟电路4a及阻抗变换电路4c,从而能够抑制多尔蒂放大器输出处的谐波电平,将通常与放大器的输出侧连接的LPF删除或减少滤波器阶数,也有助于发送机整体的小型化及低成本化。

[0086] 此外,与90度相位延迟电路4a、阻抗变换电路4c同样地,关于输入分配电路部3的相位延迟电路3b,如图9所示,也可以由GaAs半导体基板SCB之上的线路构成,另外,也可以由电路元件构成。在相位延迟电路3b由电路元件构成的情况下,电路元件或电路元件组既可以是LPF型也可以是图8所示的HPF型。

[0087] 此外,本发明并不限定于上述各实施方式,包括它们的所有可能的组合。

[0088] 工业实用性

[0089] 本发明适用于各种领域的通信装置的负载调制放大器。

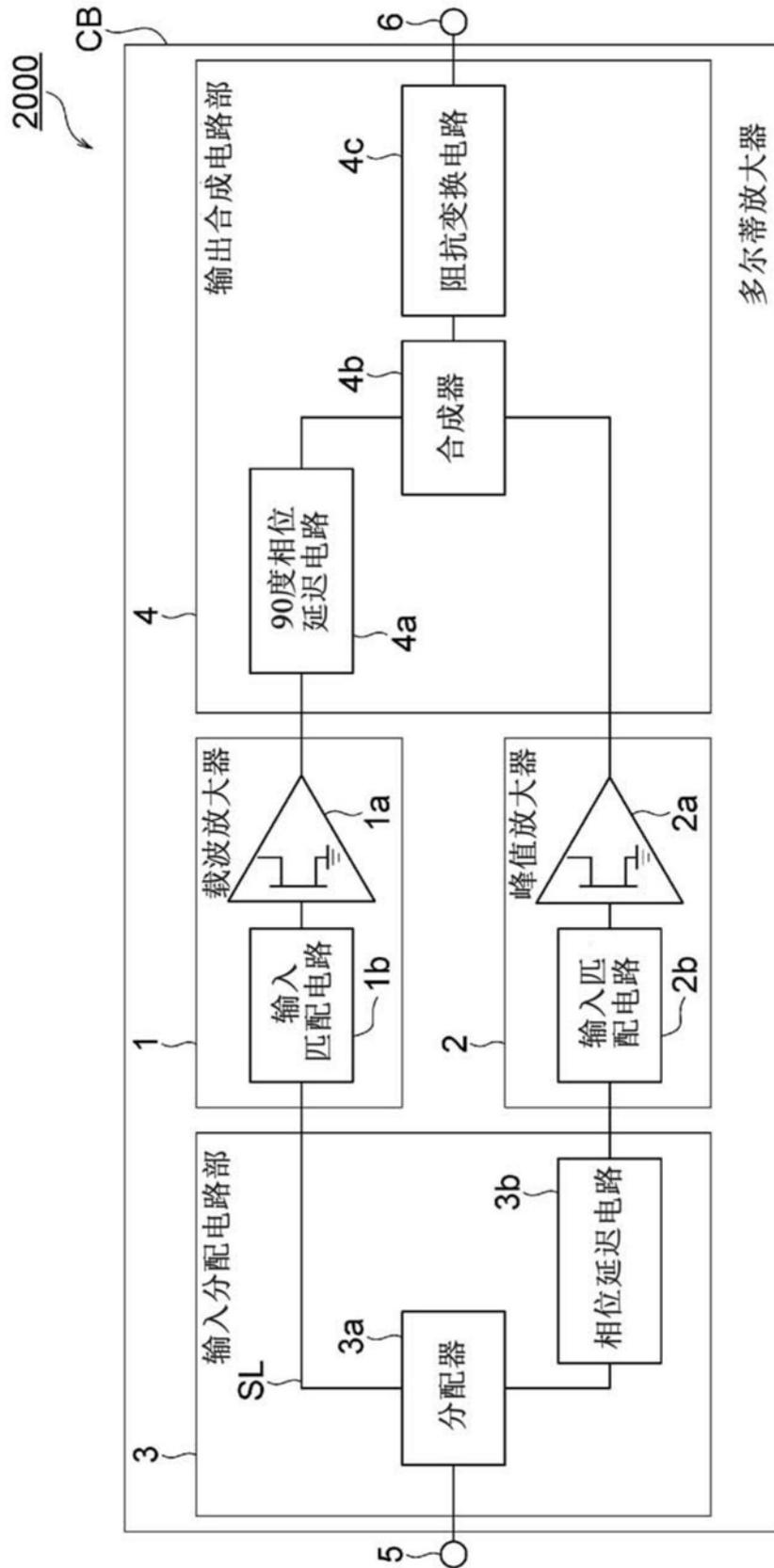


图1

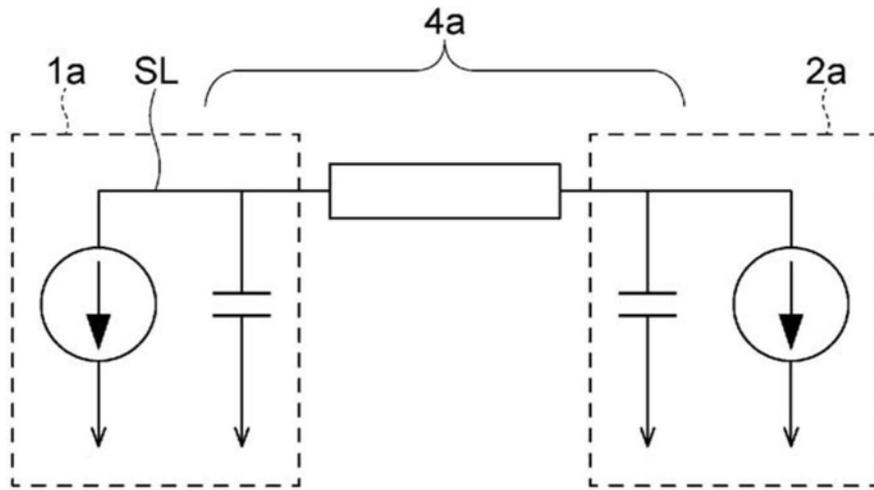


图2

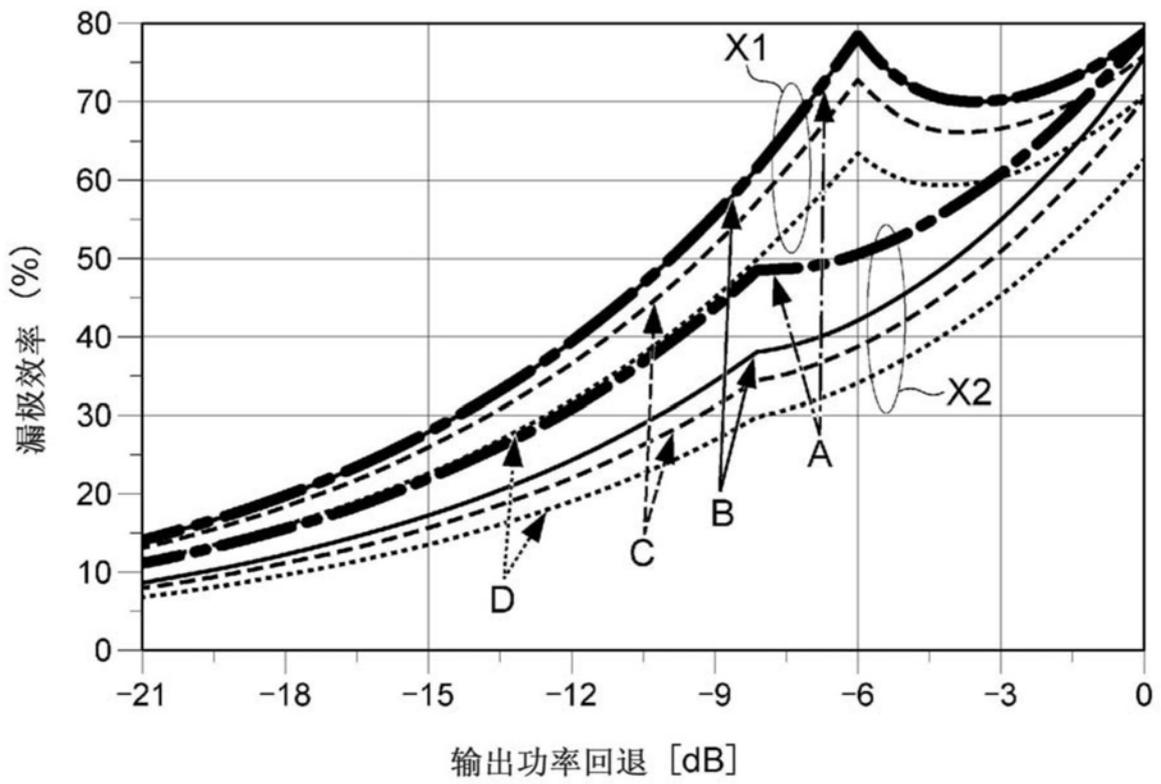


图3

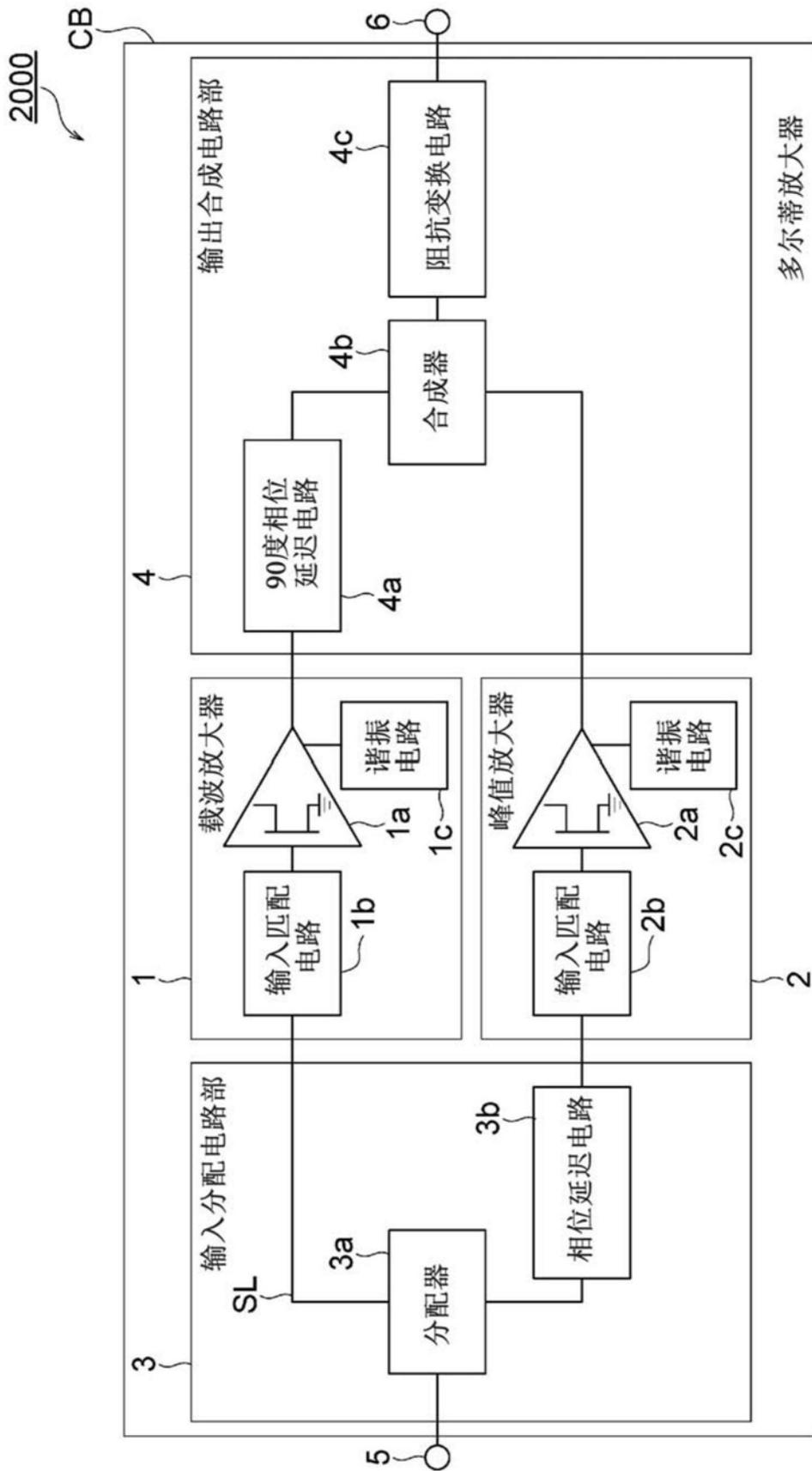


图4

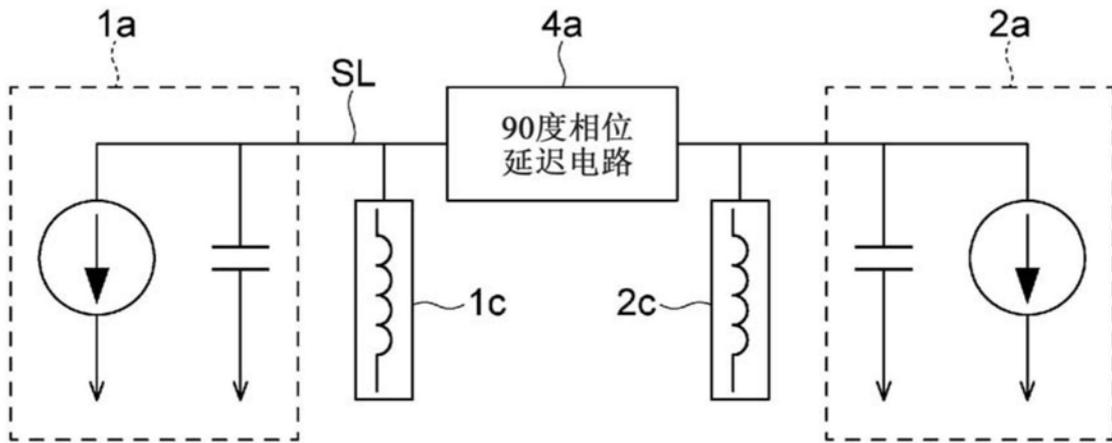


图5

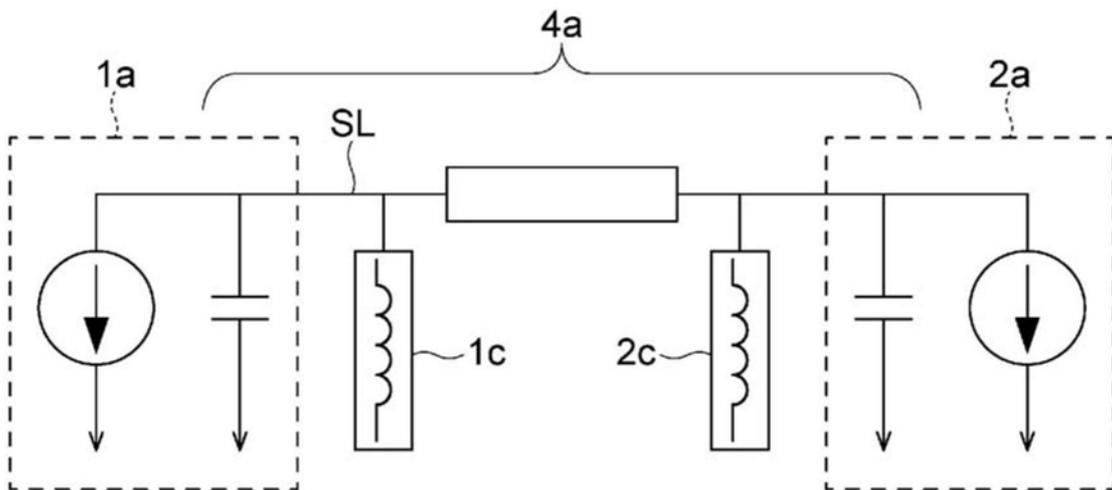


图6

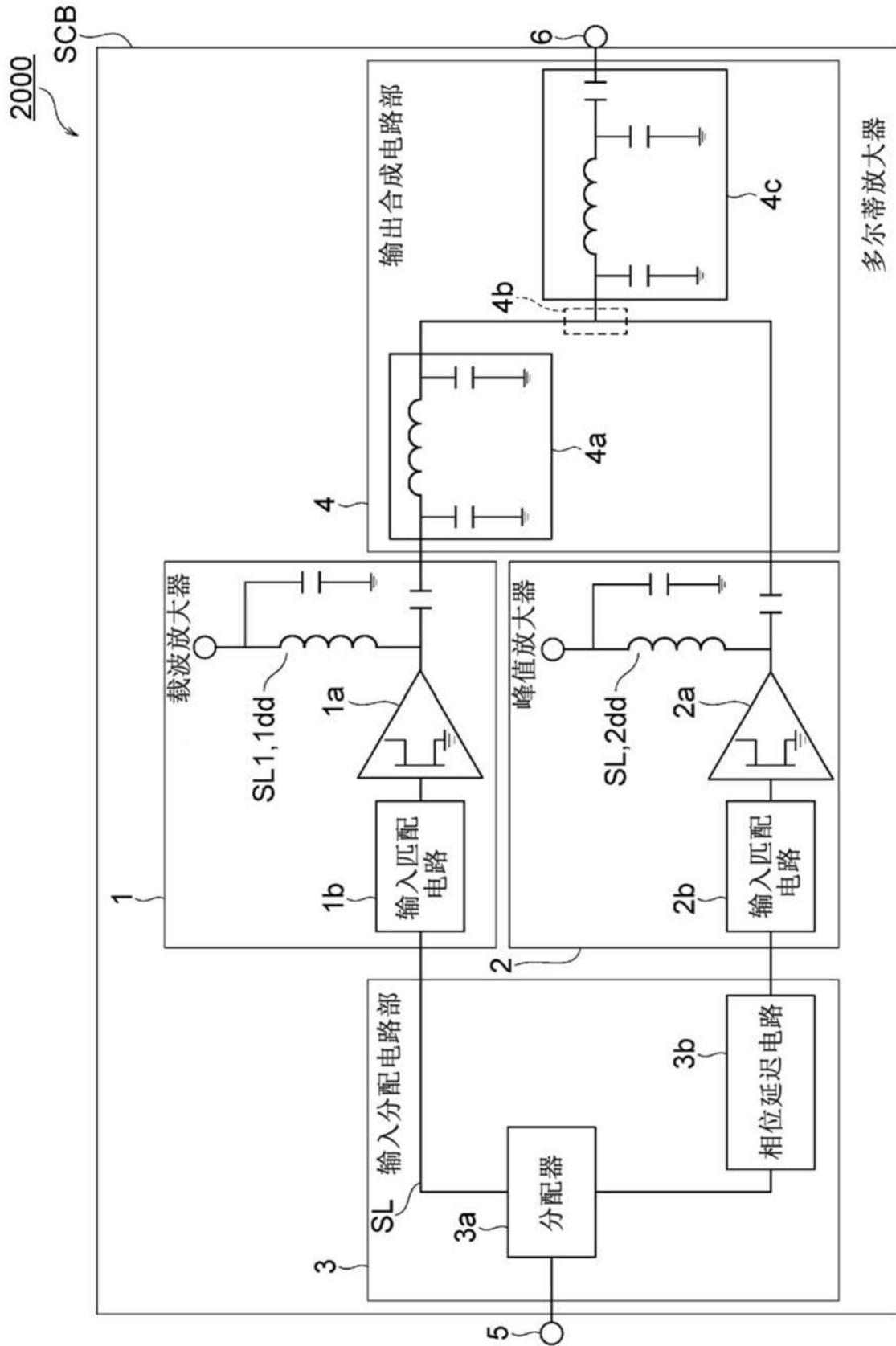


图7

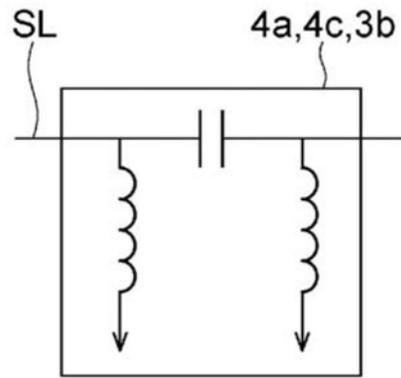


图8

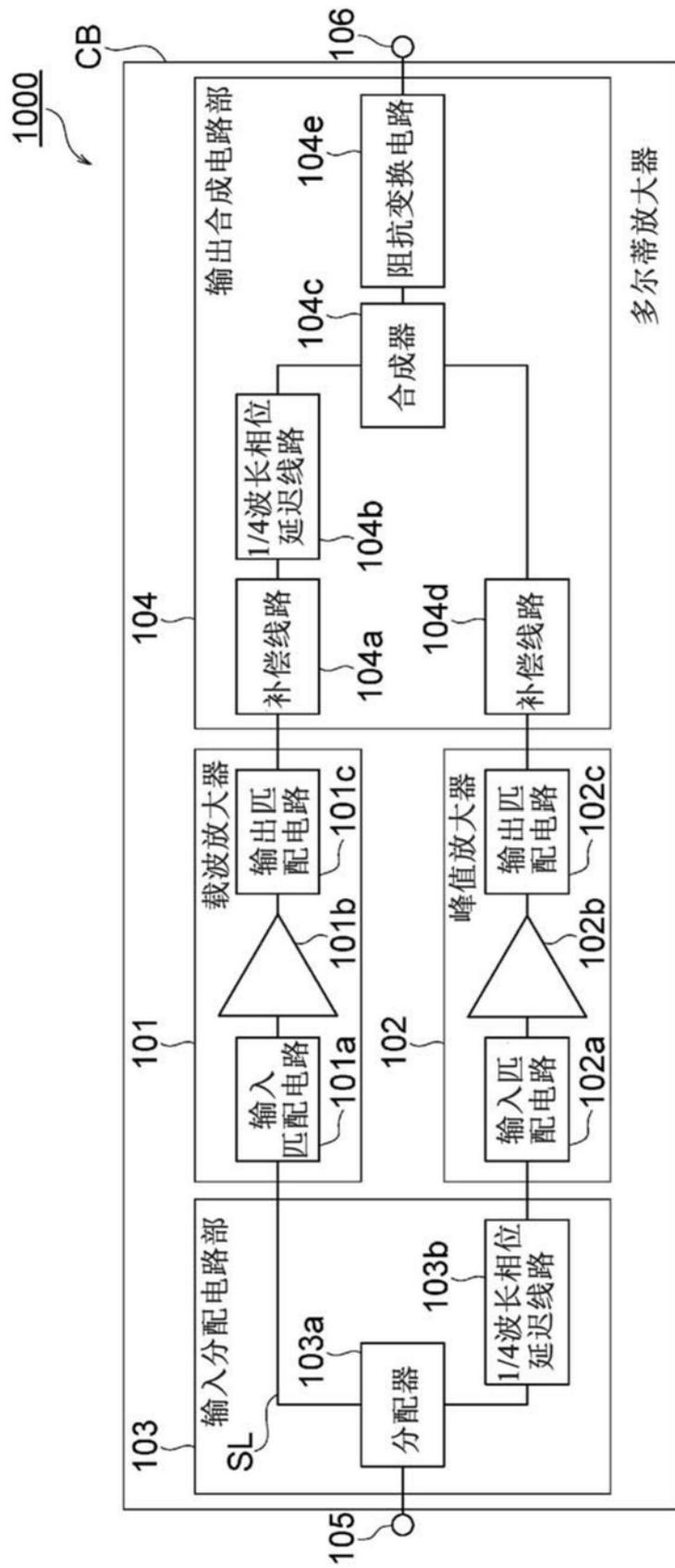


图10

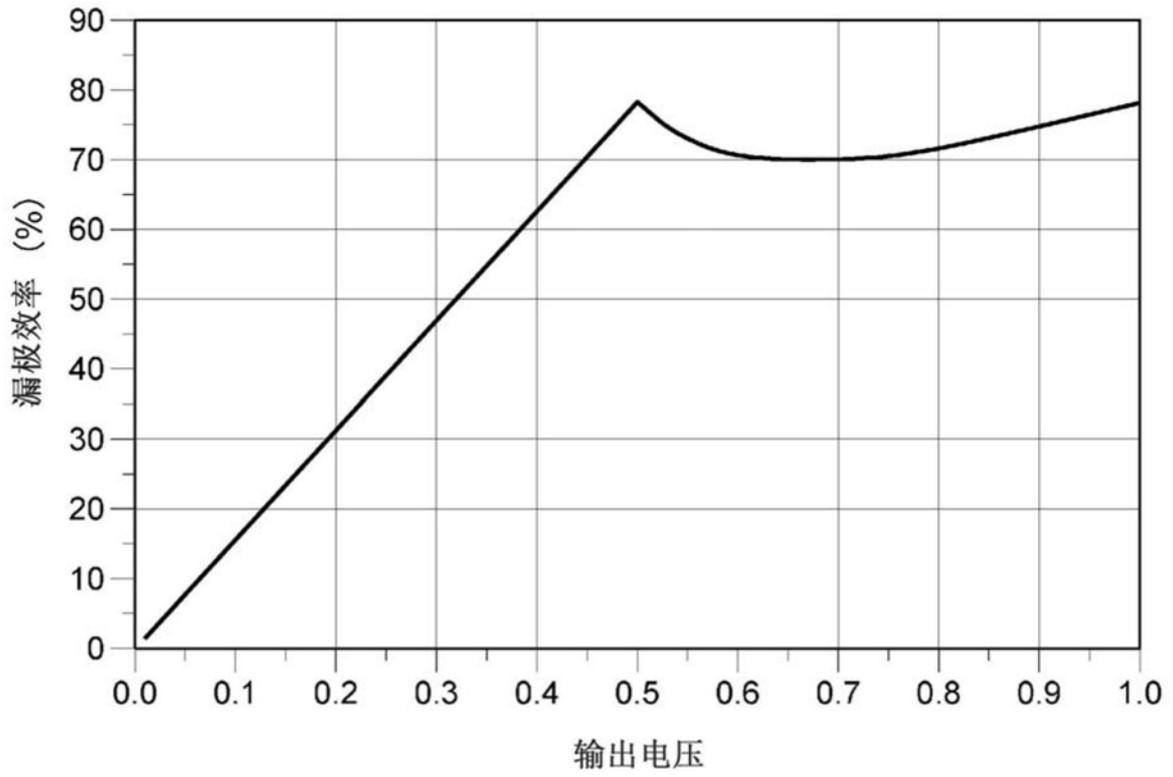


图11