



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월27일

(11) 등록번호 10-1496712

(24) 등록일자 2015년02월23일

(51) 국제특허분류(Int. Cl.)

H03M 1/12 (2006.01)

(21) 출원번호 10-2008-0054418

(22) 출원일자 2008년06월11일

심사청구일자 2013년05월13일

(65) 공개번호 10-2009-0128596

(43) 공개일자 2009년12월16일

(56) 선행기술조사문헌

KR100826513 B1

KR1020060077161 A

US20060174454 A1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

임용

경기도 수원시 권선구 일월천로16번길 39, LD코오  
풍아파트 105동 1001호 (구운동)

고경민

경기도 화성시 병점중앙로 204, 104동 107호 (진  
안동, 월드메르디앙)

김수연

경기도 성남시 수정구 수정로 289, 101동 602호  
(신흥동, 신흥주공아파트)

(74) 대리인

윤재석, 한지희, 권영규

전체 청구항 수 : 총 7 항

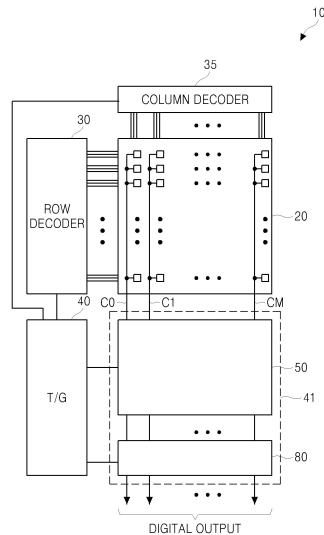
심사관 : 권성락

(54) 발명의 명칭 **아날로그-디지털 변환 장치와 이를 포함하는 이미지 촬상 장치**

**(57) 요약**

아날로그-디지털 변환 장치는 제1아날로그 신호를 제1디지털 신호로 변환하고 제2아날로그 신호를 제2디지털 신호로 변환하는 아날로그-디지털 변환기, 및 코드 발생기를 포함한다. 상기 코드 발생기는 상기 제1디지털 신호의 적어도 일부에 연관된 제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 상기 제2디지털 신호의 적어도 일부에 연관된 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호에 응답하여 제2디지털 코드를 생성한다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

제1아날로그 신호를 제1디지털 신호로 변환하고 제2아날로그 신호를 제2디지털 신호로 변환하기 위한 아날로그-디지털 변환기; 및

제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함하고,

상기 제1신호는 상기 제1디지털 신호 및 상기 제1디지털 신호에 상관 이중 샘플링(correlated double sampling(CDS))을 수행하여 생성된 제1CDS 신호 중에서 적어도 하나를 나타내고, 상기 제2신호는 상기 제2디지털 신호 및 상기 제2디지털 신호에 상관 이중 샘플링을 수행하여 생성된 제2CDS 신호 중에서 적어도 하나를 나타내는 아날로그-디지털 변환 장치.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

제8항에 있어서, 상기 아날로그-디지털 변환 장치는,

주기적인 램프 신호를 발생하기 위한 램프 신호 발생기를 더 포함하며,

상기 코드 생성기는,

상기 램프 신호가 제1램프를 시작할 때부터 상기 제1신호의 논리가 천이할 때까지, 클럭 신호를 카운트하여 상기 제1디지털 코드를 생성하고, 생성된 제1디지털 코드를 홀드하고,

상기 램프 신호가 제2램프를 시작할 때부터 상기 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터, 상기 클럭 신호를 카운트하여 상기 제2디지털 코드를 발생하는 아날로그-디지털 변환 장치.

**청구항 12**

삭제

**청구항 13**

제1아날로그 신호에 상관 이중 샘플링(correlated double sampling(CDS))을 수행하여 제1CDS 신호를 생성하고, 제2아날로그 신호에 상기 CDS를 수행하여 제2CDS 신호를 생성하기 위한 CDS 회로;

상기 제1CDS 신호와 기준 신호를 비교하여 제1비교 신호를 생성하고, 상기 제2CDS 신호와 상기 기준 신호를 비교하여 제2비교 신호를 생성하기 위한 비교 회로; 및

상기 제1비교 신호의 논리가 천이할 때까지 상기 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 홀드된 제1디지털 코드로부터 상기 제2비교 신호의 논리가 천이할 때까지 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함하는 아날로그-디지털 변환 장치.

**청구항 14**

제13항에 있어서, 상기 아날로그-디지털 변환 장치는,

주기적인 램프 신호를 발생하기 위한 램프 신호 발생기를 더 포함하며,

상기 코드 생성기는,

상기 램프 신호가 제1램프를 시작할 때부터 상기 제1비교 신호의 논리가 천이할 때까지, 상기 클럭 신호를 카운트하여 상기 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고,

상기 램프 신호가 제2램프를 시작할 때부터 상기 제2비교 신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호를 카운트하여 상기 제2디지털 코드를 발생하는 아날로그-디지털 변환 장치.

**청구항 15**

제1아날로그 신호와 기준 신호를 비교하여 제1비교 신호를 생성하고, 제2아날로그 신호와 상기 기준 신호를 비교하여 제2비교 신호를 생성하기 위한 비교 회로;

상기 제1비교 신호에 상관 이중 샘플링(correlated double sampling(CDS))을 수행하여 제1CDS 신호를 생성하고, 상기 제2비교 신호에 상기 CDS를 수행하여 제2CDS 신호를 생성하는 CDS 회로; 및

상기 제1CDS 신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 홀드된 제1디지털 코드로부터 상기 제2CDS 신호의 논리가 천이할 때까지 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함하는 아날로그-디지털 변환 장치.

**청구항 16**

제15항에 있어서, 상기 아날로그-디지털 변환 장치는,

주기적인 램프 신호를 발생하기 위한 램프 신호 발생기를 더 포함하며,

상기 코드 생성기는,

상기 램프 신호가 제1램프를 시작할 때부터 상기 제1CDS 신호의 논리가 천이할 때까지, 상기 클럭 신호를 카운트하여 상기 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고,

상기 램프 신호가 제2램프를 시작할 때부터 상기 제2CDS 신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호를 카운트하여 상기 제2디지털 코드를 발생하는 아날로그-디지털 변환 장치.

**청구항 17**

제1픽셀과 제2픽셀을 포함하는 픽셀 어레이;

상기 제1픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환하고 상기 제2픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호로 변환하기 위한 아날로그-디지털 변환기; 및

상기 아날로그-디지털 변환기로부터 출력된 제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 상기 아날로그-디지털 변환기로부터 출력된 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호에 응답하여 제2디지털 코드를 발생하는 코드 생성기를 포함하고,

상기 제1신호는 상기 제1디지털 신호 및 상기 제1디지털 신호에 상관 이중 샘플링(correlated double sampling(CDS))을 수행하여 생성된 제1CDS 신호 중에서 적어도 하나를 나타내고, 상기 제2신호는 상기 제2디지털 신호 및 상기 제2디지털 신호에 상기 상관 이중 샘플링을 수행하여 생성된 제2CDS 신호 중에서 적어도 하나를 나타내는 이미지 촬상 장치.

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

청구항 31

삭제

청구항 32

삭제

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명에 따른 실시 예는 신호 변환 기술에 관한 것으로, 특히 아날로그-디지털 변환 장치와 그 방법, 및 상기 아날로그-디지털 변환 장치를 포함하는 이미지 촬상 장치에 관한 것이다.

#### 배경기술

[0002] 이미지 촬상 장치(image pick-up device)는 광학 영상(optical image)을 전기적인 신호로 변환시키는 반도체 장치로서, 주로 전하 결합 소자(Charge Coupled Device; CCD)를 이용한 이미지 촬상 장치와 CMOS 공정을 이용한 CMOS 이미지 센서(CMOS Image Sensor; CIS)가 널리 사용되고 있다.

[0003] CMOS 이미지 센서는 CCD를 이용한 이미지 촬상 장치에 비해 일반적인 CMOS 공정을 사용하여 제작할 수 있으므로 경제적이며, 아날로그-디지털 변환 장치를 함께 하나의 칩(chip)에 집적할 수 있으므로 집적화에 유리하다. 또한, 상기 CMOS 이미지 센서는 저-전력 저-전압 설계가 가능함에 따라 전력 소비가 적은 이동 전화기(mobile phone), 및 디지털 카메라 등의 휴대용 기기에서 널리 사용되고 있다.

[0004] 그러나, CMOS 이미지 센서는 상기 CCD를 이용한 이미지 촬상 장치와 달리 빛에 따라 반응하는 액티브 픽셀 센서(Active Pixel Sensor; APS)로부터 출력되는 아날로그 신호를 디지털 신호로 변환시키기 위한 고해상도의 아날로그-디지털 변환 장치를 필요로 한다.

[0005] CIS에서 아날로그 신호를 디지털 신호로 변환시키는 방법으로 하나의 아날로그-디지털 변환기(Analog Digital Converter(ADC))를 사용하는 방법과 컬럼 ADC를 사용하는 방법이 있다.

[0006] 하나의 ADC를 사용하는 방법은 고속으로 동작하는 하나의 ADC를 사용하여 정해진 시간 내에 모든 컬럼의 APS들로부터 출력되는 아날로그 신호를 디지털 신호로 변환하므로, ADC의 레이아웃 면적은 줄어들거나 상기 ADC가 고속으로 동작해야 하므로, CMOS 이미지 센서의 전력 소모가 크다. 그러나, 컬럼 ADC를 사용하는 방법은 간단한 구조를 갖는 ADC를 각각의 컬럼마다 배치하므로, CMOS 이미지 센서의 전력 소모는 적으나 ADC들이 구현되는 레이아웃 면적이 증가하는 문제점이 있다.

[0007] 또한, 반도체 기술의 발달에 따라 이미지 촬상 장치가 점차 고해상도를 갖는 이미지를 디스플레이하기 위해서는, 종래의 ADC보다 더 높은 해상도(resolution)를 갖는 ADC가 사용되어야 하므로 이로 인한 CMOS 이미지 센서에서 구현되는 ADC의 레이아웃 면적이 증가한다.

[0008] 따라서, 높은 프레임 레이트를 갖으며, 적은 면적에 구현될 수 있는 아날로그-디지털 변환 장치가 절실히 요구된다.

#### 발명의 내용

##### 해결하고자하는 과제

[0009] 따라서 본 발명이 이루고자 하는 기술적 과제는 작은 면적에 구현되고, 높은 프레임 레이트를 갖는 아날로그-디지털 변환 장치와 그 방법, 및 상기 아날로그-디지털 변환 장치를 포함하는 이미지 촬상 장치를 제공하는 것이다.

##### 과제 해결수단

- [0010] 본 발명의 실시 예에 따른 아날로그-디지털 변환 방법은 제1아날로그 신호를 제1디지털 신호로 변환하는 단계와, 상기 제1디지털 신호의 적어도 일부에 연관된 제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하는 단계와, 제2아날로그 신호를 제2디지털 신호로 변환하는 단계와, 상기 제2디지털 신호의 적어도 일부에 연관된 제2신호의 논리가 천이할 때까지 홀드된 제1디지털 코드부터 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 단계를 포함한다.
- [0011] 상기 아날로그-디지털 변환 방법은 제1픽셀 신호에 상관 이중 샘플링(correlated double sampling)을 수행하여 상기 제1아날로그 신호를 생성하는 단계와, 제2픽셀 신호에 상관 이중 샘플링을 수행하여 상기 제2아날로그 신호를 생성하는 단계를 더 포함한다.
- [0012] 상기 아날로그-디지털 변환 방법은 상기 제1디지털 신호의 적어도 일부에 상관 이중 샘플링을 수행하여 상기 제1신호를 생성하는 단계와 상기 제2디지털 신호의 적어도 일부에 상관 이중 샘플링을 수행하여 상기 제2신호를 생성하는 단계를 더 포함한다.
- [0013] 상기 아날로그-디지털 변환 방법은 DC 신호 또는 램프 신호에 따라 상기 제1아날로그 신호를 상기 제1디지털 신호로 변환하는 단계와, 상기 DC 신호 또는 상기 램프 신호에 따라 상기 제2아날로그 신호를 상기 제2디지털 신호로 변환하는 단계를 더 포함한다.
- [0014] 상기 생성된 제1디지털 코드를 홀드하는 단계는 램프 신호 발생기로부터 생성된 램프 신호가 제1램프를 시작할 때부터 상기 제1신호의 논리가 천이할 때까지, 상기 클럭 신호를 카운트하여 상기 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드한다. 상기 제2디지털 코드를 생성하는 단계는 상기 램프 신호가 제2램프를 시작할 때부터 상기 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호를 카운트하여 상기 제2디지털 코드를 생성한다.
- [0015] 상기 아날로그-디지털 변환 방법은 이미지 촬상 장치에서 수행된다.
- [0016] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 변환 장치는 제1아날로그 신호를 제1디지털 신호로 변환하고 제2아날로그 신호를 제2디지털 신호로 변환하기 위한 아날로그-디지털 변환기와, 상기 제1디지털 신호의 적어도 일부에 연관된 제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 상기 제2디지털 신호의 적어도 일부에 연관된 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함한다.
- [0017] 상기 아날로그-디지털 변환 장치는 제1픽셀로부터 출력된 제1픽셀의 신호에 상관 이중 샘플링을 수행하여 상기 제1아날로그 신호를 생성하고, 제2픽셀로부터 출력된 제2픽셀 신호에 상관 이중 샘플링을 수행하여 상기 제2아날로그 신호를 생성하기 위한 아날로그 상관 이중 샘플링 회로를 더 포함한다.
- [0018] 또는, 상기 아날로그-디지털 변환 장치는 상기 제1디지털 신호의 적어도 일부에 상관 이중 샘플링을 수행하여 상기 제1신호를 생성하고, 상기 제2디지털 신호의 적어도 일부에 상관 이중 샘플링을 수행하여 상기 제2신호를 생성하기 위한 디지털 상관 이중 샘플링 회로를 더 포함한다.
- [0019] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 변환 장치는 제1아날로그 신호에 상관 이중 샘플링(CDS)을 수행하여 제1CDS 신호를 생성하고, 제2아날로그 신호에 상관 이중 샘플링을 수행하여 제2CDS 신호를 생성하기 위한 CDS 회로; 상기 제1CDS 신호와 기준 신호를 비교하여 제1비교 신호를 생성하고, 상기 제2CDS 신호와 상기 기준 신호를 비교하여 제2비교 신호를 생성하기 위한 비교 회로; 및 상기 제1비교 신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 홀드된 제1디지털 코드로부터 상기 제2비교 신호의 논리가 천이할 때까지 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함한다.
- [0020] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 변환 장치는 제1아날로그 신호와 기준 신호를 비교하여 제1비교 신호를 생성하고, 제2아날로그 신호와 상기 기준 신호를 비교하여 제2비교 신호를 생성하기 위한 비교 회로; 상기 제1비교 신호에 상관 이중 샘플링을 수행하여 제1CDS 신호를 생성하고, 상기 제2비교 신호에 상관 이중 샘플링을 수행하여 제2CDS 신호를 생성하는 CDS 회로; 및 상기 제1CDS 신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 홀드된 제1디지털 코드로부터 상기 제2CDS 신호의 논리가 천이할 때까지 상기 클럭 신호에 응답하여 제2디지털 코드를 생성하는 코드 생성기를 포함한다.
- [0021] 상기 기술적 과제를 달성하기 위한 이미지 촬상 장치는 제1픽셀과 제2픽셀을 포함하는 픽셀 어레이; 상기 제1픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환하고 상기 제2픽셀로부터 출력된 제2아날로그 신호

를 제2디지털 신호로 변환하기 위한 아날로그-디지털 변환기; 및 상기 제1디지털 신호의 적어도 일부에 연관된 제1신호의 논리가 천이할 때까지 클럭 신호에 응답하여 제1디지털 코드를 생성하고 생성된 제1디지털 코드를 홀드하고, 상기 제2디지털 신호의 적어도 일부에 연관된 제2신호의 논리가 천이할 때까지, 홀드된 제1디지털 코드로부터 상기 클럭 신호에 응답하여 제2디지털 코드를 발생하는 코드 생성기를 포함한다.

[0022] 상기 이미지 촬상 장치는 상기 제1픽셀로부터 출력된 제1픽셀 신호에 상관 이중 샘플링(CDS)을 수행하여 상기 제1아날로그 신호를 생성하고, 상기 제2픽셀로부터 출력된 제2픽셀 신호에 상기 상관 이중 샘플링을 수행하여 상기 제2아날로그 신호를 생성하기 위한 CDS 회로를 더 포함한다.

[0023] 또는 상기 이미지 촬상 장치는 상기 제1디지털 신호의 적어도 일부에 상관 이중 샘플링을 수행하여 상기 제1신호를 생성하고, 상기 제2디지털 신호의 적어도 일부에 상기 상관 이중 샘플링을 수행하여 상기 제2신호를 생성하기 위한 CDS 회로를 더 포함한다.

[0024] 상기 제1픽셀은 컬럼에 접속된 N-번째 픽셀이고, 상기 제2픽셀은 상기 컬럼에 접속된 (N+L)-번째 픽셀이고, 상기 N과 L 각각은 자연수이다.

[0025] 상기 제1픽셀과 상기 제2픽셀 각각은 스펙트럼의 그린 영역, 레드 영역, 및 블루 영역 중에서 어느 하나의 영역을 감지하기 위한 픽셀이다.

[0026] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 변환 방법은 제1아날로그 신호를 제1디지털 코드로 변환하는 단계와, 제2아날로그 신호를 제2디지털 코드로 변환하는 단계와, 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 제3디지털 코드를 출력하는 단계를 포함한다.

[0027] 상기 아날로그-디지털 변환 방법은 제1픽셀신호에 상관 이중 샘플링을 수행하여 상기 제1아날로그 신호를 생성하는 단계와, 제2픽셀신호에 상기 상관 이중 샘플링을 수행하여 상기 제2아날로그 신호를 생성하는 단계를 더 포함한다.

[0028] 상기 아날로그-디지털 변환 방법은 상기 제1디지털 코드의 적어도 일부에 상관 이중 샘플링을 수행하여 상관 이중 샘플된 제1디지털 코드를 출력하는 단계와, 상기 제2디지털 코드의 적어도 일부에 상기 상관 이중 샘플링을 수행하여 상관 이중 샘플된 제2디지털 코드를 출력하는 단계를 더 포함하며, 상기 상관 이중 샘플된 제1디지털 코드와 상기 상관 이중 샘플된 제2디지털코드의 합에 해당하는 제3디지털 코드를 출력한다.

[0029] 상기 기술적 과제를 달성하기 위한 아날로그-디지털 변환 장치는 제1아날로그 신호를 제1디지털 코드로 변환하고 제2아날로그 신호를 제2디지털 코드로 변환하기 위한 아날로그-디지털 변환기와, 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 제3디지털 코드를 생성하는 코드 생성기를 포함한다.

[0030] 상기 코드 생성기는 상기 제1디지털 코드와 상기 제2디지털 코드 중에서 적어도 어느 하나를 저장하기 위한 메모리와, 상기 제1디지털 코드와 상기 제2디지털 코드를 연산하고, 연산 결과에 따라 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 상기 제3디지털 코드를 생성하기 위한 연산기를 포함한다.

[0031] 상기 아날로그-디지털 변환 장치는 제1픽셀로부터 출력된 제1픽셀의 신호에 상관 이중 샘플링을 수행하여 상기 제1아날로그 신호를 생성하고, 제2픽셀로부터 출력된 제2픽셀의 신호에 상관 이중 샘플링을 수행하여 상기 제2아날로그 신호를 생성하기 위한 상관 이중 샘플링 회로를 더 포함한다.

[0032] 상기 아날로그 디지털 변환 장치는 상기 제1디지털 코드의 적어도 일부에 상관 이중 샘플링을 수행하여 상관 이중 샘플된 제1디지털 코드를 생성하고, 상기 제2디지털 코드의 적어도 일부에 상관 이중 샘플링을 수행하여 상관 이중 샘플된 제2디지털 코드를 생성하는 상관 이중 샘플링 회로를 더 포함하며, 상기 상관 이중 샘플된 제1디지털 코드와 상기 상관 이중 샘플된 제2디지털 코드의 합에 해당하는 제3디지털 코드를 생성한다.

[0033] 상기 아날로그-디지털 변환기는 시그마-델타 아날로그-디지털 변환기, 연속 근사(successive approximation) 아날로그-디지털 변환기, 순환(cyclic) 아날로그-디지털 변환기, 또는 파이프 라인드 아날로그-디지털 변환기이다.

[0034] 상기 기술적 과제를 해결하기 위한 이미지 촬상 장치는 제1픽셀과 제2픽셀을 포함하는 픽셀 어레이와, 상기 제1픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환하고 상기 제2픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호로 변환하기 위한 아날로그-디지털 변환기와, 상기 제1디지털 신호를 제1디지털 코드로 변환하고, 상기 제2디지털 신호를 제2디지털 코드로 변환하고, 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 제3디지털 코드를 출력하는 코드 생성기를 포함한다.

[0035] 상기 코드 생성기는 상기 제1디지털 코드와 상기 제2디지털 코드 중에서 적어도 어느 하나를 저장하기 위한 메모리와, 상기 제1디지털 코드와 상기 제2디지털 코드를 연산하고, 연산 결과에 따라 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 상기 제3디지털 코드를 생성하기 위한 연산기를 포함한다.

**효과**

[0036] 상술한 바와 같이 본 발명의 실시 예에 따른 아날로그-디지털 변환 장치는 레이아웃 면적을 줄일 수 있는 효과가 있다. 또한, 본 발명에 따른 이미지 촬상 장치는 픽셀의 아날로그 신호를 빠른 속도로 ADC를 수행함으로써 높은 프레임 레이트(frame rate)를 지원할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

[0037] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0038] 도 1은 본 발명의 실시 예에 따른 이미지 촬상 장치의 개략적인 블록 도를 나타내고, 도 2는 도 1의 픽셀 어레이의 픽셀의 일 예를 나타낸다. 도 1을 참조하면, 이미지 촬상 장치(10)는 픽셀 어레이(pixel array; 20), 로우 디코더(row decoder; 30), 컬럼 디코더(column decoder; 35), 타이밍 생성기 (Timing Generator(T/G); 40), 및 아날로그-디지털 변환 장치(41)를 포함한다. 이미지 촬상 장치(10)는 하나의 칩으로 구현될 수 있다.

[0039] 아날로그-디지털 변환 장치(41)는 아날로그-디지털 변환 블록(50)과 코드 생성기(code generator; 80)를 포함한다. 반도체 집적 회로로서 구현될 수 있는 아날로그-디지털 변환 장치(41)는 반도체 기판상에 형성된다.

[0040] 픽셀 어레이(20)는 다수의 로우들(rows)과 다수의 컬럼들(columns) 사이에 2차원 매트릭스 형태로 배열된 다수의 픽셀들을 포함한다. 예컨대, 다수의 픽셀들 각각은 레드(red) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 레드 픽셀, 그린(green) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 그린 픽셀, 및 블루(blue) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 블루 픽셀을 포함한다.

[0041] 또한, 픽셀 어레이(20)를 구성하는 각각의 픽셀의 상부에는 특정 스펙트럼 영역의 빛을 투과시키기 위한 각각의 컬러 필터(color filter)가 배치된다. 상기 각각의 컬러 필터는 레드 스펙트럼 영역의 빛을 필터링하기 위한 레드 컬러 필터, 그린 스펙트럼 영역의 빛을 필터링하기 위한 그린 컬러 필터, 및 블루 스펙트럼 영역의 빛을 필터링하기 위한 블루 컬러 필터를 포함할 수 있다.

[0042] 도 2에 도시된 바와 같이, 픽셀 어레이(20)에 구현된 각각의 픽셀은 광 감지 소자(PD)와 4개의 트랜지스터들(Tx, Rx, Dx, 및 Sx)을 포함할 수 있다. 또한, 상기 각각의 픽셀에 구현된 트랜지스터들의 개수는 4보다 많거나 적을 수 있다.

[0043] 광전 변환을 수행하는 광 감지 소자(PD)는 포토다이오드 또는 포토 트랜지스터로 구현될 수 있다. 4개의 트랜지스터들(Tx, Rx, Dx, 및 Sx) 각각은 도 4a, 도 4b, 도 7a, 도 7b, 도 9a, 또는 도 9b에 도시된 각각의 제어 신호 (RST=RST(N), TG=TG(N), SEL=SEL(N), RST=RST(N+2), TG=TG(N+2), 및 SEL=SEL(N+2))에 따라 픽셀로부터 출력된 각각의 신호를 출력 노드(ND1)로 전송한다.

[0044] 로우 디코더(30)는 픽셀 어레이(20)에 접속되며, 타이밍 생성기(40)로부터 출력된 제어신호들에 응답하여 순차적으로 또는 미리 지정된 순서에 따라 픽셀 어레이(20)의 로우(row)를 선택한다. 컬럼 디코더(35)는 픽셀 어레이(20)에 접속되며, 타이밍 생성기(40)로부터 출력된 제어 신호들에 응답하여 순차적으로 또는 미리 지정된 순서에 따라 픽셀 어레이(20)의 컬럼(column)을 선택한다.

[0045] 즉, 이미지 촬상 장치(10)의 픽셀 어레이(20)는 로우 디코더(30)와 컬럼 디코더(35)에 의하여 선택된 적어도 하나의 픽셀로부터 생성된 아날로그 신호들 즉, 리셋 신호와 영상 신호를 아날로그-디지털 변환 장치(41)로 출력한다.

[0046] 타이밍 생성기(40)는 픽셀 어레이(20), 로우 디코더(30), 컬럼 디코더(35), 타이밍 생성기(40), 아날로그-디지털 변환 블록(50), 및 코드 생성기(80) 중에서 적어도 하나의 동작을 제어하기 위한 적어도 하나의 제어 신호를 생성한다.

[0047] 본 발명에 따른 이미지 촬상 장치(10)의 동작 모드(예컨대, 노멀(normal) 모드 또는 평균(average) 모드)는 사용



자의 선택에 따른 플래그(FLAG)의 설정 또는 디지털 카메라와 같은 이미지 촬상 장치(10)의 구동 단계에 기초하여 다양하게 설정될 수 있다.

- [0048] 예컨대, 타이밍 생성기(40)는 플래그 또는 구동 단계에 기초하여 아날로그-디지털 변환 장치(41)의 동작 모드를 제어하기 위한 제어 신호를 생성할 수 있다.
- [0049] 예컨대, 이미지 촬상 장치(10)가 노멀 모드로 동작하는 경우, 픽셀 어레이(20)는 모든 픽셀들로부터 출력된 영상 신호들을 아날로그-디지털 변환 블록(50)으로 출력함으로써 고해상도를 갖는 이미지를 디스플레이할 수 있다.
- [0050] 또한, 이미지 촬영 장치(10)가 평균 모드로 동작하는 경우, 픽셀 어레이(20)는 소정의 샘플링 영역(예컨대, 2x2 픽셀 어레이)에 포함된 다수의 영상 신호들 중에서 적어도 두 개의 영상 신호만을 아날로그-디지털 변환 블록(50)으로 출력하고, 나머지 영상 신호를 제거함으로써 소정의 값만큼 해상도를 낮춘 이미지를 디스플레이할 수 있다. 이때, 아날로그-디지털 변환 블록(50)은 선택된 적어도 두 개의 영상 신호에 기초하여 평준화된 디지털 코드를 생성하고, 생성된 디지털 코드를 상기 샘플링 영역 전체의 영상 신호로서 출력한다.
- [0051] 아날로그-디지털 변환 블록(50)은 각각의 픽셀로부터 출력되는 아날로그 신호를 디지털 신호로 변환하고, 상기 디지털 신호와 상기 디지털 신호에 상관 이중 샘플링(correlated double sampling(CDS))을 수행하여 생성된 CDS 신호 중에서 적어도 하나의 신호(이하, "디지털 신호의 적어도 일부에 연관된 신호"라 한다)를 생성할 수 있다.
- [0052] 본 발명의 일 실시 예에 따른 아날로그-디지털 변환 블록(50)은 싱글 슬로프(single slope) 아날로그-디지털 변환기를 포함할 수 있다.
- [0053] 예컨대, 아날로그-디지털 변환 블록(50)이 아날로그 CDS 동작을 수행하는 경우, 아날로그-디지털 변환 블록(50)은 각각의 픽셀로부터 출력된 신호에 아날로그 CDS를 수행하기 위한 CDS 회로(도 3의 61, 도 6의 63, 또는 도 8의 65)와 CDS 회로(도 3의 61, 도 6의 63, 또는 도 8의 65)로부터 출력된 신호를 디지털 신호로 변환하기 위한 ADC(71)를 포함할 수 있다.
- [0054] 또한, 아날로그-디지털 변환 블록(50)이 디지털 CDS 동작을 수행하는 경우, 아날로그-디지털 변환 블록(50)은 도 10에 도시된 바와 같이 각각의 픽셀로부터 출력된 신호를 디지털 신호로 변환하기 위한 ADC(111)와 ADC(111)로부터 출력된 디지털 신호에 디지털 CDS를 수행하기 위한 CDS 회로(113)를 포함할 수 있다.
- [0055] 그리고, 아날로그-디지털 변환 블록(50)이 듀얼 CDS 동작, 예컨대 아날로그 CDS 동작을 수행한 후 디지털 CDS 동작을 수행하는 경우, 아날로그-디지털 변환 블록(50)은 픽셀로부터 출력된 신호에 아날로그 CDS 동작을 수행하기 위한 제1CDS 회로, 상기 제1CDS 회로로부터 출력된 신호를 디지털 신호로 변환하기 위한 ADC, 및 상기 ADC로부터 출력된 디지털 신호에 디지털 CDS를 수행하기 위한 제2CDS 회로를 포함할 수 있다.
- [0056] 또한, 본 발명의 실시 예에 따른 아날로그-디지털 변환 블록(50)은 시그마-델타(sigma-delta) 아날로그-디지털 변환기, 연속 근사(successive approximation) 아날로그-디지털 변환기, 순환(cyclic) 아날로그-디지털 변환기, 또는 파이프 라인드(pipe lined) 아날로그-디지털 변환기를 포함할 수 있다.
- [0057] 본 발명의 실시 예에 따른 아날로그-디지털 변환 장치(41)가 아날로그 CDS 동작을 수행하는 경우, 아날로그-디지털 변환 장치(41)는 도 14에 도시된 바와 같이 각각의 픽셀로부터 출력된 신호에 아날로그 CDS를 수행하기 위한 CDS 회로(121)와 CDS 회로(121)로부터 출력된 신호를 디지털 신호로 변환하기 위한 ADC(123)를 포함할 수 있다.
- [0058] 또한, 본 발명의 다른 실시 예에 따른 아날로그-디지털 변환 장치(41)가 디지털 CDS 동작을 수행하는 경우, 아날로그-디지털 변환 장치(41)는 도 15에 도시된 바와 같이 각각의 픽셀로부터 출력된 신호를 디지털 신호로 변환하기 위한 ADC(131)와 ADC(131)로부터 출력된 디지털 신호에 디지털 CDS를 수행하기 위한 CDS 회로(133)를 포함할 수 있다.
- [0059] 본 명세서에서 설명될 다양한 아날로그-디지털 변환 장치(41)는 아날로그-디지털 변환 방법 또는 내부에 구현된 ADC의 종류에 따라 서로 다른 형태로 구현된 코드 생성기(80)를 포함한다. 예컨대, 코드 생성기(80)는 ADC(71 또는 도 14의 123) 또는 CDS 회로(도 10의 113, 또는 도 15의 133)로부터 순차적으로 출력되는 적어도 두 개의 디지털 신호들을 합산하여 합산 결과에 해당하는 최종 디지털 코드를 생성할 수 있다.
- [0060] 예컨대, 코드 생성기(80)는 아날로그-디지털 변환 블록(50)으로부터 출력된 신호(즉, 인에이블 신호(CNT\_ENb))

와 클럭 신호(CNT\_CLK)를 수신하고, 수신된 인에이블 신호(CNT\_ENb)의 논리, 예컨대 하이 또는 로우에 따라 클럭 신호(CNT\_CLK)에 대한 카운트 동작을 수행하고, 카운트 동작 결과에 상응하는 디지털 코드(CNT\_OUT)를 생성할 수 있다. 평균 모드를 수행할 수 있는 본 발명의 실시 예에 따른 코드 생성기(80)의 구체적인 동작은 도 4b, 도 7b, 또는 도 9b를 참조하여 상세히 설명될 것이다.

- [0061] 도 3은 본 발명의 일 실시 예에 따른 픽셀 어레이(20)와 아날로그-디지털 변환 장치(41)를 포함하는 이미지 촬상 장치의 블록 도를 나타낸다.
- [0062] 도 3에 도시된 이미지 촬상 장치는 싱글 슬로프 ADC(single slope ADC)를 포함하는 이미지 촬상 장치로 구현될 수 있다. 도 3을 참조하면, 픽셀 어레이(20)는 하나의 컬럼(C1)에 접속된 다수의 픽셀들(N번째 픽셀부터 (N+M)번째 픽셀)을 포함한다. 여기서, N과 M 각각은 자연수를 나타낸다.
- [0063] 아날로그-디지털 변환 장치(41)는 아날로그-디지털 변환 블록(50)과 코드 생성기(80)를 포함한다. 아날로그-디지털 변환 블록(50)은 제1픽셀, 예컨대, N번째 픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환하고, 제2픽셀, 예컨대, (N+1)-번째 픽셀 또는 (N+2)-번째 픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호로 변환한다.
- [0064] 코드 생성기(80)는 상기 제1디지털 신호의 적어도 일부에 연관된 제1신호 (CNT\_ENb)의 논리가 천이할 때까지 클럭 신호(CNT\_CLK)이 개수를 카운트하여 카운트 결과로서 제1디지털 코드(CNT\_OUT)를 생성하고 제1신호(CNT\_ENb)의 논리가 천이할 때의 제1디지털 코드(CNT\_OUT)를 홀드(또는 래치)한다. 그리고, 코드 생성기(80)는 상기 제2디지털 신호의 적어도 일부에 연관된 제2신호(CNT\_ENb)의 논리가 천이할 때까지, 클럭 신호(CNT\_CLK)에 응답하여, 홀드된 제1디지털 코드로부터 디지털 코드(CNT\_OUT)를 생성한다.
- [0065] 도 4a는 노멀 모드에서 도 3에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다. 도 3과 도 4a를 참조하면, 램프 신호 발생기(55)는 T/G(40)의 제어 하에, 예컨대 T/G(40)로부터 출력된 플래그(FLAG)에 따라 제1기울기(S1)를 갖는 제1램프 신호(RAMP1)를 생성한다. 여기서, 플래그(FLAG)는 램프 신호의 기울기를 제어하기 위한 제어 신호의 일 예이다. 또한, 플래그(FLAG)는 아날로그-디지털 변환 장치를 노멀 모드 또는 평균 모드로 동작 시키기 위한 제어 신호일 수도 있다.
- [0066] 또한, 코드 발생기(80)의 카운터(83)는 제1레벨을 갖는 인에이블 신호 (CNT\_ENb)에 응답하여 카운트 동작을 수행(또는 속행)하고, 제2레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 카운트 동작을 중지하고, 리셋 신호(CNT\_RST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다.
- [0067] 우선, 코드 생성기(80)의 카운터(83)는 T/G(40)로부터 생성된 리셋 신호 (CNTRST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다.
- [0068] CDS 회로(61)는 다수의 스위치들(SW1과 SW2) 및 다수의 커패시터들(C1과 C2)을 포함한다. CDS 회로(61)는, 도 4a에 도시된 각각의 제어 신호(RST(N), TG(N), SEL(N), S1, S2, S3, 및 S4)에 따라, 픽셀 어레이(20)의 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)에 대하여 샘플링을 수행하여 상관 이중 샘플된 아날로그 신호(in1=Vpix(N):reset-Vpix(N):signal)를 발생한다.
- [0069] 아날로그-디지털 변환기(71)는 비교기(73), 인버터(75), 커패시터(C3), 및 다수의 스위치들(SW3과 SW4)을 포함하고, 상관 이중 샘플된 아날로그 신호(in1)와 기준 신호(Vb)를 비교하고 비교 결과에 따른 인에이블 신호(CNT\_ENb)를 생성한다. 여기서, 기준 신호(Vb)는 일정한 레벨을 갖는 DC 신호일 수 있다. 도 3에는 인버터(75)를 포함하는 아날로그-디지털 변환기(71)가 도시되어 있으나 실시 예에 따라 인버터(75) 없이 구현될 수 있다.
- [0070] 램프 신호 발생기(55)로부터 생성된 제1램프 신호(RAMP1)가 램프, 예컨대 상향(upward) 램프를 시작할 때(T1)부터 클럭 신호(CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다.
- [0071] 이때, 카운터(83)는 제1레벨(예컨대, 로우 레벨)을 갖는 인에이블 신호 (CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 상승 에지와 하강 에지 중에서 어느 하나의 에지의 개수(이하 "클럭 신호(CNT\_CLK)의 개수"라 한다)를 카운트하기 시작하고, 비교기(73)는 제1입력 단자(예컨대, (+)입력 단자)로 입력되는 기준 신호(Vb)의 레벨과 제2입력 단자(예컨대, (-)입력 단자)로 입력되는 상관 이중 샘플된 아날로그 신호(in1)의 레벨을 비교하기 시작한다.
- [0072] 천이 시점(T2)까지, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 카운터(83)로 공급하므로, 카운터(83)는 클럭 신호 (CNT\_CLK)의 개수를 카운트하고, 카운트 값에 해당하는 디지털 코드

(CNT\_OUT)를 출력한다. 여기서, 디지털 코드(CNT\_OUT)는 K(여기서, K은 자연수)-비트 카운트 값일 수 있다.

- [0073] 제1램프 신호(RAMP1)가 상향 램프를 수행함에 따라 제1램프 신호(RAMP1)의 레벨은 증가하므로, 제2입력 단자(-)로 입력되는 아날로그 신호(in1)의 레벨은 증가한다. 따라서, 아날로그 신호(in1)의 레벨이 기준 신호(Vb)의 레벨보다 같거나 커질 때(T2), 예컨대 천이 시점(T2)에서 비교기(73)에 접속된 인버터(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다.
- [0074] 따라서, 카운터(83)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 카운트 동작을 멈추고, 천이 시점(T2)에서의 카운트 값에 해당하는 디지털 코드 (CNT\_OUT)를 홀드한다. 홀드된 디지털 코드는 다른 신호 처리 블록, 예컨대 이미지 신호 프로세서(Image Signal Process)로 전송될 수 있다.
- [0075] 노멀 모드에서, 픽셀 어레이(20)의 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 픽셀 신호(Vpix)에 대한 아날로그-디지털 변환 동작이 종료된 경우 픽셀 어레이(20)의 제2픽셀, 예컨대 (N+1)-번째 픽셀 또는 (N+2)-번째 픽셀로부터 출력된 픽셀 신호(Vpix)에 대한 아날로그-디지털 변환 동작을 수행하기 전에 T/G(40)는 리셋 신호(CNTRS T)를 코드 생성기(80)의 카운터(83)로 출력한다. 따라서, 코드 생성기(80)의 카운터(83)는 초기화된다.
- [0076] 도 4b는 평균 모드에서 도 3에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다. 도 3과 도 4b를 참조하면, 램프 신호 발생기(55)는 T/G(40)의 제어 하에, 예컨대 T/G(40)로부터 출력된 플래그(FLAG)에 응답하여 제1기울기(S1)보다 큰 기울기를 갖는 제2램프 신호(RAMP2)를 생성한다. 플래그(FLAG)는 사용자에 의하여 설정될 수 있다.
- [0077] 카운터(83)는 T/G(40)로부터 생성된 펄스 형태의 리셋 신호(CNTRST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다.
- [0078] 픽셀 어레이(20)는 로우 디코더(30)로부터 출력되는 각각의 제어 신호(예컨대, RST(N), TG(N), 및 SEL(N))에 응답하여 다수의 컬럼들(CO-CM; 여기서 M은 자연수) 중에서 어느 하나의 컬럼(C1)에 접속된 다수의 픽셀들(N번째 픽셀부터 (N+M)번째 픽셀) 중에서 N번째 픽셀(이하, "제1픽셀"이라 한다)의 리셋 신호 (Vpix(N):reset)와 영상 신호(Vpix(N):signal)를 순차적으로 출력 노드(ND1)로 전송한다.
- [0079] CDS 회로(61)는 제1픽셀로부터 출력되는 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal) 각각에 대하여 각각의 스위칭 신호(S1, S2, S3 및 S4)에 기초하여 샘플링 동작을 수행한다. 즉, CDS 회로(61)는 리셋 신호(Vpix(N):reset)와 영상 신호 (Vpix(N):signal)의 차이(Vpix(N):reset-Vpix(N):signal)에 해당하는 제1상관 이중 샘플된 아날로그 신호(이하, "제1CDS신호"라 한다.)를 출력한다.
- [0080] 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제1램프를 시작할 때(T3), 클럭 신호(CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다. 이때, 카운터(83)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트하기 시작하고, 비교기(73)는 제1입력 단자 (+)를 통하여 입력된 기준 신호(Vb)의 레벨과 제2입력 단자(-)를 통하여 입력된 제1CDS신호(in1)의 레벨을 비교하기 시작한다.
- [0081] 제1천이 시점(T4)까지 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제1램프를 수행함에 따라 비교기(73)의 제2입력 단자(-)로 입력되는 제1CDS 신호(in1)의 레벨도 증가한다. 그러나, 제1천이 시점(T4)까지 제1CDS신호(in1)의 레벨이 기준 신호(Vb)의 레벨보다 낮으므로, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 출력한다.
- [0082] 따라서, 카운터(83)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여, 카운트 시작 시점(T3)에서부터 제1천이 시점(T4)까지 클럭 신호(CNT\_CLK)의 개수를 카운트하고 카운트 결과에 해당하는 제1디지털 코드(CNT\_OUT)를 출력한다.
- [0083] 제1CDS신호(in1)의 레벨이 기준 신호(Vb)의 레벨과 같거나 커질 때(T4), 비교기(73)에 접속된 인버터(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다. 따라서, 카운터(83)는 제1천이 시점(T4)에서 카운트 동작을 멈추고 제1천이 시점(T4)에서의 카운트 값에 해당하는 디지털 코드 (CNT\_OUT)를 홀드한다. 제1램프 종료 시점(T5)에서 인에이블 신호(CNT\_ENb)의 논리는 제2레벨에서 제1레벨로 천이하고, 제1램프 종료 시점(T5)에서 클럭 신호 (CNT\_CLK)의 공급도 종료된다. 이때, 홀드된 디지털 코드(CNT\_OUT)는 (K-1)-비트 카운트 값이다.
- [0084] 즉, 노멀 모드에서 출력되는 디지털 코드(CNT\_OUT)는 K-비트 카운트 값이나, 평균 모드에서 출력되는 디지털 코드(CNT\_OUT)는 (K-1)-비트 카운트 값이다. 따라서, 본 발명의 실시 예에 따른 아날로그-디지털 변환 장치(41)는

평균 모드에서 노멀 모드에 비하여 낮은 해상도를 갖는 디지털 코드를 출력한다.

- [0085] 실시 예에 따라 제1천이 시점(T4)에서 카운터(83)로 공급되는 클럭 신호 (CNT\_CLK)의 공급도 중단될 수 있다.
- [0086] 제1픽셀로부터 출력된 신호에 대한 제1아날로그-디지털 변환 동작이 종료된 후, 픽셀 어레이(20)는 로우 디코더 (30)로부터 출력되는 각각의 제어 신호(예컨대, RST(N+2), TG(N+2), 및 SEL(N+2))에 응답하여 컬럼(C1)에 접속된 다수의 픽셀들(N번째 픽셀-(N+M)번째 픽셀) 중에서 (N+2)번째 픽셀(이하, "제2픽셀"이라 한다)의 리셋 신호 (Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal)를 순차적으로 출력 노드(ND1)로 전송한다.
- [0087] CDS 회로(61)는 제2픽셀로부터 각각 출력된 리셋 신호(Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal) 각각에 대하여 각각의 스위칭 신호(S1, S2, S3 및 S4)에 기초하여 샘플링 동작을 수행한다. 즉, CDS 회로(61)는 리셋 신호(Vpix(N+2):reset)와 영상 신호 (Vpix(N+2):signal)의 차이(Vpix(N+2):reset-Vpix(N+2):signal)에 해당하는 제2상관 이중 샘플된 아날로그 신호(이하, "제2CDS신호"라 한다)를 출력한다.
- [0088] 설명의 편의를 위하여, 도 4b에서 제1CDS 신호와 제2CDS신호가 서로 동일하게 도시되어 있으나 실질적으로는 서로 다른 신호일 수 있다. 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제2램프를 시작할 때(T6), 클럭 신호 (CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다.
- [0089] 이때, 카운터(83)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트하기 시작하고, 비교기(73)는 제1입력 단자(+)를 통하여 입력된 기준 신호(Vb)의 레벨과 제2입력 단자(-)를 통하여 입력된 제2CDS신호(in1)의 레벨을 비교하기 시작한다.
- [0090] 제2천이 시점(T7)까지 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제2램프를 수행함에 따라 제2CDS신호(in1)의 레벨도 증가한다. 그러나, 제2천이 시점(T7)까지 제2CDS신호(in1)의 레벨이 기준 신호(Vb)의 레벨보다 낮으므로, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 생성한다.
- [0091] 따라서, 카운터(83)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여, 제1천이 시점(T4)에서 홀드된 디지털 코드를 시작 디지털 코드로 하여 클럭 신호 (CNT\_CLK)의 개수를 카운트하고 카운트 값에 해당하는 디지털 코드(CNT\_OUT)를 출력한다.
- [0092] 예컨대, 제1픽셀로부터 출력된 신호에 대한 제1아날로그-디지털 변환 동작의 제1천이 시점(T4)에서 홀드된 제1 디지털 코드가 0100000000인 경우, 제2픽셀로부터 출력된 신호에 대한 제2아날로그-디지털 변환 동작에서, 카운터(83)는 제1천이 시점(T4)에서 홀드된 디지털 코드, 즉 0100000000부터 클럭 신호의 개수가 하나씩 증가함에 따라 +1씩 증가하는(또는, -1씩 감소하는) 디지털 코드(CNT\_OUT)를 출력한다.
- [0093] 제2CDS신호(in1)의 레벨이 기준 신호(Vb)의 레벨과 같거나 커질 때(T7), 비교기(73)에 접속된 인버터(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다. 따라서, 카운터(83)는 제2천이 시점(T7)에서 카운트 동작을 멈추고 제2천이 시점(T7)에서의 카운트 값에 해당하는 디지털 코드(CNT\_OUT)를 최종 디지털 코드로서 출력한다.
- [0094] 제2램프 종료 시점(T8)에서 인에이블 신호(CNT\_ENb)의 논리는 제2레벨에서 제1레벨로 천이하고, 제2램프 종료 시점(T8)에서부터 클럭 신호(CNT\_CLK)는 제1레벨을 유지한다.
- [0095] 본 발명의 실시 예에 따른 코드 생성기(80)는 제1아날로그-디지털 변환 동작에서 홀드된 디지털 코드, 예컨대 (K-1)-비트 디지털 값을 리셋하지 않고, 제2아날로그-디지털 변환 동작에서 상기 홀드된 디지털 코드를 시작 디지털 코드로 하여 최종 디지털 코드를 생성할 수 있다. 예컨대, 최종 디지털 코드는 제1픽셀에 대한 디지털 코드, 예컨대 (K-1)-비트 디지털 값과 제2픽셀에 대한 디지털 코드, 예컨대 (K-1)-비트 디지털 값의 합에 해당하는 디지털 코드, 예컨대 (K-1)-비트 디지털 값 또는 K비트 디지털 값일 수 있다.
- [0096] 도 5는 본 발명의 실시 예에 따른 동작 모드에 따라 램프 신호 발생기로부터 출력되는 램프 신호의 특성을 나타내는 그래프이다. 도 5를 참조하면, 노멀 모드 동작시 램프 신호 발생기(55, 56, 또는 58)로부터 생성된 제1램프 신호(a=RAMP1)는 제1기울기(S1)를 갖는다. 도 4b, 도 7b, 또는 도 9b에 도시된 바와 같은 동작을 수행하는 경우, 즉 평균 모드 동작 시에 램프 신호 발생기(55, 56, 또는 58)로부터 생성된 제2램프 신호(b=RAMP2)는 제2기울기(S2)를 갖는다.
- [0097] 또한, 세 개의 픽셀들 각각으로부터 출력된 신호에 대한 아날로그-디지털 변환 동작의 결과들을 합하는 평균 모드 동작 시 램프 신호 발생기(55)로부터 생성된 제3램프 신호(c)는 제3기울기(S3)를 갖는다. 제1기울기(S1)는 제2기울기(S2)보다 작고, 제2기울기(S2)는 제3기울기(S3)보다 작다.

- [0098] 램프 신호 발생기(55)가 상향(upward) 램프 신호를 발생하든 또는 하향 (downward) 램프 신호를 발생하든 제1기울기(S1)의 절대값은 제2기울기(S2)의 절대값보다 작고, 제2기울기(S2)의 절대값은 제3기울기(S3)의 절대값보다 작다.
- [0099] 그래프의 가로 축은 각 램프 신호((a), (b), 또는 (c))의 전압이 타겟 전압 (Vramp)에 도달할 때까지의 시간(또는 클럭 신호의 개수의 카운트 값)을 나타낸다. 예컨대, 제1램프 신호(a=RAMP1)가 타겟 전압(Vramp)에 도달할 때까지 N(예컨대, N은 자연수, N=1024)개의 클럭 신호가 필요한 경우, 제2램프 신호(b=RAMP2)가 타겟 전압(Vramp)에 도달할 때까지 N/2(예컨대, 512)개의 클럭 신호가 필요하다. 이 경우, 제2램프 신호(b=RAMP2)의 기울기(S2)는 제1램프 신호(a=RAMP1)의 기울기(S1)의 두 배이다.
- [0100] 또한, 제1램프 신호(a=RAMP1)가 타겟 전압(Vramp)에 도달할 때까지 N(예컨대, N=1024)개의 클럭 신호가 필요한 경우, 제3램프 신호(c)가 타겟 전압(Vramp)에 도달할 때까지 N/3(예컨대, 342)개의 클럭 신호가 필요함을 알 수 있다. 예컨대, 램프 신호 발생기(55, 56, 또는 58)는 T/G(40)로부터 출력된 플래그(FLAG)에 따라 제1램프 신호(a), 제2램프 신호(b), 또는 제3램프 신호(c)를 출력할 수 있다. 따라서, 평균 모드에서의 아날로그-디지털 변환 시간은 노멀 모드에서의 아날로그-디지털 변환 시간보다 짧다.
- [0101] 도 6은 본 발명의 다른 실시 예에 따른 아날로그-디지털 변환 장치를 포함하는 이미지 촬상 장치의 블록 도를 나타내고, 도 7a는 노멀 모드에서 도 6에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0102] 도 6과 도 7a를 참조하면, 코드 생성기(80)의 카운터(83)는 T/G(40)로부터 생성된 펄스 형태의 리셋 신호(CNTRST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다. 또한, 램프 신호 발생기(56)는 플래그(FLAG)에 응답하여 제1기울기(S1)를 갖는 제1램프 신호(RAMP1)를 발생한다.
- [0103] CDS 회로(63)는 스위치(SW1)와 다수의 커패시터들(C1과 C4)을 포함한다. CDS 회로(63)는, 도 7a에 도시된 각각의 제어 신호(RST(N), TG(N), SEL(N), S1, S3, 및 S4)에 따라, 픽셀 어레이(20)의 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)에 대하여 상관 이중 샘플링을 수행하여 상관 이중 샘플링된 아날로그 신호(in1=Vpix(N):reset-Vpix(N):signal)를 발생한다.
- [0104] 아날로그-디지털 변환기(77)는 상관 이중 샘플링된 아날로그 신호(in1)와 제1램프 신호(RAMP1)를 비교하고 비교 신호인 인에이블 신호(CNT\_ENb)를 생성한다.
- [0105] 램프 신호 발생기(56)로부터 생성된 제1램프 신호(RAMP1)가 하향 램프를 시작할 때(T9)부터 클럭 신호(CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다. 이때, 카운터(83)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트하기 시작하고, 비교기(73)는 제1입력 단자(+)로 입력되는 제1램프 신호(RAMP1)와 제2입력 단자(-)로 입력되는 상관 이중 샘플링된 아날로그 신호(in1)를 비교하기 시작한다. 이때, 램프 신호 발생기(56)는 제1기울기(S1)를 갖는 하향 램프 신호를 발생한다.
- [0106] 천이 시점(T10)까지는 제1램프 신호(RAMP1)의 레벨이 상관 이중 샘플링된 아날로그 신호(in1)의 레벨보다 높기 때문에, 비교기(73)는 제2레벨을 갖는 비교 신호를 발생하고, 상기 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 카운터(83)로 공급한다. 따라서, 카운터(83)는 천이 시점(T10)까지 클럭 신호(CNT\_CLK)의 개수를 카운트하고 카운트 결과에 해당하는 디지털 코드(CNT\_OUT), 예컨대 K-비트 디지털 값을 출력한다.
- [0107] 그러나, 제1램프 신호(RAMP1)가 하향 램프를 수행함에 따라, 상관 이중 샘플링된 아날로그 신호(in1)의 레벨이 제1램프 신호(RAMP1)의 레벨보다 같거나 커질 때 (T10), 즉 천이 시점(T10)에서 비교기(73)에 접속된 인버터(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다. 따라서, 천이 시점(T10)에서 카운터(83)는 카운트 동작을 멈추고 천이 시점 (T10)에서의 카운트 값을 디지털 코드(CNT\_OUT)로서 출력한다.
- [0108] 도 7b는 평균 모드에서 도 6에 도시된 아날로그-디지털 변환 장치의 동작을 과정을 설명하기 위한 타이밍 도이다. 도 6과 도 7b를 참조하면, 램프 신호 발생기(56)는 T/G(40)의 제어하에, 예컨대 T/G(40)로부터 출력된 플래그(FLAG)에 응답하여 제1기울기(S1)보다 큰 기울기를 갖는 제2램프 신호(RAMP2)를 생성한다.
- [0109] 카운터(83)는 T/G(40)로부터 생성된 펄스 형태의 리셋 신호(CNTRST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다.
- [0110] 픽셀 어레이(20)는 로우 디코더(30)로부터 출력되는 각각의 제어신호(예컨대, RST(N), TG(N), 및 SEL(N))에 응

답하여 다수의 컬럼들(CO-CM; 여기서 M은 자연수) 중에서 어느 하나의 컬럼(C1)에 접속된 다수의 픽셀들(N번째 픽셀-(N+M)번째 픽셀) 중에서 N번째 픽셀(이하, "제1픽셀"이라 한다)의 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)를 순차적으로 출력 노드(ND1)로 전송한다.

- [0111] CDS 회로(63)는 제1픽셀로부터 출력된 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal) 각각에 대하여 각각의 스위칭 신호(S1, S3 및 S4)에 기초하여 샘플링 동작을 수행한다. 즉, CDS 회로(63)는 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)의 차이(Vpix(N):reset-Vpix(N):signal)에 해당하는 제1CDS신호(in1)를 출력한다.
- [0112] 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제1하향 램프를 시작할 때 (T11), 클럭 신호(CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다. 이때, 카운터(83)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트하기 시작하고, 비교기(73)는 제1입력 단자(+)를 통하여 입력된 제2램프 신호(RAMP2)의 레벨과 제2입력 단자(-)를 통하여 입력된 제1CDS신호(in1)의 레벨을 비교하기 시작한다.
- [0113] 제1천이 시점(T12)까지 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제1램프를 수행함에 따라 비교기(73)의 제2입력 단자(-)로 입력되는 제1CDS신호(in1)의 레벨도 감소한다. 그러나, 제1천이 시점(T12)까지는 제1CDS신호(in1)의 레벨이 제2램프 신호(RAMP2)의 레벨보다 낮기 때문에, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 출력한다. 따라서, 카운터(83)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여, 제1천이 시점(T12)까지 클럭 신호(CNT\_CLK)의 개수를 카운트하고 카운트 결과에 해당하는 제1디지털 코드(CNT\_OUT)를 출력한다. 이때 유효한 제1디지털 코드(CNT\_OUT)는 (K-1)-비트 디지털 값이다.
- [0114] 제1CDS신호(in1)의 레벨이 제2램프 신호(RAMP2)의 레벨과 같거나 커질 때(T12), 즉 제1천이 시점(T12)에서 비교기(73)에 접속된 인버터(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다. 따라서, 카운터(83)는 제1천이 시점(T12)에서 카운트 동작을 멈추고 그때의 카운트 값에 해당하는 제1디지털 코드(CNT\_OUT)를 홀드한다.
- [0115] 제1픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작이 종료된 후, 제2픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작을 수행하기 위하여, 픽셀 어레이(20)는 로우 디코더(30)로부터 출력되는 각각의 제어 신호(예컨대, RST(N+2), TG(N+2), 및 SEL(N+2))에 응답하여 컬럼(C1)에 접속된 다수의 픽셀들(N번째 픽셀-(N+M)번째 픽셀) 중에서 (N+2)번째 픽셀(이하, "제2픽셀"이라 한다)의 리셋 신호(Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal)를 순차적으로 출력 노드(ND1)로 전송한다.
- [0116] CDS 회로(63)는 제2픽셀로부터 출력된 리셋 신호(Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal) 각각에 대하여 각각의 스위칭 신호(S1, S3 및 S4)에 기초하여 샘플링 동작을 수행한다.
- [0117] 즉, CDS 회로(63)는 리셋 신호(Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal)의 차이(Vpix(N+2):reset-Vpix(N+2):signal)에 해당하는 제2CDS신호(in1)를 출력한다. 설명의 편의를 위하여, 도 7b에서 제1CDS 신호와 제2CDS신호는 서로 동일하게 도시되어 있으나 실질적으로는 서로 다른 신호일 수 있다.
- [0118] 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)가 제2 하향 램프를 시작할 때 (T13), 클럭 신호(CNT\_CLK)는 코드 생성기(80)의 카운터(83)로 공급된다. 이때, 카운터(83)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트하기 시작하고, 비교기(73)는 제1입력 단자(+)를 통하여 입력된 제2램프 신호(RAMP2)의 레벨과 제2입력 단자(-)를 통하여 입력된 제2CDS신호(in1)의 레벨을 비교하기 시작한다.
- [0119] 제2천이 시점(T14)까지 제2기울기(S2)를 갖는 제2램프 신호(RAMP2)는 제2하향 램프를 한다. 그러나, 제2천이 시점(T14)까지 제2CDS신호(in1)의 레벨이 제2램프 신호(RAMP2)의 레벨보다 낮으므로, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 생성한다.
- [0120] 따라서, 카운터(83)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여, 제1천이 시점(T12)에서 홀드된 제1 디지털 코드(CNT\_OUT)를 시작 디지털 코드로 하여 클럭 신호(CNT\_CLK)에 응답하여 제2디지털 코드(CNT\_OUT)를 출력한다.
- [0121] 예컨대, 제1픽셀에 대한 아날로그-디지털 변환 과정의 제1천이 시점(T12)에서 홀드된 제1디지털 코드(CNT\_OUT)가 "0100000000"인 경우, 카운터(83)는 T13시점에서 입력되는 클럭 신호(CNT\_CLK)에 응답하여 "0100000000"부터 +1씩 증가하는(또는, -1씩 감소하는) 제2디지털 코드(CNT\_OUT)를 출력한다. 이때, 유효한 제2디지털 코드(CNT\_OUT)는 (K-1)-비트 디지털 값 또는 K-비트 디지털 값일 수 있다.
- [0122] 제2CDS신호(in1)의 레벨이 제2램프 신호(RAMP)의 레벨과 같거나 커질 때 (T14), 비교기(73)에 접속된 인버터

(75)로부터 출력되는 인에이블 신호(CNT\_ENb)의 논리는 제1레벨에서 제2레벨로 천이한다. 따라서, 카운터(83)는 제2천이 시점 (T14)에서의 제2디지털 코드(CNT\_OUT)를 최종 디지털 코드로서 출력한다.

[0123] 본 발명의 실시 예에 따른 코드 생성기(80)는 제1픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 과정에서 홀드된 제1디지털 코드를 리셋하지 않고 제2픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 과정에서 상기 홀드된 제1디지털 코드를 시작 디지털 코드로 하여 제2디지털 코드를 생성할 수 있다.

[0124] 도 8은 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 블록 도를 나타낸다. 도 8을 참조하면, 이미지 촬상 장치는 하나의 컬럼(C1)에 접속된 다수의 픽셀(N-번째 픽셀부터 (N+M)-번째 픽셀)과 아날로그-디지털 변환 장치(41)를 포함한다.

[0125] 아날로그-디지털 변환 장치(41)는 아날로그-디지털 변환 블록(50), 램프 신호 발생기(58), 및 코드 생성기(90)를 포함한다. 아날로그-디지털 변환 블록(50)은 픽셀 어레이(20)로부터 출력된 아날로그 신호를 램프 신호 발생기(58)에 의하여 생성된 램프 신호(RAMP1 또는 RAMP2)에 기초하여 인에이블 신호, 즉 디지털 신호(CNT\_ENb)로 변환하기 위한 ADC(77)를 포함한다.

[0126] 아날로그-디지털 변환 블록(50)은 픽셀 어레이(20)로부터 출력된 아날로그 신호에 CDS를 수행하여 생성된 상관 이중 샘플된 아날로그 신호를 ADC(77)로 공급하기 위한 CDS 회로(65)를 더 포함한다.

[0127] 코드 생성기(90)는 클럭 신호(CNT\_CLK)와 아날로그-디지털 변환 블록(50)으로부터 출력된 디지털 신호(CNT\_ENb)에 기초하여 디지털 코드(CNT\_OUT)를 생성한다. 코드 생성기(90)의 카운터(93)는 인에이블 신호(CNT\_ENb), 클럭신호 (CNT\_CLK), 및 업/다운 신호(UP/DN)를 수신하고, 인에이블 신호(CNT\_ENb)와 업/다운 신호(UP/DN)에 기초하여 클럭 신호(CNT\_CLK)의 개수를 다운 카운트 또는 업 카운트하여 디지털 코드(CNT\_OUT)를 생성한다.

[0128] 예컨대, 카운터(93)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 카운트 동작을 수행하고 제2레벨을 갖는 인에이블 신호(CNT\_ENb)에 응답하여 상기 카운트 동작을 중지하고 리셋 신호(CNTRST)에 응답하여 리셋 동작 또는 초기화 동작을 수행한다.

[0129] 또한, 인에이블 신호(CNT\_ENb)가 제1레벨을 유지하는 동안, 카운터(93)는 제1레벨을 갖는 업/다운 신호(UP/DN)에 응답하여 다운-카운트 동작을 수행하고 제2레벨을 갖는 업/다운 신호(UP/DN)에 응답하여 업-카운트 동작을 수행한다. 예컨대, 리셋 신호(CNTRST)와 업/다운 신호(UP/DN)는 T/G(40)로부터 생성될 수 있다.

[0130] 본 발명의 실시 예에 따른 코드 발생기(90)는 램프 신호(RAMP1, 또는 RAMP2)의 오프셋 때문에 발생하는 아날로그-디지털 변환의 오차를 제거하기 위하여 카운트 동작, 예컨대 다운-카운트 동작을 수행한다.

[0131] 코드 생성기(90)는 카운터(93)로부터 출력된 디지털 코드를 저장하고 출력하기 위한 연산기를 더 포함할 수 있다. 연산기는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행할 수 있다.

[0132] 도 8과 도 9a를 참조하여 노멀 모드로 동작하는 아날로그-디지털 변환 장치의 동작을 설명하면 다음과 같다. 카운터(93)는 T/G(40)로부터 출력된 펄스 형태의 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다. 그리고, 코드 생성기(90)로 제1레벨을 갖는 업/다운 신호(UP/DN)가 공급된다.

[0133] 픽셀 어레이(20)의 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 리셋 신호 (Vpix(N):reset)는 제1커패시터(C1)에 의하여 비교기(73)의 제2입력 단자(-)로 공급된다. 램프 신호 발생기(58)로부터 출력된 제1램프 신호(RAMP1)가 제1하향 램프를 시작할 때(T15), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다. 따라서, 카운터 (93)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제1레벨을 갖는 업/다운 신호 (UP/DN)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 카운트한다. 이때 카운터(93)는 미리 정해진 디지털 코드로부터 클럭 신호(CNT\_CLK)의 개수에 따라 -1씩 감소하는 디지털 코드(CNT\_OUT)를 출력한다.

[0134] 제1램프 신호(RAMP1)의 레벨이 리셋 신호(Vpix(N):reset)의 레벨보다 낮아질 때(T16), 비교기(73)는 제1레벨을 갖는 비교 신호를 출력하므로, 비교기(73)에 접속된 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 출력한다. 따라서 카운터(73)는 제1천이 시점(T16)에서 다운-카운트 동작을 멈추고 제1천이 시점(T16)에서의 카운트 값에 해당하는 디지털 코드(CNT\_OUT)를 홀드한다. T15부터 T17까지의 구간을 다운-카운트 동작이 수행되는 오프셋(또는 리셋) 샘플링 구간이라 한다.

[0135] T17시점에서 램프 신호(RAMP1)의 레벨이 리셋 신호(Vpix(N):reset)의 레벨, 즉 비교기(73)의 제2입력 단자(-)의 전압(in1)보다 커지면, 비교기(73)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생하고, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생한다.

- [0136] 트랜스퍼 TR(Tx)의 게이트로 공급되는 제어신호(TG(N))에 의하여 제1픽셀로부터 출력된 영상 신호(Vpix(N):signal)는 제1커패시터(C1)로 공급된다. 따라서, 제1커패시터(C1)에는 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)의 차이에 해당하는 전압이 충전된다. 영상 신호(Vpix(N):signal)에 대한 샘플링이 진행되는 동안, 업/다운 신호(UP/DN)는 제2레벨로 천이한다.
- [0137] 램프 신호 발생기(58)로부터 출력된 제1램프 신호(RAMP1)가 제2하향 램프를 시작할 때(T18), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다. 따라서, 카운터(93)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제2레벨을 갖는 업/다운 신호(UP/DN)에 응답하여 클럭 신호(CNT\_CLK)의 개수를 업-카운트하기 시작한다.
- [0138] 이때 카운터(93)는 제1천이 시점(T16)에서 홀드된 디지털 코드를 시작 디지털 코드로 하여 제2천이 시점(T19)까지 클럭 신호(CNT\_CLK)의 개수가 하나씩 증가할 때마다 +1씩 증가하는 디지털 코드를 출력한다. 제1램프 신호(RAMP1)가 제2하향 램프를 진행함에 따라, 비교기(73)의 제1입력 단자(+)로 공급되는 제1램프 신호(RAMP1)의 레벨도 감소한다.
- [0139] 따라서, 비교기(73)의 제1입력 단자(+)로 공급되는 제1램프 신호(RAMP1)의 레벨이 비교기(73)의 제2입력 단자(-)로 공급되는 상관 이중 샘플링 신호(in1)보다 같거나 낮아질 때(T19), 즉 제2천이 시점(T19)에서 비교기(73)는 제1레벨을 갖는 비교 신호를 생성하므로, 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 생성한다.
- [0140] 제2천이 시점(T19)에서 카운터(93)는 업-카운트 동작을 멈추고 제2천이 시점(T19)에서의 업-카운트 값에 해당하는 디지털 코드를 홀드한다. T18부터 T20까지의 구간을 업-카운트 동작이 수행되는 신호 레벨 샘플링 구간이라 한다.
- [0141] 노멀 모드에서 각각의 픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환을 수행하기 전에, 카운터(93)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다.
- [0142] 도 9b는 평균 모드에서 도 8에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도를 나타낸다. 도 8과 도 9b를 참조하면, 코드 생성기(90)는 T/G(40)로부터 출력된 펄스 형태의 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다. 그리고, 코드 생성기(90)로 제1레벨을 갖는 업/다운 신호(UP/DN)가 공급된다.
- [0143] 픽셀 어레이(20)의 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 리셋 신호(Vpix(N):reset)는 제1커패시터(C1)에 의하여 비교기(73)의 제2입력 단자(-)로 공급된다. 즉, 리셋 신호(Vpix(N):reset)에 대한 샘플링이 수행된다. 램프 신호 발생기(58)로부터 출력된 제2램프 신호(RAMP2)가 제1하향 램프를 시작할 때(T31), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다.
- [0144] 따라서, 카운터(93)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제1레벨을 갖는 업/다운 신호(UP/DN)에 응답하여, 인에이블 신호(CNT\_ENb)의 레벨이 제1레벨에서 제2레벨로 천이할 때까지, 즉 제1천이 시점(T32)까지 클럭 신호(CNT\_CLK)의 개수를 다운-카운트한다. 이때 카운터(93)는 미리 정해진 디지털 코드로부터 클럭 신호(CNT\_CLK)의 개수가 하나씩 증가함에 따라 -1씩 감소하는 디지털 코드를 출력한다.
- [0145] 제2램프 신호(RAMP2)의 레벨이 리셋 신호(Vpix(N):reset)의 레벨보다 낮아질 때(T32), 비교기(73)는 제1레벨을 갖는 비교 신호를 출력하므로, 비교기(73)에 접속된 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 출력한다. 따라서 카운터(93)는 제1천이 시점(T32)에서 다운-카운트 동작을 멈추고 제1천이 시점(T32)에서의 카운트 값에 해당하는 디지털 코드를 업-카운트 동작이 시작하는 시점(T34)까지 홀드한다. T31에서 T33까지의 구간을 다운-카운트 동작이 수행되는 오프셋 샘플링 구간이라 한다.
- [0146] T33시점에서 제2램프 신호(RAMP2)의 레벨이 리셋 신호(Vpix(N):reset)의 레벨, 즉 비교기(73)의 제2입력 단자의 전압(in1)보다 커지면, 비교기(73)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생하고, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생한다.
- [0147] 트랜스퍼 TR(Tx)의 게이트로 공급되는 제어신호(TG(N))에 의하여 제1픽셀로부터 출력된 영상 신호(Vpix(N):signal)는 제1커패시터(C1)로 공급된다. 따라서, 제1커패시터(C1)에는 리셋 신호(Vpix(N):reset)와 영상 신호(Vpix(N):signal)의 차이에 해당하는 전압이 충전된다. 영상 신호(Vpix(N):signal)에 대한 샘플링이 진행되는 동안, 업/다운 신호(UP/DN)는 제2레벨로 천이한다.
- [0148] 램프 신호 발생기(58)로부터 출력된 제2램프 신호(RAMP2)가 제2하향 램프를 시작할 때(T34), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다. 따라서, 카운터(93)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제2레벨을 갖는 업/다운 신호(UP/DN)에 응답하여, 인에이블 신호(CNT\_ENb)의 레벨이 제1레벨에서 제2레벨로 천이하는



시점(T35), 즉 제2천이 시점(T35)까지 클럭 신호(CNT\_CLK)의 개수를 업-카운트한다.

- [0149] 이때 카운터(93)는 제1천이 시점(T32)에서 홀드된 디지털 코드를 시작 디지털 코드로 하여 제2천이 시점(T35)까지 클럭 신호(CNT\_CLK)의 개수가 하나씩 증가할 때마다 +1씩 증가하는 디지털 코드를 출력한다. 제2램프 신호(RAMP2)가 제2하향 램프를 진행함에 따라, 비교기(73)의 제1입력 단자(+)로 공급되는 제2램프 신호(RAMP2)의 레벨도 감소한다.
- [0150] 따라서, 비교기(73)의 제1입력 단자로 공급되는 제2램프 신호(RAMP2)의 레벨이 비교기(73)의 제2입력 단자(-)로 공급되는 상관 이중 샘플된 신호(Vpix(N):reset-Vpix(N):signal=in1)보다 같거나 낮아질 때, 즉 제2천이 시점(T35)에서 비교기(73)는 제1레벨을 갖는 비교 신호를 생성하므로, 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 생성한다.
- [0151] 제2천이 시점(T35)에서 카운터(93)는 업-카운트 동작을 멈추고 제2천이 시점(T35)에서의 업-카운트 값에 해당하는 디지털 코드를 T37시점까지 홀드한다.
- [0152] 계속하여, 픽셀 어레이(20)의 제2픽셀, 예컨대 (N+2)번째 픽셀로부터 출력된 리셋 신호(Vpix(N+2):reset)는 제1커패시터(C1)에 의하여 비교기(73)의 제2입력 단자(-)로 공급된다. 즉, 리셋 신호(Vpix(N+2):reset)에 대한 샘플링이 수행된다.
- [0153] 그리고, 제1레벨을 갖는 업/다운 신호(UP/DN)는 카운터(93)로 공급된다.
- [0154] 램프 신호 발생기(58)로부터 출력된 제2램프 신호(RAMP2)가 제3하향 램프를 시작할 때(T37), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다.
- [0155] 따라서, 카운터(93)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제1레벨을 갖는 업/다운 신호(UP/DN)에 응답하여, 인에이블 신호(CNT\_ENb)의 레벨이 제1레벨에서 제2레벨로 천이할 때까지, 즉 제3천이 시점(T38)까지 클럭 신호(CNT\_CLK)의 개수를 다운-카운트한다. 이때 카운터(93)는 제2천이 시점(T35)에서 홀드된 디지털 코드로부터 클럭 신호(CNT\_CLK)의 개수가 하나씩 증가함에 따라 -1씩 감소하는 디지털 코드를 출력한다.
- [0156] 제2램프 신호(RAMP2)의 레벨이 리셋 신호(Vpix(N+2):reset)의 레벨보다 낮아질 때(T38), 비교기(73)는 제1레벨을 갖는 비교 신호를 출력하므로, 비교기(73)에 접속된 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 출력한다. 따라서 카운터(73)는 제3천이 시점(T38)에서 다운-카운트 동작을 멈추고 제3천이 시점(T38)에서의 카운트 값에 해당하는 디지털 코드를 업-카운트 동작이 다시 시작하는 시점(T40)까지 홀드한다. T37에서 T39까지의 구간을 제2픽셀에 대한 다운-카운트 동작이 수행되는 오프셋 샘플링 구간이라 한다.
- [0157] T39시점에서 제2램프 신호(RAMP2)의 레벨이 리셋 신호(Vpix(N+2):reset)의 레벨, 즉 비교기(73)의 제2입력 단자의 전압(in1)보다 커지면, 비교기(73)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생하고, 비교기(73)에 접속된 인버터(75)는 제1레벨을 갖는 인에이블 신호(CNT\_ENb)를 발생한다.
- [0158] 제2픽셀의 트랜스퍼 TR(Tx)의 게이트로 공급되는 제어신호(TG(N+2))에 의하여 제2픽셀로부터 출력된 영상 신호(Vpix(N+2):signal)는 제1커패시터(C1)로 공급된다. 따라서, 제1커패시터(C1)에는 리셋 신호(Vpix(N+2):reset)와 영상 신호(Vpix(N+2):signal)의 차이에 해당하는 전압이 충전된다. 영상 신호(Vpix(N+2):signal)에 대한 샘플링이 진행되는 동안, 업/다운 신호(UP/DN)는 제2레벨로 천이한다.
- [0159] 램프 신호 발생기(58)로부터 출력된 제2램프 신호(RAMP2)가 제4하향 램프를 시작할 때(T40), 클럭 신호(CNT\_CLK)는 카운터(93)로 공급된다.
- [0160] 따라서, 카운터(93)는, 제1레벨을 갖는 인에이블 신호(CNT\_ENb)와 제2레벨을 갖는 업/다운 신호(UP/DN)에 응답하여, 인에이블 신호(CNT\_ENb)의 레벨이 제1레벨에서 제2레벨로 천이하는 시점(T41), 즉 제4천이 시점(T41)까지 클럭 신호(CNT\_CLK)의 개수를 업-카운트한다.
- [0161] 이때 카운터(93)는 제3천이 시점(T38)에서 홀드된 디지털 코드를 시작 디지털 코드로 하여 제4천이 시점(T41)까지 클럭 신호(CNT\_CLK)의 개수가 하나씩 증가할 때마다 +1씩 증가하는 디지털 코드를 출력한다.
- [0162] 제2램프 신호(RAMP2)가 제4하향 램프를 진행함에 따라, 비교기(73)의 제1입력 단자(+)로 공급되는 제2램프 신호(RAMP2)의 레벨도 감소한다.
- [0163] 따라서, 비교기(73)의 제1입력 단자로 공급되는 제2램프 신호(RAMP2)의 레벨이 비교기(73)의 제2입력 단자(-)로 공급되는 상관 이중 샘플된 신호(Vpix(N+2):reset-Vpix(N+2):signal=in1)보다 같거나 낮아질 때, 즉 제4천이

시점(T41)에서 비교기(73)는 제1레벨을 갖는 비교 신호를 생성하므로, 인버터(75)는 제2레벨을 갖는 인에이블 신호(CNT\_ENb)를 생성한다.

- [0164] 제4천이 시점(T41)에서 카운터(93)는 업-카운트 동작을 멈추고 제4천이 시점 (T41)에서의 업-카운트 값에 해당하는 디지털 코드를 홀드한다.
- [0165] 도 10은 본 발명의 다른 실시 예에 따른 이미지 촬상 장치의 블록도를 나타내고, 도 13은 본 발명의 또 다른 실시 예에 따른 아날로그-디지털 변환 방법을 설명하기 위한 흐름도이다. 도 10과 도 13을 참조하면, 이미지 촬상 장치(100)는 픽셀 어레이(20)와 아날로그-디지털 변환 장치(41)를 포함한다.
- [0166] 아날로그-디지털 변환 장치(41)는 픽셀 어레이(20)의 픽셀로부터 출력된 아날로그 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 변환기(111), 아날로그-디지털 변환기(111)로부터 출력된 디지털 신호에 상관 이중 샘플링을 수행하여 상관 이중 샘플된 디지털 신호를 생성하기 위한 디지털 CDS 회로(113), 및 디지털 CDS 회로(113)로부터 출력된 상관 이중 샘플된 디지털 신호의 논리에 기초하여 디지털 코드를 발생하기 위한 디지털 코드 생성기(80)를 포함한다.
- [0167] 평균 모드에서, 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 제1아날로그 신호를 제1디지털 코드로 변환하는 과정은 다음과 같다. 디지털 코드 생성기(80)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다.
- [0168] 아날로그-디지털 변환기(111)는 제1픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환한다(S52단계). 디지털 CDS 회로(113)는 제1디지털 신호에 CDS를 수행하여 제1CDS 신호를 발생한다(S54단계).
- [0169] 디지털 코드 생성기(80)는 제1CDS 신호의 논리가 제1레벨(예컨대, 로우 레벨, 또는 "0")에서 제2레벨(예컨대, 하이 레벨 또는 "1")로 천이할 때(이를 "제1천이 시점"이라 한다)까지 카운트 시작 시점, 예컨대 클럭 신호(CNT\_CLK)가 입력되는 시점에서부터 클럭 신호(CNT\_CLK)의 개수를 카운트하고 상기 제1천이 시점에서의 카운트 값에 해당하는 제1디지털 코드를 홀드한다(S56단계).
- [0170] 평균 모드에서 제2픽셀, 예컨대 (N+2)-번째 픽셀로부터 출력된 제2아날로그 신호를 제2디지털 코드로 변환하는 과정은 다음과 같다.
- [0171] 아날로그-디지털 변환기(111)는 제2픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호로 변환한다(S58단계). CDS 회로(113)는 제2디지털 신호에 CDS를 수행하여 제2CDS 신호를 발생한다(S60단계).
- [0172] 디지털 코드 생성기(80)는 제2CDS 신호의 논리가 제1레벨에서 제2레벨로 천이할 때(이를 "제2천이 시점"이라 한다)까지 카운트 시작 시점, 예컨대 클럭 신호(CNT\_CLK)가 입력되는 시점에서의 카운트 값, 즉 상기 제1천이 시점에서의 제1디지털 코드를 시작 디지털 코드로 하여 클럭 신호(CNT\_CLK)의 개수를 카운트하고 상기 제2천이 시점에서의 카운트 값에 해당하는 제2디지털 코드를 최종 디지털 코드로 출력한다(S62단계). 제2픽셀로부터 출력된 아날로그 신호에 대한 아날로그-디지털 변환 동작이 종료되면 코드 생성기(80)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다(S64단계).
- [0173] 노멀 모드에서 T/G(40)는 각각의 픽셀로부터 출력된 아날로그 신호에 대한 아날로그-디지털 변환 동작이 종료된 후 리셋 신호(CNTRST)를 발생한다. 따라서 코드 생성기(80)는 리셋 신호 (CNTRST)에 응답하여 리셋 동작을 수행한다.
- [0174] 그러나, 평균 모드에서 T/G(40)는 제1픽셀로부터 출력된 아날로그 신호에 대한 아날로그-디지털 변환 동작이 종료된 후라도 리셋 신호(CNTRST)를 발생하지 않는다. 따라서, 코드 발생기(80)는 천이 시점에서의 디지털 코드를 홀드한다.
- [0175] 도 11은 본 발명의 실시 예에 따른 아날로그-디지털 변환 방법을 설명하기 위한 흐름도이다. 도 3, 도 5, 도 8, 및 도 11을 참조하면, 아날로그-디지털 변환 장치(41)가 ADC(71)를 포함하는 경우, ADC(71)는 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환한다(S10단계).
- [0176] 코드 생성기(80)는 제1디지털 신호(CNT\_ENb)와 클럭 신호(CNT\_CLK)에 기초하여 제1디지털 코드(CNT\_OUT)를 생성하고 제1디지털 신호 (CNT\_ENb)의 논리가 천이할 때에 생성된 제1디지털 코드(CNT\_OUT)를 홀드한다(S20단계).
- [0177] 계속하여, 아날로그-디지털 변환 장치(41)의 ADC(71)는 제2픽셀, 예컨대 (N+2)-번째 픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호(CNT\_ENb)로 변환한다(S30단계).
- [0178] 코드 생성기(80)는 제2디지털 신호(CNT\_ENb)와 클럭 신호 (CNT\_CLK)에 기초하여 제1디지털 코드로부터 제2디지

털 코드를 생성하고, 제2디지털 신호(CNT\_ENb)의 논리가 천이할 때 생성된 제2디지털 코드를 최종 디지털 코드로서 출력한다(S40단계). 그리고 코드 생성기(80)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다(S50 단계).

- [0179] 도 12는 본 발명의 다른 실시 예에 따른 아날로그-디지털 변환 방법을 설명하기 위한 흐름도이다. 도 3, 도 5, 도 8, 및 도 11을 참조하면, 아날로그-디지털 변환 장치(41)는 ADC(71)이외에 아날로그 CDS 회로(도 3의 61, 도 6의 63, 또는 도 8의 65)를 더 포함한다. 도 12에 도시된 방법은 도 11에 도시된 방법 이외에 제1CDS 동작(S5단계)과 제2CDS 동작(S25)을 더 수행한다.
- [0180] 아날로그 CDS 회로(도 3의 61, 도 6의 63, 또는 도 8의 65)는 제1픽셀로부터 출력된 제1픽셀 신호에 상관 이중 샘플링을 수행하여 제1아날로그 신호에 해당하는 제1CDS 신호를 생성한다(S5단계). 또한, 아날로그 CDS 회로(도 3의 61, 도 6의 63, 또는 도 8의 65)는 제2픽셀로부터 출력된 제2픽셀 신호에 상관 이중 샘플링을 수행하여 제2아날로그 신호에 해당하는 제2CDS 신호를 생성한다(S25단계). 그리고 코드 생성기(80)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다(S50단계).
- [0181] 본 명세서에서는 설명의 편의를 위하여 N번째 픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작과 (N+2)-번째 픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작을 예로 들어 설명했으나, 본 발명의 실시 예에 따른 아날로그-디지털 변환 장치는 N번째 픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작과 (N+M)-번째 픽셀로부터 출력된 신호에 대한 아날로그-디지털 변환 동작에도 적용될 수 있음은 당연하다.
- [0182] 또한, N번째 픽셀과 (N+2)-번째 픽셀 각각은 스펙트럼의 그린 영역, 레드 영역, 및 블루 영역 중에서 어느 하나의 영역을 감지하기 위한 픽셀이다.
- [0183] 상술한 바와 같이, 도 3, 도 6, 및 도 8의 실시 예에서는 카운터(83)로 구현되는 코드 생성기(80)를 포함하는 아날로그-디지털 변환 블록(50)을 예로 들어 설명했다. 이하, 도 14 내지 도 16을 참조하여 아날로그-디지털 변환 방법에 따라 도 3, 도 6, 또는 도 8의 코드 생성기(80)와 서로 다른 형태로 구현되는 코드 생성기 (125)를 구비하는 아날로그-디지털 변환 장치(41)를 예로 들어 설명한다.
- [0184] 도 14는 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 블럭도를 나타내고, 도 16은 본 발명의 또 다른 실시 예에 따른 아날로그-디지털 변환 방법을 설명하기 위한 흐름도이다.
- [0185] 도 14에 도시된 이미지 촬상 장치(10)는 싱글 슬로프 ADC(single slope ADC)와 서로 다른 방식으로 아날로그-디지털 변환 동작을 수행하는 아날로그-디지털 변환 장치(41)를 포함하는 이미지 촬상 장치이다.
- [0186] 상기 아날로그-디지털 변환 장치(41)의 ADC(123)는 시그마-델타(또는 델타-시그마) 아날로그-디지털 변환기, 연속 근사(successive approximation) 아날로그-디지털 변환기, 순환(cyclic) 아날로그-디지털 변환기, 또는 파이프 라인드 아날로그-디지털 변환기로 구현될 수 있다. 이 경우, 아날로그-디지털 변환 블록(50)은 제1픽셀 또는 제2픽셀로부터 출력된 픽셀 신호를 디지털 코드로 변환하고, 변환된 디지털 코드를 코드 생성기(125)로 출력한다.
- [0187] 예컨대, 아날로그-디지털 변환 블록(50)이 연속 근사 아날로그-디지털 변환기로 구현되는 경우, 상기 아날로그-디지털 변환 블록(50)은 카운터의 일종인 연속 근사 레지스터(미 도시)를 이용하여 제1픽셀 또는 제2픽셀로부터 출력된 픽셀 신호를 디지털 코드로 변환한다.
- [0188] 도 14를 참조하면, 이미지 촬상 장치(10)는 픽셀 어레이(20)와 아날로그-디지털 변환 장치(41)를 포함한다. 아날로그-디지털 변환 장치(41)는 픽셀 어레이(20)의 제1픽셀과 제2픽셀로부터 각각 출력된 픽셀 신호에 대해 상관 이중 샘플링을 각각 수행하여 각각의 아날로그 CDS 신호로 변환하기 위한 CDS 회로(121), 상기 각각의 아날로그 CDS 신호를 각각의 디지털 코드로 변환하기 위한 아날로그-디지털 변환기(123), 및 상기 아날로그-디지털 변환기(123)로부터 출력된 각각의 디지털 코드를 연산, 예컨대 합산하기 위한 코드 생성기(80)를 포함한다.
- [0189] 코드 생성기(80)는 아날로그-디지털 변환기(123)로부터 출력된 디지털 코드들 중에서 적어도 어느 하나를 저장하기 위한 메모리(127)와 디지털 코드들을 연산하기 위한 연산기(129)를 포함한다. 예컨대, 연산기(129)는 가산기로 구현될 수 있다. 픽셀 어레이(20)의 어느 하나의 컬럼에 접속된 다수의 픽셀들 중에서 제1픽셀 예컨대, N번째 픽셀이 선택된다(S70).
- [0190] T/G(40)는 현재 모드가 노멀 모드인지 평균 모드 인지를 판단한다(S72). 현재 모드는 사용자가 이미지 촬상 장치의 디스플레이 장치의 유저 인터페이스를 통하여 또는 상기 이미지 촬상 장치의 구현된 모드 선택 장치, 예컨대

대 버튼 또는 슬라이드 스위치를 통하여 선택할 수 있다.

- [0191] 현재 모드가 노멀 모드인 경우, 아날로그-디지털 변환 장치(41)가 제1픽셀로부터 출력된 픽셀 신호를 제1디지털 코드로 변환하는 과정을 설명하면 다음과 같다. 노멀 모드에서, 제1디지털 코드는 K-비트 디지털 신호일 수 있다.
- [0192] CDS회로(121)는 제1픽셀로부터 출력된 픽셀 신호에 상관 이중 샘플링을 수행하여 제1CDS 신호를 생성한다. ADC(123)는 제1CDS 신호를 제1디지털 코드로 변환한다(S74). ADC(123)가 시그마-델타(또는 델타-시그마) 아날로그-디지털 변환기, 연속 근사(successive approximation) 아날로그-디지털 변환기, 순환(cyclic) 아날로그-디지털 변환기, 또는 파이프 라인드 아날로그-디지털 변환기로 구현된 경우, ADC(123)는 제1CDS 신호를 제1디지털 코드로 변환한다(S74).
- [0193] 코드 생성기(80)는 아날로그-디지털 변환기(123)로부터 출력된 제1디지털 코드를 출력한다(S76). 또한 코드 생성기(125)는 상기 제1디지털 코드를 메모리(127)에 저장한 후, 소정의 시간이 지난 뒤에 연산기(129)를 통하여 출력할 수 있다. 코드 생성기(125)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다(S73).
- [0194] 현재 모드가 평균 모드인 경우(S82), 아날로그-디지털 변환 장치(41)의 동작을 다음과 같다. 우선, 제1픽셀, 예컨대 N번째 픽셀로부터 출력된 픽셀 신호를 제1디지털 코드, 예컨대 (K-1)-비트 디지털 신호로 변환하는 과정은 다음과 같다.
- [0195] CDS회로(121)는 제1픽셀로부터 출력된 픽셀 신호에 대해 상관 이중 샘플링을 수행하여 제1CDS 신호를 생성한다. ADC(123)는 제1CDS 신호를 제1디지털 코드로 변환한다(S82). 제1디지털 코드는 메모리(127)에 저장(또는 래치)된다(S84). 예컨대, 노멀 모드에서 출력되는 유효한 디지털 코드가 10-비트 디지털 신호인 경우, 평균 모드에서 생성된 유효한 제1디지털 코드는 9-비트 디지털 신호이다.
- [0196] 그 다음으로, 제2픽셀로부터 출력된 픽셀 신호를 제2디지털 코드로 변환하는 과정은 다음과 같다. 제1픽셀이 접속된 컬럼에 접속된 제2픽셀 예컨대, (N+2)번째 픽셀이 선택된다(S86). CDS회로(121)는 제2픽셀로부터 출력된 픽셀 신호에 대해 상관 이중 샘플링을 수행하여 제2CDS 신호를 생성한다. ADC(123)는 제2CDS 신호를 제2디지털 코드로 변환한다(S88). 예컨대, 노멀 모드에서 출력되는 유효한 디지털 코드가 10-비트 디지털 신호인 경우, 평균 모드에서 생성된 유효한 제2디지털 코드는 9-비트 디지털 신호이다. 따라서, 제1디지털 코드 또는 제2디지털 코드는 00000000부터 11111111까지 중에서 어느 하나의 값을 가질 수 있다.
- [0197] 연산기(129)는 메모리(127)에 저장된 제1디지털 코드, 예컨대 9-비트 디지털 신호와 ADC(123)로부터 출력된 제2 디지털 코드, 예컨대 9-비트 디지털 신호를 수신하여 연산하고(S90), 연산 결과에 따라 상기 제1디지털 코드와 상기 제2디지털 코드의 합에 해당하는 제3디지털 코드, 예컨대 10-비트 디지털 신호를 최종적으로 출력한다(S92). 코드 생성기(125)는 리셋 신호(CNTRST)에 응답하여 리셋 동작을 수행한다(S94). 따라서, 평균 모드에서 각각 생성된 디지털 신호의 해상도는 노멀 모드에서 생성된 디지털 신호의 해상도 보다 낮다.
- [0198] 이미지 촬상 장치(10)의 T/G(40) 또는 마이크로프로세서(미 도시)는 프레임 종료 여부를 판단하고 그 판단 결과에 따라 S70 내지 S80을 반복적으로 수행하거나 아날로그-디지털 변환 동작을 종료한다(S80).
- [0199] 상술한 바와 같이, 평균 모드에서 아날로그-디지털 변환 장치(41)는 제1픽셀의 제1디지털 코드, 예컨대 9-비트 디지털 신호와 제2픽셀의 제2디지털 코드, 예컨대 9-비트 디지털 신호의 비트 단위(bitwise) 합에 해당하는 제3 디지털 코드, 예컨대 10-비트 디지털 신호를 최종 디지털 코드(CNT\_OUT)로서 출력한다.
- [0200] 이와 같이, 본 발명에 따른 아날로그-디지털 변환 장치(41)는 샘플링 영역에 포함된 다수의 픽셀들 중에서 적어도 두 개의 픽셀들로부터 출력된 픽셀 신호들에 대한 아날로그-디지털 변환 동작에 따라 발생한 디지털 코드들을 비트 단위로 합산하여 합산 결과에 해당하는 디지털 코드를 최종 디지털 코드로서 출력할 수 있으므로 상기 샘플링 영역의 이미지를 평준화하여 디스플레이함으로써 이미지의 왜곡을 줄일 수 있다.
- [0201] 도 15는 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 블록도를 나타낸다. 도 15를 참조하면, 이미지 촬상 장치(10)는 픽셀 어레이(20)와 아날로그-디지털 변환 장치(41)를 포함한다.
- [0202] 도 15를 참조하면, 아날로그-디지털 변환 장치(41)는 픽셀 어레이(20)의 픽셀로부터 출력된 아날로그 신호를 디지털 코드로 변환하기 위한 ADC(133), 상기 디지털 코드에 대해 상관 이중 샘플링을 수행하여 상관 이중 샘플된 디지털 코드를 생성하기 위한 CDS 회로(121), 상관 이중 샘플된 디지털 코드들을 비트 단위로 연산, 예컨대 합산하기 위한 코드 생성기(80)를 포함한다.

- [0203] 코드 생성기(80)는 CDS 회로(133)로부터 출력된 제1픽셀 신호에 대한 상관 이중 샘플된 제1디지털 코드를 저장하기 위한 메모리(127)와 상기 메모리(127)에 저장된 상관 이중 샘플된 제1디지털 코드, 예컨대 (K-1)-비트 디지털 값과 제2픽셀 신호에 대한 상관 이중 샘플된 제2디지털 코드, 예컨대 (K-1)-비트 디지털 값을 비트 단위로 연산하고 연산 결과에 해당하는 제3디지털 코드를 최종 디지털 코드로서 출력하기 위한 연산기(129)를 포함한다.
- [0204] 평균 모드에서, ADC(131)는 제1픽셀로부터 출력된 제1아날로그 신호를 제1디지털 신호로 변환하고 제2픽셀로부터 출력된 제2아날로그 신호를 제2디지털 신호로 변환한다. 여기서, ADC(131)는 시그마-델타(또는 델타-시그마) 아날로그-디지털 변환기, 연속 근사(successive approximation) 아날로그-디지털 변환기, 순환(cyclic) 아날로그-디지털 변환기, 또는 파이프 라인드 아날로그-디지털 변환기로 구현될 수 있다.
- [0205] CDS 회로(133)는 제1디지털 신호에 CDS 동작을 수행하여 상관 이중 샘플된 제1디지털 코드를 생성하고 제2디지털 신호에 CDS 동작을 수행하여 상관 이중 샘플된 제2디지털 코드를 생성한다.
- [0206] 메모리(137)는 상관 이중 샘플된 제1디지털 코드를 저장하고, 연산기(139)는 메모리(137)에 저장된 상관 이중 샘플된 제1디지털 코드와 CDS 회로(133)로부터 출력된 상관 이중 샘플된 제2디지털 코드를 비트 단위로 합하여 최종 디지털 코드를 출력한다.
- [0207] 본 발명의 실시 예에 따른 아날로그 디지털 변환 장치는 노멀 모드에서는 K-비트 디지털 값을 갖는 디지털 코드를 출력하는 반면에, 평균 모드에서는 (K-1)-비트 디지털 값을 갖는 제1디지털 코드와 (K-1)-비트 디지털 값을 갖는 제2디지털 코드를 합하여 (K-1)-비트 디지털 값 또는 K-비트 디지털 값을 갖는 최종 디지털 코드를 출력할 수 있다. 즉, 평균 모드에서 수행되는 각각의 아날로그 디지털 변환의 해상도는 노멀 모드에서 수행되는 아날로그 디지털 변환의 해상도보다 낮다.
- [0208] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

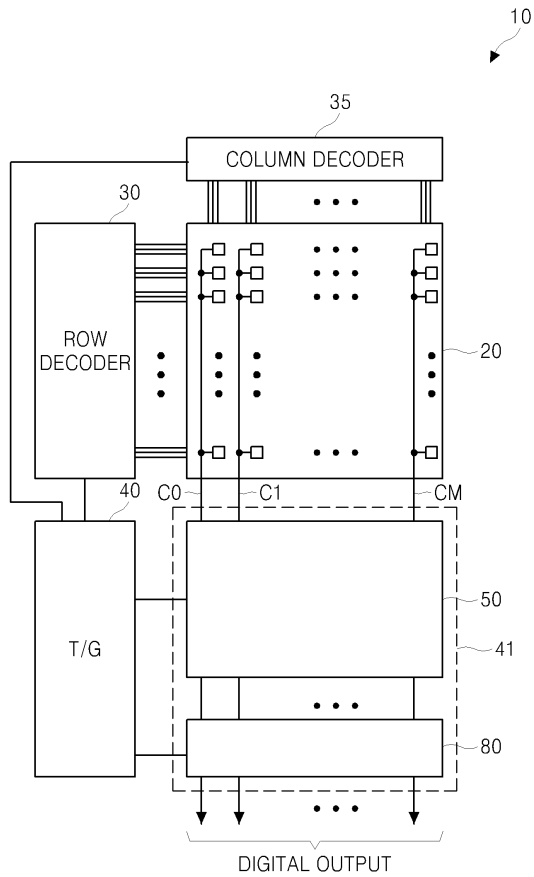
**도면의 간단한 설명**

- [0209] 도 1은 본 발명의 실시 예에 따른 이미지 촬상 장치의 개략적인 블록 도를 나타낸다.
- [0210] 도 2는 도 1에 도시된 픽셀 어레이의 픽셀의 일 예를 나타낸다.
- [0211] 도 3은 본 발명의 일 실시 예에 따른 이미지 촬상 장치의 개략적인 회로도를 나타낸다.
- [0212] 도 4a는 노멀 모드에서 도 3에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0213] 도 4b는 평균 모드에서 도 3에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0214] 도 5는 본 발명의 실시 예에 따른 각 동작 모드에 따라 램프 신호 발생기로부터 출력되는 램프 신호의 특성을 나타내는 그래프이다.
- [0215] 도 6은 본 발명의 다른 실시 예에 따른 이미지 촬영 장치의 개략적인 회로도를 나타낸다.
- [0216] 도 7a는 노멀 모드에서 도 6에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0217] 도 7b는 평균 모드에서 도 6에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0218] 도 8은 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 회로도를 나타낸다.
- [0219] 도 9a는 노멀 모드에서 도 8에 도시된 아날로그-디지털 변환 장치의 신호처리방법을 설명하기 위한 타이밍 도이다.
- [0220] 도 9b는 평균 모드에서 도 8에 도시된 아날로그-디지털 변환 장치의 동작을 설명하기 위한 타이밍 도이다.
- [0221] 도 10은 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 회로도를 나타낸다.
- [0222] 도 11은 본 발명의 실시 예에 따른 아날로그-디지털 변환 방법을 나타내는 흐름도이다.
- [0223] 도 12는 본 발명의 다른 실시 예에 따른 아날로그-디지털 변환 방법을 나타내는 흐름도이다.
- [0224] 도 13은 본 발명의 또 다른 실시 예에 따른 아날로그-디지털 변환 방법을 나타내는 흐름도이다.

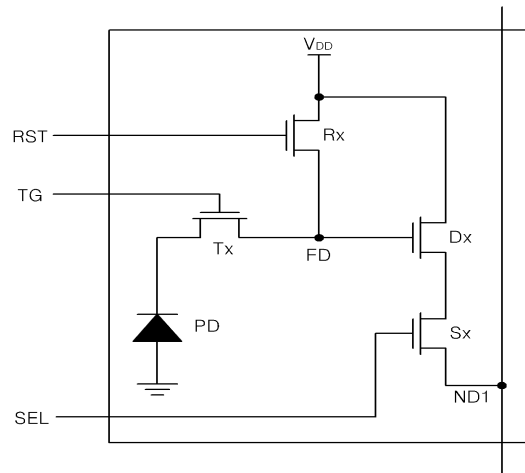
- [0225] 도 14는 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 블럭도를 나타낸다.
- [0226] 도 15는 본 발명의 또 다른 실시 예에 따른 이미지 촬상 장치의 개략적인 블럭도를 나타낸다.
- [0227] 도 16은 본 발명의 또 다른 실시 예에 따른 아날로그-디지털 변환 방법을 설명하기 위한 흐름도이다.

**도면**

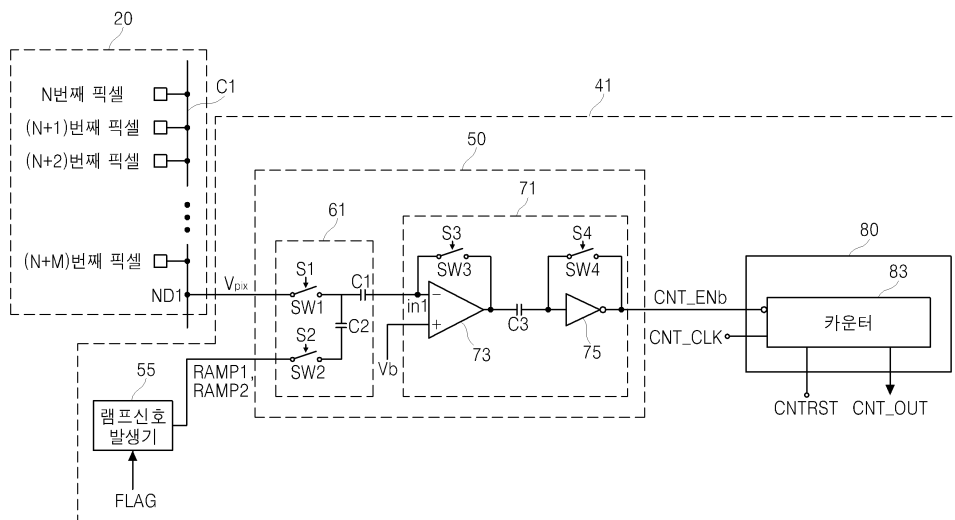
**도면1**



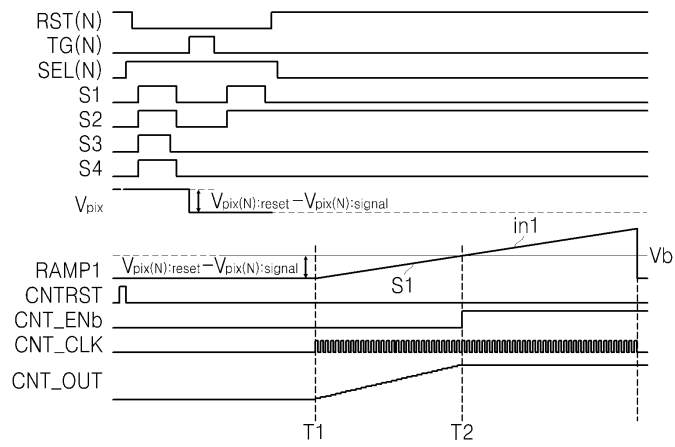
도면2



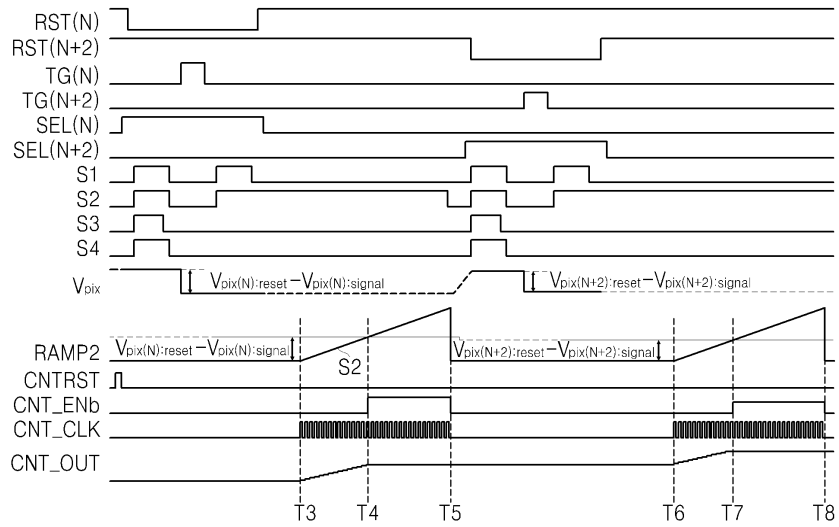
도면3



도면4a

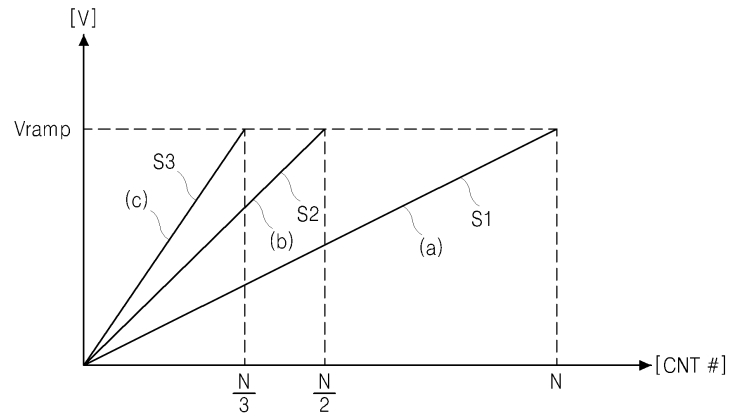


도면4b

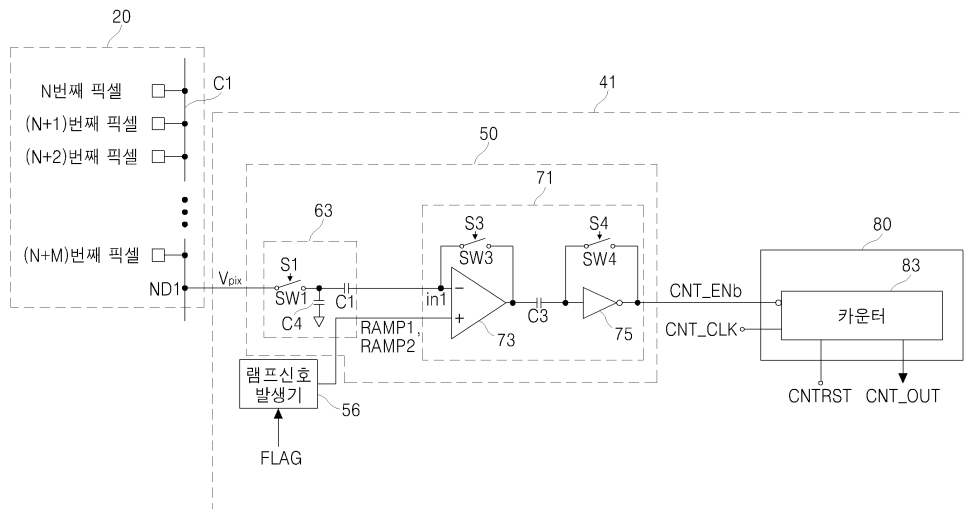




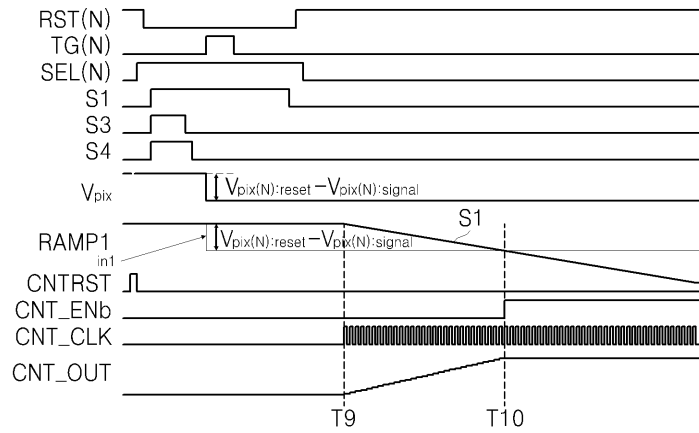
도면5



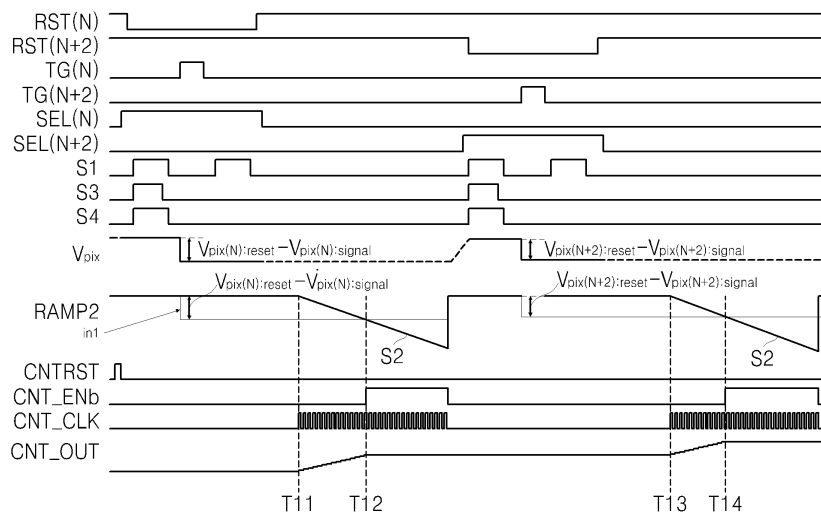
도면6



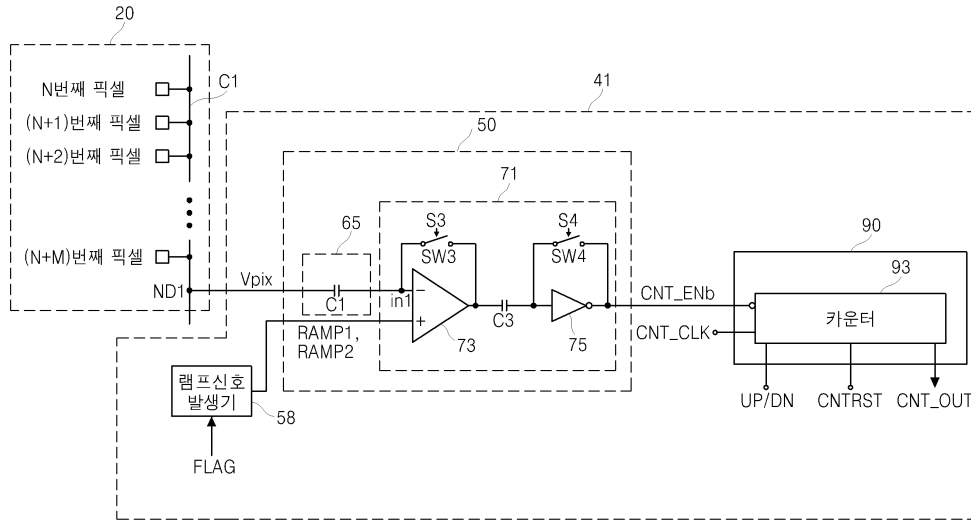
도면7a



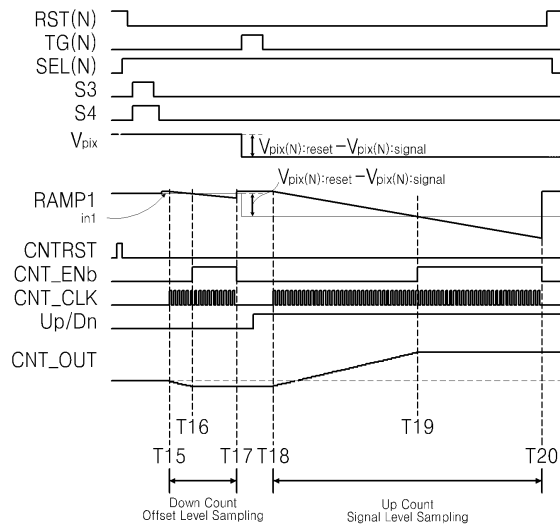
도면7b



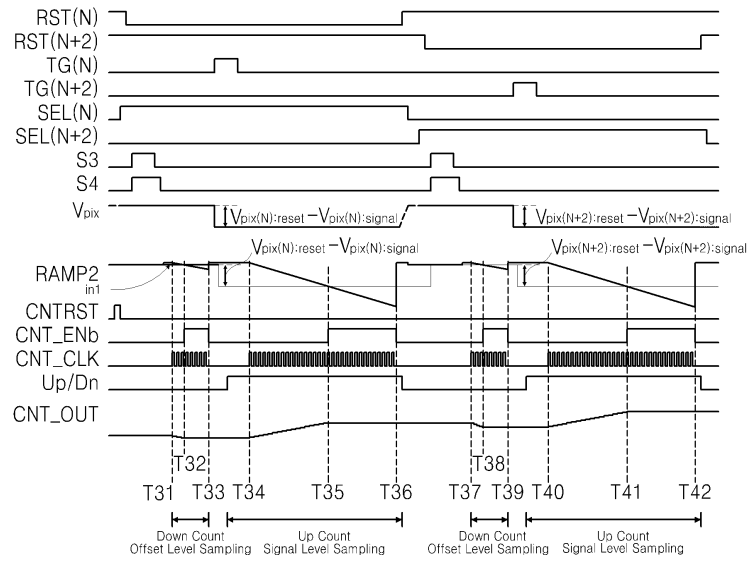
도면8



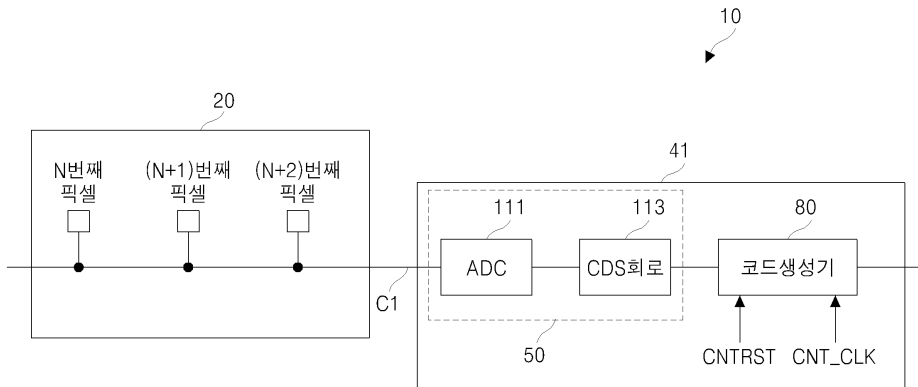
도면9a



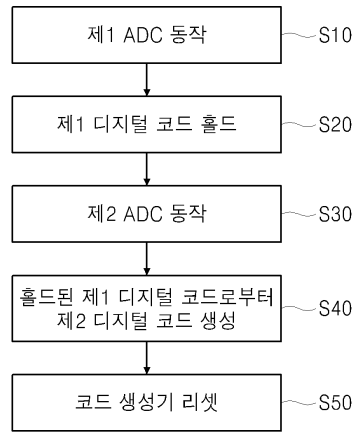
도면9b



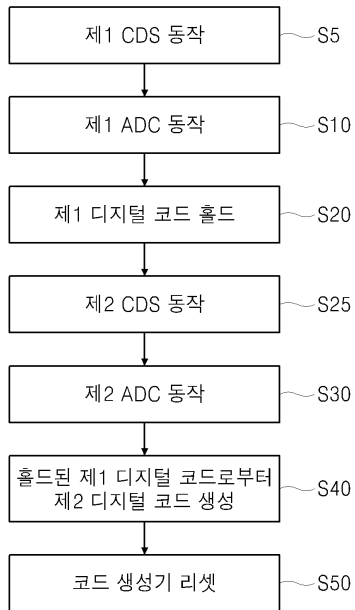
도면10



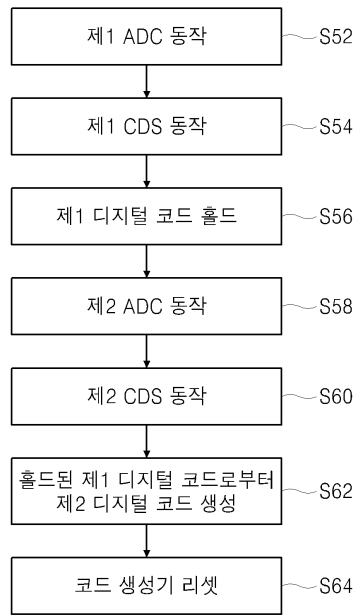
도면11



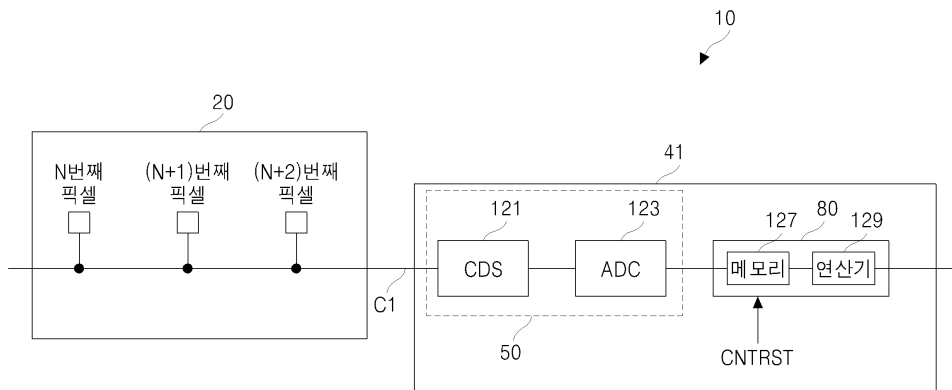
도면12



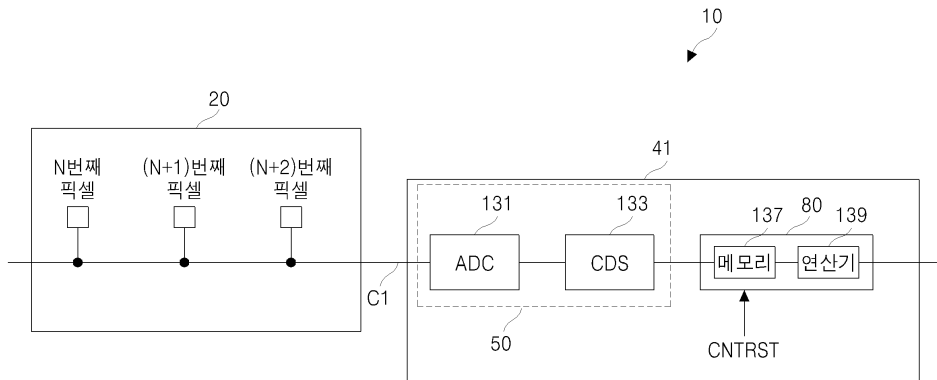
도면13



도면14



도면15



도면16

