



(12) 实用新型专利

(10) 授权公告号 CN 204480101 U

(45) 授权公告日 2015. 07. 15

(21) 申请号 201520182059. 7

(22) 申请日 2015. 03. 27

(73) 专利权人 西安华芯半导体有限公司

地址 710055 陕西省西安市高新6路38号腾
飞创新中心A座4层

(72) 发明人 成俊

(74) 专利代理机构 西安智邦专利商标代理有限
公司 61211

代理人 张倩

(51) Int. Cl.

G05F 1/56(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

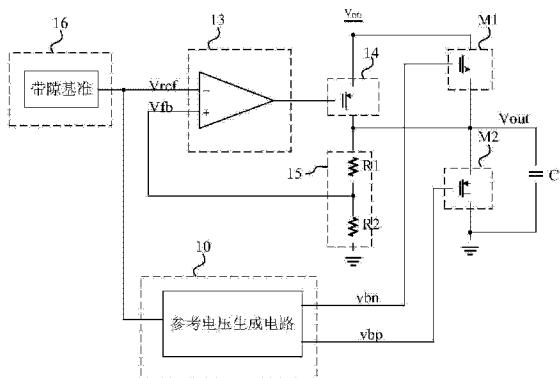
权利要求书1页 说明书3页 附图2页

(54) 实用新型名称

一种快速响应的低压差线性稳压器

(57) 摘要

本实用新型涉及一种快速响应的低压差线性稳压器,包括带隙基准、运算放大器、反馈电阻串和功率管,带隙基准用于产生基准电压 V_{ref} 并输入给运算放大器的负向输入端,反馈电阻串连接至运算放大器的正向输入端,反馈电阻串的一端接功率管的漏端,反馈电阻串的另一端接地,功率管的源端接 V_{DD} 电源,功率管的栅端接运算放大器的输出端,还包括参考电压生成电路、NMOS 管 M1 和 PMOS 管 M2,参考电压生成电路的输入端接带隙基准,参考电压生成电路生成参考电压 v_{bn} 和参考电压 v_{bp} 。本实用新型解决了现有的低压差线性稳压器 LDO 功耗高的技术问题,本实用新型通过增加部分辅助电路,避免了过大的压降和过冲。



1. 一种快速响应的低压差线性稳压器,包括带隙基准(16)、运算放大器(13)、反馈电阻串(15)和功率管(14),所述带隙基准用于产生基准电压 V_{ref} 并输入给运算放大器(13)的负向输入端,所述反馈电阻串(15)连接至运算放大器的正向输入端,所述反馈电阻串(15)的一端接功率管(14)的漏端,所述反馈电阻串(15)的另一端接地,所述功率管(14)的源端接 V_{DD} 电源,所述功率管(14)的栅端接运算放大器的输出端,其特征在于:还包括参考电压生成电路(10)、NMOS管M1和PMOS管M2,所述参考电压生成电路(10)的输入端接带隙基准,所述参考电压生成电路(10)生成参考电压 v_{bn} 和参考电压 v_{bp} ,参考电压 v_{bn} 连接至NMOS管M1的栅端,参考电压 v_{bp} 连接至PMOS管M2的栅端,所述NMOS管M1的漏端接 V_{DD} 电源,所述NMOS管M1的源端与PMOS管M2的源端连接,所述PMOS管M2的漏端接地。

2. 根据权利要求1所述的快速响应的低压差线性稳压器,其特征在于:

$v_{bn} = V_{out} + V_{thn} + \Delta V$, $v_{bp} = V_{out} - V_{thp} - \Delta V$, V_{thn} 为NMOS管M1的阈值电压, V_{thp} 为PMOS管M2的阈值电压;

其中 ΔV 要满足的条件为:

当 $V_{out} - V_{out2} > \Delta V$ 时,则NMOS管M1开启;

当 $V_{out3} - V_{out} > \Delta V$ 时,则PMOS管M2开启,

V_{out2} 为输出电压 V_{out} 的压降值, V_{out3} 为输出电压 V_{out} 的过冲值。

3. 根据权利要求1或2所述的快速响应的低压差线性稳压器,其特征在于:所述参考电压生成电路(10)包括 v_{bn} 生成电路和 v_{bp} 生成电路,所述 v_{bn} 生成电路包括第一运算放大器(22)、PMOS管M3和第一分压电阻串(21),所述第一运算放大器(22)的负向输入端接带隙基准,所述第一运算放大器(22)的正向输入端接第一分压电阻串(21)输出的反馈电压 V_{fb2} ,所述第一运算放大器(22)的输出端接PMOS管M3的栅端,所述PMOS管M3的源端接 V_{DD} 电源,所述PMOS管M3的漏端接第一分压电阻串(21)的一端,所述第一分压电阻串(21)另一端接地,所述PMOS管M3的漏端输出参考电压 v_{bn} ,

所述 v_{bp} 生成电路结构和 v_{bn} 生成电路结构相同, v_{bp} 生成电路包括第二运算放大器(32)、PMOS管M4和第二分压电阻串(31)。

4. 根据权利要求3所述的快速响应的低压差线性稳压器,其特征在于:所述 v_{bn} 生成电路中的第一分压电阻串(21)包括依次串联的电阻R4和可变电阻R3,所述可变电阻R3的阻值满足: $V_{ref} = v_{bn} * R4 / (R3 + R4)$;

与 v_{bn} 生成电路相同, v_{bp} 生成电路中的第二分压电阻串(31)包括依次串联的电阻R5和可变电阻R6,所述可变电阻R6的阻值满足: $V_{ref} = v_{bp} * R5 / (R6 + R5)$ 。

一种快速响应的低压差线性稳压器

技术领域

[0001] 本实用新型涉及一种快速响应的低压差线性稳压器 LDO。

背景技术

[0002] 一般 LDO 由带隙基准、运算放大器、反馈电阻串和调整功率管 14 管组成。带隙基准产生用于比较的基准电压 V_{ref} ；反馈电阻串决定反馈系数；运算放大器调整功率管 14 管的栅极电压，

[0003] 使反馈电压 $V_{fb} = V_{ref} = V_{out} * R_2 / (R_1 + R_2)$ 。

[0004] 所以 LDO 的输出电压 $V_{out} = V_{ref} * (R_1 + R_2) / R_2$ 。通过增大运算放大器的静态电流 I_q 来提高 LDO 的响应速度，从而减小 LDO 输出的压降和过冲，并加快 LDO 输出电压的恢复速度。虽然这种做法能够避免 LDO 的输出有大的压降和大的过冲；以及加快 LDO 对其输出压降和大的过冲的响应速度；但是却增大了 LDO 的功耗。

发明内容

[0005] 为了解决现有的低压差线性稳压器 LDO 功耗高的技术问题，本实用新型提供一种快速响应的低压差线性稳压器 LDO。

[0006] 本实用新型的技术解决方案：

[0007] 一种快速响应的低压差线性稳压器，包括带隙基准 16、运算放大器 13、反馈电阻串 15 和功率管 14，所述带隙基准用于产生基准电压 V_{ref} 并输入给运算放大器 13 的负向输入端，所述反馈电阻串 15 连接至运算放大器的正向输入端，所述反馈电阻串 15 的一端接功率管 14 的漏端，所述反馈电阻串 15 的另一端接地，所述功率管 14 的源端接 V_{DD} 电源，所述功率管 14 的栅端接运算放大器的输出端，其特征在于：还包括参考电压生成电路 10、NMOS 管 M1 和 PMOS 管 M2，所述参考电压生成电路 10 的输入端接带隙基准，所述参考电压生成电路 10 生成参考电压 v_{bn} 和参考电压 v_{bp} ，参考电压 v_{bn} 连接至 NMOS 管 M1 的栅端，参考电压 v_{bp} 连接至 PMOS 管 M2 的栅端，所述 NMOS 管 M1 的漏端接 V_{DD} 电源，所述 NMOS 管 M1 的源端与 PMOS 管 M2 的源端连接，所述 PMOS 管 M2 的漏端接地。

[0008] $v_{bn} = V_{out} + V_{thn} + \Delta V$, $v_{bp} = V_{out} - V_{thp} - \Delta V$, V_{thn} 为 NMOS 管 M1 的阈值电压， V_{thp} 为 PMOS 管 M2 的阈值电压；

[0009] 其中 ΔV 要满足的条件为：

[0010] 当 $V_{out} - V_{out2} > \Delta V$ 时，则 NMOS 管 M1 开启；

[0011] 当 $V_{out3} - V_{out} > \Delta V$ 时，则 PMOS 管 M2 开启，

[0012] V_{out2} 为输出电压 V_{out} 的压降值， V_{out3} 为输出电压 V_{out} 的过冲值。

[0013] 上述参考电压生成电路 10 包括 v_{bn} 生成电路和 v_{bp} 生成电路，所述 v_{bn} 生成电路包括第一运算放大器 22、PMOS 管 M3 和第一分压电阻串 21，所述第一运算放大器 22 的负向输入端接带隙基准，所述第一运算放大器 22 的正向输入端接分压电阻串 21 输出的反馈电压 V_{fb2} ，所述第一运算放大器 22 的输出端接 PMOS 管 M3 的栅端，所述 PMOS 管 M3 的源端接

V_{DD} 电源,所述 PMOS 管 M3 的漏端接第一分压电阻串 21 的一端,所述第一分压电阻串 21 另一端接地,所述 PMOS 管 M3 的漏端输出参考电压 vbn,

[0014] 所述 vbp 生成电路结构和 vbn 生成电路结构相同, vbp 生成电路包括第二运算放大器 32、PMOS 管 M4 和第二分压电阻串 31。

[0015] 上述 vbn 生成电路中的分压电阻串 21 包括依次串联的电阻 R4 和可变电阻 R3,所述可变电阻 R3 的阻值满足: $V_{ref} = vbn * R4 / (R3 + R4)$;

[0016] 与 vbn 生成电路相同, vbp 生成电路中的第二分压电阻串 31 包括依次串联的电阻 R5 和可变电阻 R6,所述可变电阻 R6 的阻值满足: $V_{ref} = vbp * R5 / (R6 + R5)$ 。

[0017] 本实用新型所具有的优点:

[0018] 1、本实用新型通过增加部分辅助电路(参考电压生成电路 10、NMOS 管 M1 和 PMOS 管 M2),避免了过大的压降和过冲。

[0019] 2、本实用新型没有增加运算放大器的功耗。在运算放大器较低 I_q 的情况下,获得了较快的响应速度。

附图说明

[0020] 图 1 为现有低压差线性稳压器的电路结构图;

[0021] 图 2 为本实用新型低压差线性稳压器的电路结构图;

[0022] 图 3 为参考电压生成电路的 vbn 生成电路结构图;

[0023] 图 4 为参考电压生成电路的 vbp 生成电路结构图。

具体实施方式

[0024] 本实用新型在原来的基础上增加了参考电压生成电路,一个 NMOS 管 M1,和一个 PMOS 管, M2。NMOS 管 M1 的阈值电压为 V_{thn} , PMOS 管 M2 的阈值电压为 V_{thp} 。参考电压生成电路 10 产生参考电压 vbn 和 vbp。其中 $vbn = V_{out} + V_{thn} + \Delta V$, $vbp = V_{out} - V_{thp} - \Delta V$; ΔV 是可以 trim 的值,可以根据应用需要调整。

[0025] 正常工作时,运算放大器通过调整功率管 14 的栅极电压,保证 $V_{ref} = V_{fb} = v_{out} * R2 / (R1 + R2)$,从而保证 $V_{out} = V_{ref} * (R1 + R2) / R2$;通过运算放大器 13、分压电阻串 15 和功率管 14 组成的环路来调整 V_{out} 的值稳定。

[0026] 如果 LDO 的输出电压 V_{out} 有一个压降变为 V_{out2} ,当压降值 $V_{out} - V_{out2} > \Delta V$ 时, NMOS 管 M1 就会开启, V_{DD} 会通过 NMOS 管 M1 给 V_{out} 充电,加快 V_{out} 的恢复速度并减少 V_{out} 的压降值。

[0027] 如果 LDO 的输出电压 V_{out} 有一个过冲变为 V_{out3} ,当过冲值 $V_{out3} - V_{out} > \Delta V$ 时, PMOS 管 M2 就会开启, V_{out} 会通过 PMOS 管 M2 放电到地 gnd,加快 V_{out} 的恢复速度并减少 V_{out} 的过冲值。

[0028] 图 3、图 4 是参考电压生成电路的一种实现形式。运放通过调整 PMOS 管 M3 的栅极电压来保证反馈电压 $V_{fb2} = V_{ref} = vbn * R4 / (R3 + R4)$;通过第一运算放大器 22、PMOS 管 M3 和第一分压电阻串 21 组成的环路,最终是输出 $vbn = V_{ref} * (R3 + R4) / R4$ 。反馈电阻串中的 R3 是可以 trim 调整的电阻,通过 trim R3 可以得到合适的 vbn 电压值。Vbp 可以用和生成 vbn 一样的电路,通过设置不同的 R5 和 R6 的值来得到合适的 vbp 电压值。

[0029] 与 vbn 生成电路相同, vbp 生成电路中的第二分压电阻串 31 包括依次串联的电阻 R5 和可变电阻 R6, 第二运算放大器 32 调整 PMOS 管 M4 的栅极电压来保证反馈电压 $V_{fb3} = V_{ref} = vbp * R5 / (R6 + R5)$; 通过第二运算放大器 22、PMOS 管 M4 和第二分压电阻串 21 组成的环路, 最终是输出 $vbp = V_{ref} * (R6 + R5) / R5$ 。

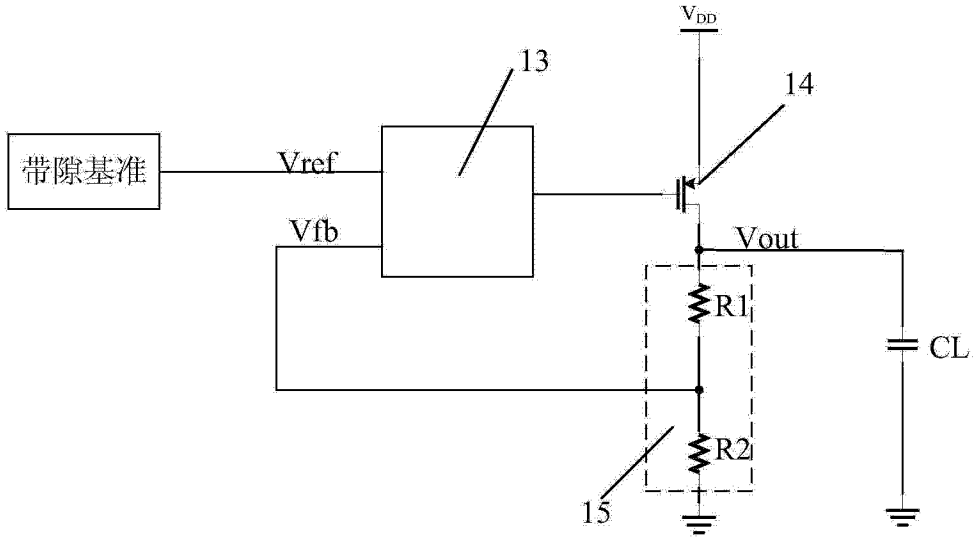


图 1

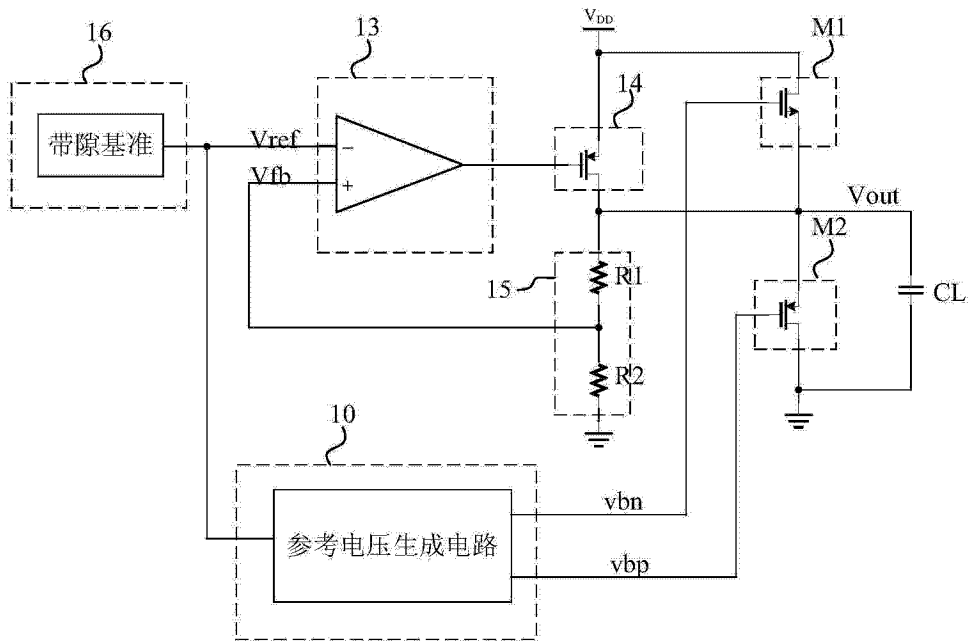


图 2

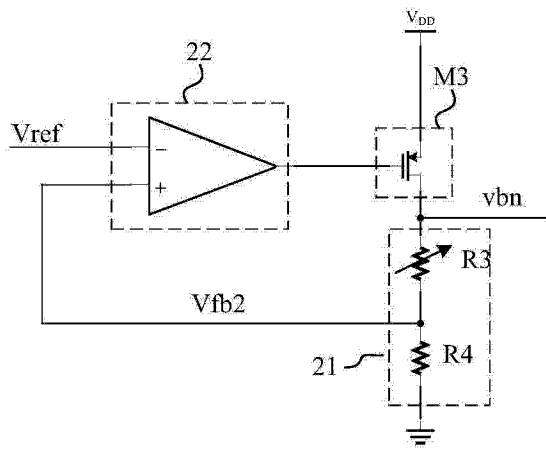


图 3

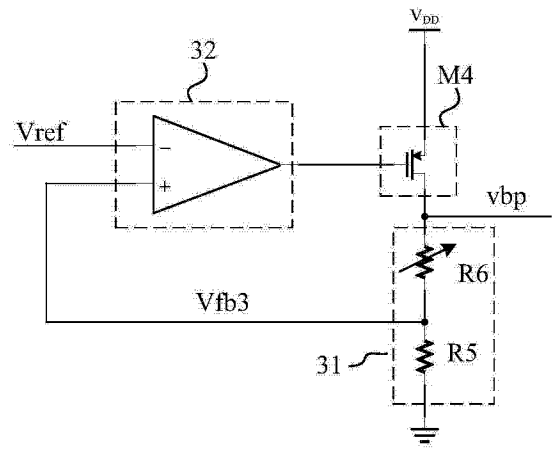


图 4