



(12)发明专利

(10)授权公告号 CN 105870056 B

(45)授权公告日 2019.02.26

(21)申请号 201610216334.1

G02F 1/1368(2006.01)

(22)申请日 2016.04.08

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 105870056 A

US 2006/0273316 A1,2006.12.07,
CN 102468231 A,2012.05.23,
CN 104851894 A,2015.08.19,
US 2015/0236076 A1,2015.08.20,

(43)申请公布日 2016.08.17

(73)专利权人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明
大道9—2号

审查员 张虹

(72)发明人 夏慧 黄添钧

(74)专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

H01L 21/77(2017.01)

H01L 27/12(2006.01)

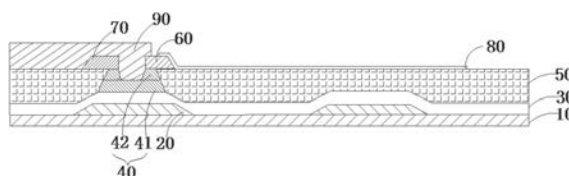
权利要求书1页 说明书4页 附图1页

(54)发明名称

阵列基板及制作方法

(57)摘要

本发明提供一种阵列基板及制作方法,该阵列基板包括:一玻璃基板;栅电极,其设置于该玻璃基板上;第一绝缘层,其沉积于该玻璃基板以及栅电极上;半导体层,其设置于该第一绝缘层上并位于栅电极上方;平坦层,其设置于第一绝缘层上;源极和漏极,该源极和漏极均设置于平坦层以及半导体层上;像素电极层,其设置于平坦层以及该漏极上;第二绝缘层,其设置于平坦层、半导体层、源极以及漏极上。本发明具有避免在开孔处形成气泡、提高开口率的有益效果,并且该平坦层还增大了源极、漏极与栅电极之间的距离,可以提高抗静电能力。



1. 一种阵列基板的制作方法,其特征在于,包括以下步骤:
在玻璃基板上设置栅电极;
在玻璃基板以及栅电极上沉积第一绝缘层;
在第一绝缘层上沉积半导体层,该半导体层位于栅电极上方;
在第一绝缘层上设置平坦层;
在平坦层以及半导体层上设置源极;
在平坦层以及半导体层上设置漏极;
在平坦层以及该漏极上设置像素电极层;
在平坦层、半导体层、源极以及漏极上沉积第二绝缘层;
其中,所述漏极的远离源极一侧的侧壁面朝向源极的方向倾斜,该像素电极层将所述漏极的上端面以及该侧壁面覆盖。
2. 根据权利要求1所述的阵列基板的制作方法,其特征在于,所述平坦层采用纳米粉末状材料或液态绝缘材料采用3D打印形成。
3. 根据权利要求1所述的阵列基板的制作方法,其特征在于,所述第一绝缘层以及第二绝缘层均采用氮化硅和/或二氧化硅。
4. 一种采用如权利要求1~3任一权利要求所述的制作方法制备的阵列基板,其特征在于,包括:
一玻璃基板;
栅电极,其设置于该玻璃基板上;
第一绝缘层,其沉积于该玻璃基板以及栅电极上;
半导体层,其设置于该第一绝缘层上并位于栅电极上方;
平坦层,其设置于第一绝缘层上;
源极,该源极设置于平坦层以及半导体层上;
漏极,该漏极设置于平坦层以及半导体层上;
像素电极层,其设置于平坦层以及该漏极上;
第二绝缘层,其设置于平坦层、半导体层、源极以及漏极上;
其中,所述漏极的远离源极一侧的侧壁面朝向源极的方向倾斜,该像素电极层将所述漏极的上端面以及该侧壁面覆盖。
5. 根据权利要求4所述的阵列基板,其特征在于,所述半导体层包括:
非晶硅层,其沉积于所述第一绝缘层上;
掺杂半导体层,其设置于所述非晶硅层上。
6. 根据权利要求4所述的阵列基板,其特征在于,所述第一绝缘层采用氮化硅和/或二氧化硅。
7. 根据权利要求4所述的阵列基板,其特征在于,所述第二绝缘层采用氮化硅和/或二氧化硅。
8. 根据权利要求4所述的阵列基板,其特征在于,所述平坦层采用纳米粉末状材料或液态绝缘材料采用3D打印形成。

阵列基板及制作方法

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种阵列基板及制作方法。

背景技术

[0002] 目前LCD显示器制造中,多采用接触孔的方式导通像素电极层与漏极金属层,接触孔的方式容易带来以下问题:为保证一定的接触性接触孔较大从而降低了开口率,地形上形成坑状容易形成气泡等。

[0003] 现有技术存在缺陷,急需改进。

发明内容

[0004] 本发明的目的在于提供一种阵列基板及制作方法;以解决现有技术中阵列基板的开口率低的技术问题。

[0005] 为解决上述问题,本发明提供的技术方案如下:

[0006] 本发明实施例提供一种阵列基板,包括:

[0007] 一玻璃基板;

[0008] 栅电极,其设置于该玻璃基板上;

[0009] 第一绝缘层,其沉积于该玻璃基板以及栅电极上;

[0010] 半导体层,其设置于该第一绝缘层上并位于栅电极上方;

[0011] 平坦层,其设置于第一绝缘层上;

[0012] 源极,该源极设置于平坦层以及半导体层上;

[0013] 漏极,该漏极设置于平坦层以及半导体层上;

[0014] 像素电极层,其设置于平坦层以及该漏极上;

[0015] 第二绝缘层,其设置于平坦层、半导体层、源极以及漏极上。

[0016] 在本发明所述的阵列基板中,所述半导体层包括:

[0017] 非晶硅层,其沉积于所述第一绝缘层上;

[0018] 掺杂半导体层,其设置于所述非晶硅层上。

[0019] 在本发明所述的阵列基板中,所述第一绝缘层采用氮化硅和/或二氧化硅。

[0020] 在本发明所述的阵列基板中,所述第二绝缘层采用氮化硅和/或二氧化硅。

[0021] 在本发明所述的阵列基板中,所述平坦层采用纳米粉末状材料或液态绝缘材料采用3D打印形成。

[0022] 在本发明所述的阵列基板中,所述漏极的远离源极一侧的侧壁面朝向源极的方向倾斜,该像素电极层将该侧壁面覆盖。

[0023] 本发明还提供了一种阵列基板的制作方法,包括以下步骤:

[0024] 在玻璃基板上设置栅电极;

[0025] 在玻璃基板以及栅电极上沉积第一绝缘层;

[0026] 在第一绝缘层上沉积半导体层,该半导体层位于栅电极上方;

- [0027] 在第一绝缘层上设置平坦层；
- [0028] 在平坦层以及半导体层上设置源极；
- [0029] 在平坦层以及半导体层上设置漏极；
- [0030] 在平坦层以及该漏极上设置像素电极层；
- [0031] 在平坦层、半导体层、源极以及漏极上沉积第二绝缘层。
- [0032] 在本发明所述的阵列基板的制作方法中，所述平坦层采用纳米粉末状材料或液态绝缘材料采用3D打印形成。
- [0033] 在本发明所述的阵列基板的制作方法中，所述漏极的远离源极一侧的侧壁面朝向源极的方向倾斜，该像素电极层将该侧壁面覆盖。
- [0034] 在本发明所述的阵列基板的制作方法中，所述第一绝缘层以及第二绝缘层均采用氮化硅和/或二氧化硅。
- [0035] 相对于现有技术，本发明提供的阵列基板通过在第一绝缘层上设置平坦层，然后将源极以及漏极设置在该平坦层以及半导体层上，无需设置源极过孔以及漏极过孔即可实现源极、漏极与半导体层的电连接，并且直接将像素电极层设置于平坦层以及该漏极上，无需设置过孔即可实现漏极与像素电极层的电连接，具有避免在开孔处形成气泡、提高开口率的有益效果，并且该平坦层还增大了源极、漏极与栅电极之间的距离，可以提高抗静电能力。

附图说明

- [0036] 图1为本发明一优选实施例中的阵列基板的结构示意图；
- [0037] 图2为本发明一优选实施例中阵列基板的制作方法的流程图。

具体实施方式

[0038] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。

[0039] 在图中，结构相似的单元是以相同标号表示。

[0040] 请参照图1，图1为本发明的阵列基板的优选实施例的结构示意图。本优选实施例的一种阵列基板，包括：玻璃基板10、栅电极20、第一绝缘层30、半导体层40、平坦层50、源极70、漏极60、像素电极层80以及第二绝缘层90。

[0041] 其中，该栅电极20设置于该玻璃基板10上，形成该栅电极20时，先采用物理气象沉淀法在玻璃基板10上沉积形成栅电极层，然后对该栅电极层进行图像化处理，从而形成该栅电极20。

[0042] 该第一绝缘层30沉积于该玻璃基板10以及栅电极20上，该第一绝缘层30用于将栅电极20以及半导体层40绝缘开，其可以采用氮化硅、氧化硅等无机绝缘材料；该第一绝缘层30采用化学气象沉淀法沉积于该玻璃基板10以及该栅电极20上。

[0043] 该半导体层40设置于该第一绝缘层30上并位于栅电极20上方，其包括沉积于第一绝缘层30上的非晶硅层以及设置于该非晶硅层上的掺杂半导体层40。制作该半导体层40

时,先采用气象沉淀法在第一绝缘层30上沉积一层非晶硅,然后对该一层非晶硅进行图像化处理形成位于底部的非晶硅层41以及位于非晶硅层41上的第一接触部以及第二接触部,并对该第一接触部以及第二接触部进行掺杂,以形成掺杂半导体层42。该掺杂半导体层42用于将源极70以及漏极60分别与与非晶硅层41电连接。

[0044] 该平坦层50设置于第一绝缘层30上,其可以采用氮化硅、氧化硅等无机绝缘材料,也可以采用有机绝缘材料。该平坦层50采用化学气象沉淀法沉积于该第一绝缘层30上。该平坦层50采用纳米粉末状材料或液态绝缘材料采用3D打印形成。

[0045] 该平坦层50与该第一接触部以及第二接触部的远离该非晶硅层41的一端的端面齐平,便于后续的源极70以及漏极60的形成。

[0046] 该源极70和漏极60均设置于平坦层50以及半导体层40上,具体地,该源极70设置于该第一接触部以及平坦层50上,该漏极60设置于该第二接触部以及该平坦层50上。

[0047] 该像素电极层80设置于平坦层50以及该漏极60上,其上形成有像素电极。优选地,漏极60的远离源极70一侧的侧壁面朝向源极70的方向倾斜,该像素电极层80将该侧壁面覆盖并覆盖该漏极70的上端面的部分。

[0048] 该第二绝缘层90设置于平坦层50、半导体层40、源极70以及漏极60上。该第二绝缘层90可以采用氮化硅和/或二氧化硅等材料进行化学气相沉淀形成。

[0049] 本优选实施例提供的阵列基板通过在第一绝缘层30上设置平坦层50,然后将源极70以及漏极60设置在该平坦层50以及半导体层40上,无需设置源极过孔以及漏极过孔即可实现源极70、漏极60与半导体层40的电连接,并且直接将像素电极层80设置于平坦层50以及该漏极60上,无需设置过孔即可实现漏极60与像素电极层80的电连接,具有避免在开孔处形成气泡、提高开口率的有益效果,并且该平坦层50还增大了源极、漏极与栅电极20之间的距离,可以提高抗静电能力。

[0050] 请参照图2,图2为本发明的阵列基板的制作方法优选实施例的流程图。本优选实施例中的阵列基板的制作方法包括以下步骤:

[0051] S201、在玻璃基板上设置栅电极;

[0052] S202、在玻璃基板以及栅电极上沉积第一绝缘层;

[0053] S203、在第一绝缘层上沉积半导体层,该半导体层位于栅电极上方;

[0054] S204、在第一绝缘层上设置平坦层;

[0055] S205、在平坦层以及半导体层上设置源极;

[0056] S206、在平坦层以及半导体层上设置漏极;

[0057] S207、在平坦层以及该漏极上设置像素电极层;

[0058] S208、在平坦层、半导体层、源极以及漏极上沉积第二绝缘层。

[0059] 下面对该阵列基板的制作方法的各个步骤进行详细的说明。

[0060] 在步骤S201中,形成该栅电极20时,先采用物理气象沉淀法在玻璃基板10上沉积形成栅电极层,然后对该栅电极层进行图像化处理,从而形成该栅电极20。

[0061] 在步骤S202中,该第一绝缘层30采用化学气象沉淀法沉积于该玻璃基板10以及该栅电极20上;其可以采用氮化硅、氧化硅等无机绝缘材料。

[0062] 在步骤S203中,该半导体层40包括沉积于第一绝缘层30上的非晶硅层以及设置于该非晶硅层上的掺杂半导体层42。制作该半导体层40时,先采用气象沉淀法在第一绝缘层

30上沉积一层非晶硅,然后对该一层非晶硅进行图像化处理形成位于底部的非晶硅层41以及位于非晶硅层41上的第一接触部以及第二接触部,并对该第一接触部以及第二接触部进行掺杂,以形成掺杂半导体层42。该掺杂半导体层40用于将源极70以及漏极60分别与非晶硅层41电连接。

[0063] 在步骤S204中,该平坦层50可以采用氮化硅、氧化硅等无机绝缘材料,也可以采用有机绝缘材料。该平坦层50可以采用化学气相沉淀法沉积于该第一绝缘层30上。该平坦层50也可以采用纳米粉末状材料或液态绝缘材料采用3D打印形成。该平坦层50与该第一接触部以及第二接触部的远离该非晶硅层41的一端的端面齐平,便于后续的源极70以及漏极60的形成。

[0064] 在步骤S205以及步骤S206中,该源极70设置于该第一接触部以及平坦层50上,该漏极设置于该第二接触部以及该平坦层50上。

[0065] 在步骤S207中,该像素电极层80其上形成有多个像素电极。优选地,漏极60的远离源极70一侧的侧壁面朝向源极70的方向倾斜,该像素电极层80将该侧壁面覆盖并覆盖该漏极60的上端面的部分,漏极60的这种形状设置有利于提高该像素电极层80与该漏极60的接触面积,从而提高导电性。

[0066] 在步骤S208中,该第二绝缘层90可以采用氮化硅和/或二氧化硅等材料进行化学气相沉淀形成。

[0067] 本优选实施例提供的阵列基板的制作方法通过在第一绝缘层30上设置平坦层50,然后将源极以及漏极设置在该平坦层50以及半导体层40上,无需设置源极过孔以及漏极过孔即可实现源极、漏极与半导体层40的电连接,并且直接将像素电极层80设置于平坦层50以及该漏极60上,无需设置过孔即可实现漏极60与像素电极层80的电连接,具有避免在开孔处形成气泡、提高开口率的有益效果,并且该平坦层50还增大了源极70、漏极60与栅电极20之间的距离,可以提高抗静电能力。

[0068] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

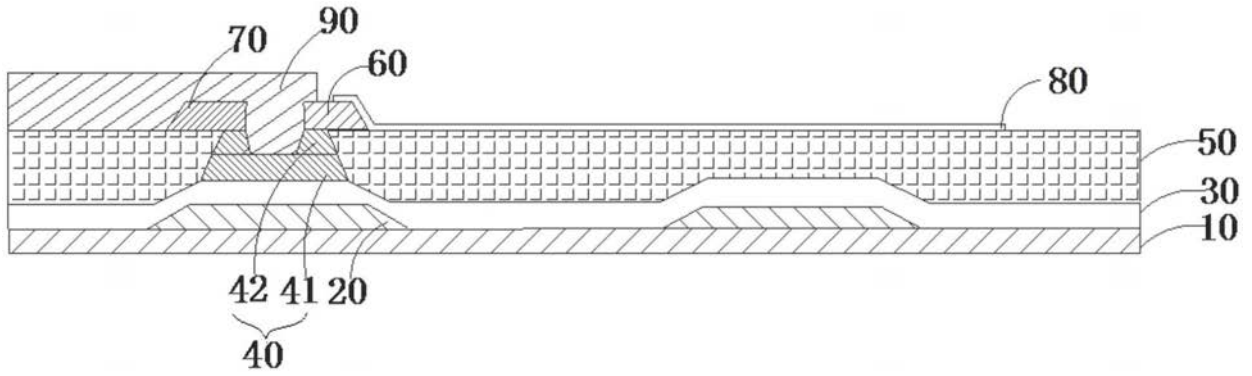


图1

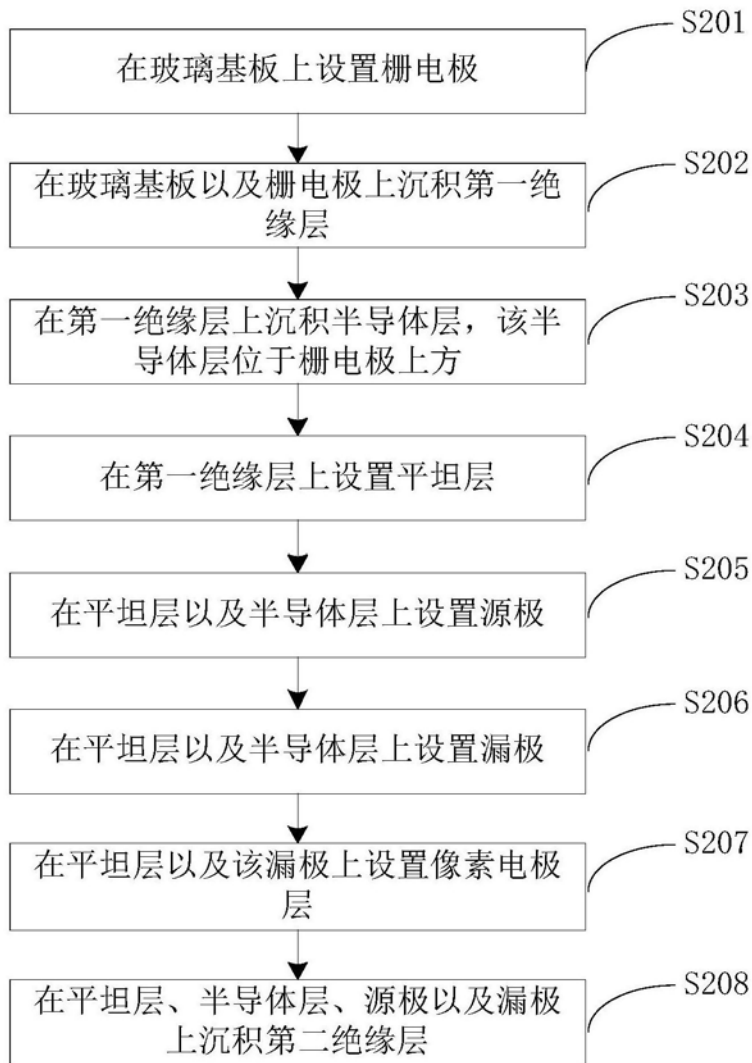


图2