



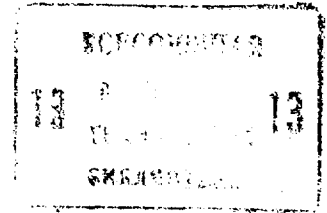
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1292176 A1

(5D) 4 Н 03 К 23/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3766310/24-24
- (22) 20.07.84
- (46) 23.02.87.Бюл. № 7
- (72) Ю.К.Задержин
- (53) 621.374.3 (088.8)
- (56) Авторское свидетельство СССР  
№ 563726, кл. Н 03 К 23/00, 04.11.75.  
Авторское свидетельство СССР  
№ 1001485, кл. Н 03 К 23/00,  
12.10.85.
- (54) УМНОЖИТЕЛЬ ИМПУЛЬСОВ
- (57) Изобретение относится к области  
вычислительной техники и может быть  
использовано в вычислительных уст-  
ройствах. Целью изобретения являет-

ся расширение области применения за  
счет возможности умножения на любое  
число из натурального ряда чисел.  
Умножитель импульсов состоит из  
младших разрядов, старших разрядов,  
триггеров, элементов И, элементов  
ИЛИ, блоков межразрядного переноса,  
первого и второго информационных  
входов. Устройство содержит шины  
управления, сложения, вычитания,  
вход, выходы разрядов, шины логичес-  
кого нуля и логической единицы. Блок  
межразрядного переноса выполнен на  
двух элементах И, трех элементах НЕ  
и коммутаторе. 3 ил. 4 табл.

(19) SU (11) 1292176 A1

Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах, предназначенных для выполнения операции подсчета числа импульсов с одновременным умножением результата на произвольное, наперед заданное число.

Цель изобретения - расширение области применения за счет обеспечения возможности умножения на любое число натурального ряда чисел.

На фиг.1 изображена функциональная схема умножителя импульсов; на фиг.2 - функциональная электрическая схема устройства межразрядного переноса; на фиг.3 - временная диаграмма работы умножителя импульсов.

Устройство содержит младшие разряды 1, старшие разряды 2, триггеры 3, элементы И4, элементы ИЛИ 5, блок 6 межразрядного переноса, первый 7 и второй 8 информационные входы устройства, шину 9 управления, шину 10 вычитания, шину 11 сложения, выходы 12 - 16 устройства, вход 17. Блок 6 межразрядного переноса выполнен на первом и втором элементах И 18 и 19, трех элементах НЕ 20-22, коммутаторе 23. Устройство содержит шину 24 логической "1" и шину 25 логического "0".

Устройство работает следующим образом.

Состояние коммутатора 23 (настройка) определяется кодами на его шинах 9 управления.

Настройка коммутатора 23 блока 6 межразрядного переноса в зависимости от заранее задаваемых значений коэффициентов умножения производится для положительных коэффициентов умножения в соответствии с табл.1, а для отрицательных - в соответствии с табл.2.

Методом математической индукции табл.1 и 2 распространяются на любое количество строк (т.е. коэффициентов умножения). Из табл.1 и 2 видно, что для любой строки, которая в свою очередь соответствует выбранному коэффициенту умножения, существует разряд, после которого настройка последующих разрядов коммутаторов 23 постоянная и равная 2 для положительных коэффициентов умножения и 5 - для отрицательных.

Учитывая, что эта настройка соответствует реализации функции  $x; \bar{a}$ ;

для положительных коэффициентов умножения (см.табл.3) и  $x; \bar{a}$ ; - для отрицательных, очевидно, что для всех старших разрядов умножителя импульсов блок 6 межразрядного переноса реализуется элементами И.

Операция установки кодов управления заключается в подаче управляющих сигналов на шины 9 управления, задающих настройку блоков 6 межразрядного переноса.

Операция подачи входных импульсов заключается в подаче на вход 17 пакки пересчитываемых импульсов, а на шину 11 (или шину 10) - команды, определяющей знак пересчета (сложение или вычитание).

Операция считывания результата заключается в готовности выходов 12-16 и передаче результатов счета.

Времена  $U_1 - U_n$  определяют длительность циклов счета при умножении на коэффициенты  $K_1 - K_n$  (значения коэффициентов любые из ряда натуральных чисел).

Времена  $t_1, t_2, t_3$  определяют задержку переходного процесса в элементах устройства и выбирают в зависимости от элементной базы, на которой построен умножитель импульсов.

Время  $t_n$  определяется количеством и частотой выходных импульсов, поступающих на вход 17.

Время  $t_n$  выбирается произвольно и определяется интервалом между соседними циклами счета.

Работу умножителей импульсов рассмотрим на примере режима умножения на -5. В этом случае на шину 9 управления должны подаваться следующие управляющие сигналы:

Первый разряд	-1
Второй разряд	-2
Третий разряд	-3
Четвертый разряд	-4
Пятый разряд и все последующие разряды	-5

В соответствии с табл.3 функции межразрядных переносов имеют вид:

Для первого разряда	1
Для второго разряда	$x; \bar{a}$ ;
Для третьего разряда	$x; \bar{a}$ ;
Для четвертого разряда	$x; \bar{a}$ ;
Для пятого и всех последующих	$x; \bar{a}$ ;

Для рассматриваемого случая состояния умножителя импульсов описывает табл.4.

Из табл.4 следует, что множитель импульсов проводит умножение каждого очередного импульса, поступающего на вход 7, на коэффициент - 5 и суммирует результат.

#### Ф о р м у л а и з о б р е т е н и я

Умножитель импульсов, содержащий в каждом младшем разряде блок межразрядного переноса, выполненный на элементах НЕ, элементах И и коммутаторе, выходы первого и второго элементов И соединены непосредственно с соответствующими первыми и через первый и второй элементы НЕ с соответствующими вторыми входами коммутатора, выход третьего элемента НЕ подключен к первому входу второго элемента И, и в каждом разряде триггер, счетный вход которого является входом умножения, прямой выход триггера в каждом младшем разряде подключен к первому входу первого элемента И и входу третьего элемента НЕ блока межразрядного переноса следующего младшего разряда, в каждом старшем разряде содержит элемент И, прямой выход триггера предыдущего старшего разряда соединен с первым входом элемента И последующего разряда, управляющий вход коммутатора блока межразрядного переноса является управляющим входом множителя, выход коммутатора блока межразрядного переноса каждого младшего разряда соединен с управляющим входом триггера того же младшего разряда и вторыми входами первого и второго элементов И

блока межразрядного переноса следующего младшего разряда, выход коммутатора блока межразрядного переноса последнего младшего разряда подключен к второму входу первого элемента И первого старшего разряда, первый и второй информационные входы коммутатора блока межразрядного переноса являются соответственно входами логической единицы и логического нуля множителя, от л и ч а ю щ и с я тем, что, с целью расширения области применения за счет обеспечения возможности умножения на любое число из натурального ряда чисел, в него введены в каждый старший разряд второй элемент И и элемент ИЛИ, выход которого соединен с управляющим входом триггера этого старшего разряда и вторым и первым входами соответственно первого и второго элементов И следующего старшего разряда, выходы которых подключены соответственно к первому и второму входам элемента ИЛИ своего старшего разряда, инверсный выход триггера старшего разряда соединен с вторым входом второго элемента И последующего старшего разряда, третьи входы первого и второго элементов И старших разрядов являются соответственно входами сложения и вычитания множителя, первые входы первого и второго элементов И первого младшего разряда объединены и являются первым информационным входом множителя, второй вход первого элемента И и вход третьего элемента НЕ первого младшего разряда объединены и являются вторым информационным входом множителя.

Т а б л и ц а 1

Коэффициент умножения	Разряды условных функций переключения					
	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>
1	1	2	2	2	2	2
2	0	1	2	2	2	2
3	1	4	3	2	2	2
4	0	0	1	2	2	2
5	1	2	4	3	2	2

Продолжение табл.1

Коэффициент умножения	Разряды условных функций переключения					
	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>
6	0	1	4	3	2	2
7	1	4	5	3	2	2
8	0	0	0	1	2	2
9	1	2	2	4	3	2
10	0	1	2	4	3	2
11	1	4	3	4	3	2
12	0	0	4	5	3	2
13	1	2	4	5	3	2
14	0	1	4	5	3	2
15	1	4	5	5	3	2
16	0	0	0	0	1	2
17	1	2	2	2	4	3
18	0	1	2	2	4	3
19	1	4	3	2	4	3
20	0	0	1	2	4	3
21	1	2	4	3	4	3
22	0	1	4	3	4	3
23	1	4	5	3	4	3
24	0	0	0	1	4	3
25	1	2	2	4	5	3
26	0	1	2	4	5	3
27	1	4	3	4	5	3
28	0	0	1	4	5	3
29	1	2	4	5	5	3
30	0	1	4	5	5	3
31	1	4	5	5	5	3
32	0	0	0	0	0	1

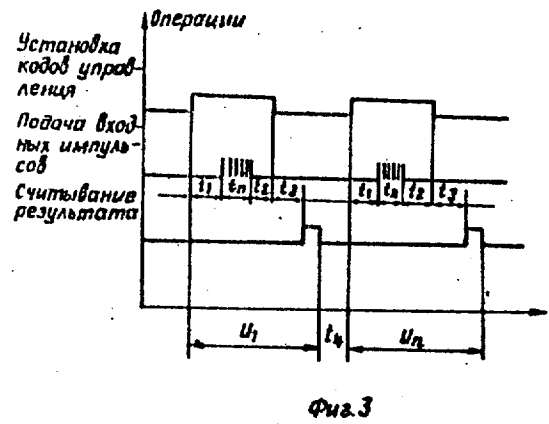
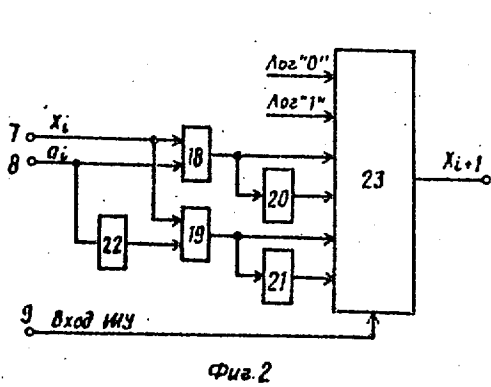
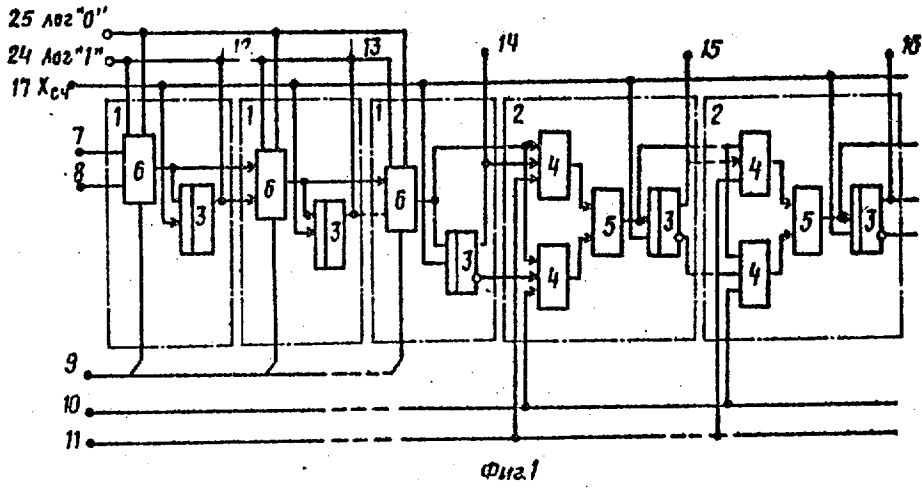
Коэффициент умножения	Разряды условных функций переключения					
	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>
-1	1	5	5	5	5	5
-2	0	1	5	5	5	5
-3	1	3	4	5	5	5
-4	0	0	1	5	5	5
-5	1	5	3	4	5	5
-6	0	1	3	4	5	5
-7	1	3	2	4	5	5
-8	0	0	0	1	5	5
-9	1	5	5	3	4	5
-10	0	1	5	3	4	5
-11	1	3	4	3	4	5
-12	0	0	1	3	4	5
-13	1	5	3	2	4	5
-14	0	1	3	2	4	5
-15	1	3	2	2	4	5
-16	0	0	0	0	1	5
-17	1	5	5	5	3	4
-18	0	1	5	5	3	4
-19	1	3	4	5	3	4
-20	0	0	1	5	3	4
-21	1	5	3	4	3	4
-22	0	1	3	4	3	4
-23	1	3	2	4	3	4
-24	0	0	0	1	3	4
-25	1	5	5	3	2	4
-26	0	1	5	3	2	4
-27	1	3	4	3	2	4
-28	0	0	1	3	2	4
-29	1	5	3	2	2	4
-30	0	1	3	2	2	4
-31	1	3	2	2	2	4
-32	0	0	0	0	0	1

Т а б л и ц а 3

Состояние коммутатора	Логическая функция на выходе коммутатора
0	0
1	1
2	$x_i a_i$
3	$x_i \bar{a}_i$
4	$\bar{x}_i a_i$
5	$x_i \bar{a}_i$

Т а б л и ц а 4

Порядковый номер входного импульса	Выход умножителя импульсов				
	Двоичный код (выход счетных триггеров)				Десятичный код
	4-й разряд	3-й разряд	2-й разряд	1-й разряд	
0	0	0	0	0	0
1	1	1	0	1	13
2	1	0	1	0	10
3	0	1	1	1	7
4	0	1	0	0	4
5	0	0	0	1	1
6	1	1	1	0	14
7	1	0	1	1	11
8	1	0	0	0	8



Составитель О.Тюрина  
 Редактор С.Пекарь Техред И.Попович Корректор А.Зимокосов

---

Заказ 286/58 Тираж 902 Подписное  
 ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д.4/5

---

Производственно-полиграфическое предприятие. г.Ужгород, ул. Проектная, 4