



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월25일
(11) 등록번호 10-2558900
(24) 등록일자 2023년07월19일

(51) 국제특허분류(Int. Cl.)
H10K 59/00 (2023.01) G02F 1/136 (2006.01)
H10K 71/00 (2023.01)
(52) CPC특허분류
H10K 59/1213 (2023.02)
G02F 1/136 (2013.01)
(21) 출원번호 10-2015-0147982
(22) 출원일자 2015년10월23일
심사청구일자 2020년09월02일
(65) 공개번호 10-2017-0047632
(43) 공개일자 2017년05월08일
(56) 선행기술조사문헌
KR1020070075316 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
양희정
경기도 양주시 삼승로58번길 141, 704동 1105호
(삼승동, 양주자이아파트)
호원준
전라북도 전주시 완산구 거마평로 125, 102동
1206호 (효자동1가, 상산타운)
(뒷면에 계속)
(74) 대리인
특허법인 정안

전체 청구항 수 : 총 7 항

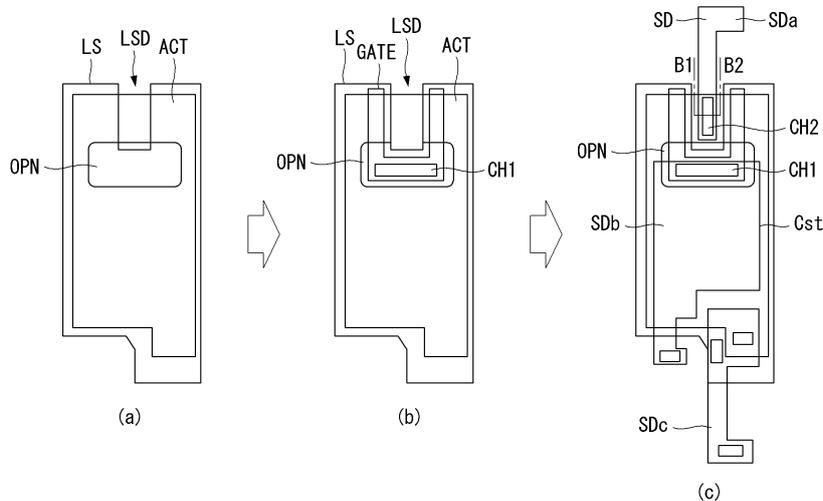
심사관 : 조성수

(54) 발명의 명칭 표시장치와 이의 제조방법

(57) 요약

본 발명은 제1기관, 광차단층, 버퍼층, 반도체층, 절연층 및 소오스 드레인 금속층을 포함하는 표시장치를 제공한다. 표시장치는 광차단층과 소오스 드레인 금속층 간의 중첩하지 않는 비중첩영역을 갖는다.

대표도 - 도8



(52) CPC특허분류

H10K 59/10 (2023.02)

H10K 59/124 (2023.02)

H10K 71/00 (2023.02)

(72) 발명자

김형태

경기도 고양시 일산구 마두1동 백마마을4단지아파트 404동 1202호

장동운

경기도 파주시 해솔로 20, 410동 603호 (목동동, 해솔마을4단지 벽산우남연리지)

김동선

경기도 고양시 일산서구 대산로 263 (대화동, 성저마을4단지아파트) 삼익아파트 401동 1403호

(56) 선행기술조사문헌

US20140175445 A1*

JP2003270663 A*

KR101306563 B1*

KR1020060023062 A

JP2011049529 A*

KR1020120137462 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1기판 상에 위치하는 광차단층;
 상기 광차단층 상에 위치하는 버퍼층;
 상기 버퍼층 상에 위치하는 반도체층;
 상기 반도체층 상에서 상기 반도체층과 직접 접하며 상기 반도체층의 채널 영역의 전부를 노출하는 개구를 포함하는 더미 금속층;
 상기 개구 내의 상기 반도체층 상에 위치하고 상기 더미 금속층과 접하지 않는 절연층;
 상기 절연층 상의 게이트 금속층; 및
 상기 게이트 금속층 및 상기 절연층 상에 위치하는 소오스 드레인 금속층을 포함하되,
 상기 광차단층과 상기 소오스 드레인 금속층 간의 중첩하지 않는 비중첩영역을 더 갖고,
 상기 더미 금속층은 상기 비중첩 영역에서 소오스 드레인 금속층과 중첩하고,
 상기 게이트 금속층은 제1 방향을 따라 연장되고,
 상기 광차단층은 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 상측변, 및 상기 상측변과 만나고 상기 제1 방향을 따라 연장되는 좌측변을 포함하고,
 평면상 상기 비중첩영역은 상기 상측변으로부터 하측 방향으로 만입되어 형성되고,
 평면상 상기 비중첩 영역과 상기 게이트 금속층 간의 이격 거리는 상기 게이트 금속층과 상기 광차단층의 좌측 변 간의 이격 거리보다 작은 표시장치.

청구항 2

제1항에 있어서,
 상기 비중첩영역은
 상기 반도체층과 상기 소오스 드레인 금속층 간의 전기적인 접속이 이루어지는 영역에 대응하거나 이보다 넓은 영역을 갖는 표시장치.

청구항 3

제1항에 있어서,
 상기 비중첩영역은
 상기 광차단층의 상단의 일면 외곽에 위치하고 사각형 형상을 갖는 표시장치.

청구항 4

제1항에 있어서,
 상기 비중첩영역은
 상기 광차단층의 상단의 측면 외곽에 위치하고 사각형 형상을 갖는 표시장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 광차단층, 상기 게이트금속층 및 상기 소오스 드레인 금속층 중 선택된 하나 이상은 광흡수층을 갖는 복층인 표시장치.

청구항 8

제1기판 상에 광차단층을 형성하는 단계;

상기 광차단층 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 반도체층을 형성하는 단계;

상기 반도체층 상에서 상기 반도체층과 직접 접하며 상기 반도체층의 채널 영역의 전부를 노출하는 개구를 포함하는 더미 금속층을 형성하는 단계;

상기 개구 내의 상기 반도체층 상에 상기 더미 금속층과 접하지 않는 절연층을 형성하는 단계;

상기 절연층 상에 게이트 금속층을 형성하는 단계; 및

상기 게이트 금속층 및 상기 절연층 상에 소오스 드레인 금속층을 형성하는 단계를 포함하되,

상기 광차단층은 상기 소오스 드레인 금속층과 중첩하는 영역이 제거된 비중첩영역을 갖고,

상기 더미 금속층은 상기 비중첩 영역에서 소오스 드레인 금속층과 중첩하고,

상기 게이트 금속층은 제1 방향을 따라 연장되고,

상기 광차단층은 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 상측변, 및 상기 상측변과 만나고 상기 제1 방향을 따라 연장되는 좌측변을 포함하고,

평면상 상기 비중첩영역은 상기 상측변으로부터 상기 제1 방향 타측으로 만입되어 형성되고,

평면상 상기 비중첩 영역과 상기 게이트 금속층 간의 이격 거리는 상기 게이트 금속층과 상기 광차단층의 좌측변 간의 이격 거리보다 작은 표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 비중첩영역은

상기 반도체층과 상기 소오스 드레인 금속층 간의 전기적인 접속이 이루어지는 영역에 대응하거나 이보다 넓은 영역을 갖는 표시장치의 제조방법.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 표시장치와 이의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플

라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

- [0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.
- [0004] 표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 표시장치는 산화물 트랜지스터(Oxide TFT)를 기반으로 표시패널을 구현할 수 있다.
- [0005] 그런데 산화물 트랜지스터는 불안정한 NBTiS(Negative Bias Thermal illumination Stress) 특성이 있다. 따라서, 종래에는 이를 개선하기 위해 산화물 트랜지스터의 하부에 외부 광을 차단하는 광차단층(Light Shield Layer)을 삽입하는 방식이 제안된 바 있다. 그런데 종래에 제안된 방식은 특정 영역에서 광차단층과 소오스 드레인 금속층 간의 쇼트 불량률이 유발되는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 광차단층과 소오스 드레인 금속층 간의 쇼트가 유발되는 문제를 방지하고 광흡수 특성을 강화시켜 표시 패널의 생산 수율 및 구동 신뢰성을 향상하는 것이다.

과제의 해결 수단

- [0007] 상술한 과제 해결 수단으로 본 발명은 제1기판, 광차단층, 버퍼층, 반도체층, 절연층 및 소오스 드레인 금속층을 포함하는 표시장치를 제공한다. 표시장치는 광차단층과 소오스 드레인 금속층 간의 중첩하지 않는 비중첩영역을 갖는다.
- [0008] 비중첩영역은 반도체층과 소오스 드레인 금속층 간의 전기적인 접속이 이루어지는 영역에 대응하거나 이보다 넓은 영역을 가질 수 있다.
- [0009] 비중첩영역은 광차단층의 상단의 일면 외곽에 위치하고 사각형 형상을 가질 수 있다.
- [0010] 비중첩영역은 광차단층의 상단의 측면 외곽에 위치하고 사각형 형상을 가질 수 있다.
- [0011] 비중첩영역은 반도체층 상에 절연된 게이트금속층과 인접하는 영역에 위치할 수 있다.
- [0012] 반도체층과 절연층 사이에 위치하는 더미 금속층을 포함할 수 있다.
- [0013] 광차단층, 게이트금속층 및 소오스 드레인 금속층 중 선택된 하나 이상은 저반사층을 갖는 복층일 수 있다.
- [0014] 다른 측면에서 본 발명은 표시장치의 제조방법을 제공한다. 표시장치의 제조방법은 제1기판 상에 광차단층을 형성하는 단계, 광차단층 상에 버퍼층을 형성하는 단계, 버퍼층 상에 반도체층을 형성하는 단계, 반도체층 상에 절연층을 형성하는 단계, 및 절연층 상에 소오스 드레인 금속층을 형성하는 단계를 포함하되, 광차단층은 소오스 드레인 금속층과 중첩하는 영역이 제거된 비중첩영역을 갖는다.
- [0015] 비중첩영역은 반도체층과 소오스 드레인 금속층 간의 전기적인 접속이 이루어지는 영역에 대응하거나 이보다 넓은 영역을 가질 수 있다.
- [0016] 비중첩영역은 반도체층 상에 절연된 게이트금속층과 인접하는 영역에 위치할 수 있다.

발명의 효과

- [0017] 본 발명은 광차단층과 소오스 드레인 금속층 간의 쇼트가 유발되는 문제를 방지하고 반도체층의 노출에 의한 외광 영향성을 최소화하여 표시 패널의 생산 수율 및 구동 신뢰성을 향상하는 효과가 있다. 또한, 본 발명은 산화물 트랜지스터 제작 시 발생하는 문제를 개선하고 광흡수 특성을 강화시켜 표시 패널의 생산 수율 및 구동 신뢰성을 향상하는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.

- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 본 발명의 실시예에 따른 서브 픽셀의 회로 구성 예시도.
- 도 4는 본 발명의 실시예에 따른 표시 패널의 단면 예시도.
- 도 5는 본 발명의 실시예에 따른 서브 픽셀의 평면 예시도.
- 도 6은 종래에 제안된 방식의 문제를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도.
- 도 7은 도 6의 A1-A2 영역의 단면도.
- 도 8은 본 발명의 제1실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도.
- 도 9는 도 8의 B1-B2 영역의 단면도.
- 도 10은 본 발명의 제2실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도.
- 도 11은 도 10의 C1-C2 영역의 단면도.
- 도 12는 본 발명의 제3실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도.
- 도 13은 도 12의 D1-D2 영역의 단면도.
- 도 14는 제1예시에 따른 광차단층의 구조도.
- 도 15는 도 14의 EXT 영역을 확대 도시한 도면.
- 도 16은 제2예시에 따른 광차단층의 구조도.
- 도 17은 도 16의 EXT 영역을 확대 도시한 도면.
- 도 18은 제3예시에 따른 광차단층의 구조도.
- 도 19는 도 18의 EXT 영역을 확대 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 본 발명에 따른 표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터 등으로 구현된다. 표시장치의 표시 패널은 액정표시패널, 유기발광표시패널, 전기영동표시패널, 플라즈마표시패널 등이 선택될 수 있으나 이에 한정되지 않는다. 그러나 이하에서는 설명의 편의를 위해 유기발광표시패널을 기반으로 하는 유기전계발광 표시장치를 일례로 설명한다.
- [0021] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 4는 본 발명의 실시예에 따른 표시 패널의 단면 예시도이며, 도 5는 본 발명의 실시예에 따른 서브 픽셀의 평면 예시도이다.
- [0022] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0023] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준진압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는

IC(Integrated Circuit) 형태로 형성될 수 있다.

- [0026] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0027] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0028] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0030] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0031] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0032] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0033] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0034] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0035] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시시간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분)된다.
- [0036] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0037] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패

시터 등을 구성하는 전극으로 활용할 수 있다.

- [0038] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0039] 도 4에 도시된 바와 같이, 제1기판(150a)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기판)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다. 제1기판(150a)은 유리나 연성을 갖는 재료로 선택될 수 있다.
- [0040] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.
- [0041] 도 4 및 도 5에 도시된 바와 같이, 표시영역(AA) 상에는 발광영역(EMA)과 회로영역(DRA)을 갖는 제1서브 픽셀(SP01) 및 제2서브 픽셀(SP02)이 형성된다. 제1서브 픽셀(SP01)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SP02)의 우측에는 레퍼런스라인(REF)이 위치할 수 있고, 제1서브 픽셀(SP01) 및 제2서브 픽셀(SP02) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치할 수 있다.
- [0042] 제1서브 픽셀(SP01)은 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SP02)의 우측에 위치하는 레퍼런스라인(REF)에 전기적으로 연결될 수 있다. 제2서브 픽셀(SP02)은 제1서브 픽셀(SP01)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자신의 우측에 위치하는 레퍼런스라인(REF)에 전기적으로 연결될 수 있다.
- [0043] 제1서브 픽셀(SP01) 및 제2서브 픽셀(SP02)은 회로영역(DRA)에 위치하는 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(EMA)에 위치하는 유기 발광다이오드가 빛을 발광하게 된다.
- [0044] 유기전계발광표시장치는 산화물 트랜지스터(Oxide TFT)를 기반으로 표시패널을 구현할 수 있다. 그런데 산화물 트랜지스터는 불안정한 NBTiS(Negative Bias Thermal illumination Stress) 특성이 있다. 따라서, 종래에는 이를 개선하기 위해 산화물 트랜지스터의 하부에 외부 광을 차단하는 광차단층(Light Shield Layer)을 삽입하는 방식이 제안된 바 있다. 그런데 종래에 제안된 방식은 특정 영역에서 광차단층과 소오스 드레인 금속층 간의 쇼트 불량률이 유발되는 문제가 있어 이의 개선이 요구된다.
- [0045] 이하, 종래 구조의 문제를 고찰하고 이를 해결할 수 있는 본 발명의 실시예에 대해 설명한다.
- [0046] 도 6은 종래에 제안된 방식의 문제를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도이고, 도 7은 도 6의 A1-A2 영역의 단면도이다.
- [0047] 도 6에 도시된 바와 같이, 종래에는 제1기판 상에 광차단층(LS), 반도체층(ACT), 게이트금속층(GATE), 소오스 드레인 금속층(SD)을 형성하는 공정을 진행하여 회로영역 내에 구동 트랜지스터(DR) 및 커패시터(Cst) 등을 형성한다.
- [0048] 도 6의 (a)와 같이, 제1기판 상에 광차단층(LS)을 형성하고, 광차단층(LS) 상에 버퍼층(BUF)을 형성하고, 버퍼층(BUF) 상에 반도체층(ACT)을 형성한다. 반도체층(ACT)에는 오픈부(OPN)가 포함될 수 있다.
- [0049] 도 6의 (b)와 같이, 반도체층(ACT) 상에 제1절연층(미도시)을 형성하고, 제1절연층 상에 게이트금속층(GATE)을 형성한다. 게이트금속층(GATE)을 도시된 형태로 형성하기 위해, 패터닝 후 식각(Etch) 공정을 수행하고, 게이트금속층(GATE)의 주변으로 노출된 반도체층(ACT)에 플라즈마 공정을 진행하여 도체화한다.
- [0050] 도체화 공정이 진행되면 게이트금속층(GATE)에 의해 가려진 반도체층(ACT)은 반도체 성질을 갖는 반면 그 주변으로 노출된 반도체층(ACT)은 금속 성질을 갖게 된다. 반도체층(ACT) 및 게이트금속층(GATE) 상에 제2절연층을 형성하고, 오픈부(OPN) 내에 게이트금속층(GATE)의 일부를 노출하는 제1콘택홀(CH1)을 형성한다.
- [0051] 도 6의 (c)와 같이, 제2절연층 상에 제2콘택홀(CH2)을 형성하고 제2절연층 상에 소오스 드레인 금속층(SD)을 형성한다. 소오스 드레인 금속층(SD)을 패터닝하여 영역별로 분리한다.
- [0052] 소오스 드레인 금속층(SD)은 제1콘택홀(CH1)에 연결되어 커패시터(Cst)를 이루는 부분(SDb), 제2콘택홀(CH2)에 연결되어 제1전원라인과 연결되는 부분(SDa) 및 센싱 트랜지스터와 연결되는 부분(SDc) 등으로 분리된다.

- [0053] 도 7에 도시된 바와 같이, 종래에 제안된 구조는 제2절연층(ILD) 식각 공정 시, 과식각이 일어날 경우 광차단층(LS)과 소오스 드레인 금속층(SD) 간의 쇼트 불량률이 유발된다.
- [0054] 위와 같은 문제가 발생하는 이유는 과식각 문제, 이물 영향성 문제 및 층간 구조 문제 등에 의해 나타나는 것으로 검토된바 이하 실시예에서는 위의 문제를 다음과 같이 해결한다.
- [0055] 도 8은 본 발명의 제1실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도이고, 도 9는 도 8의 B1-B2 영역의 단면도이다.
- [0056] 도 8에 도시된 바와 같이, 제1실시예는 제1기판 상에 광차단층(LS), 반도체층(ACT), 게이트금속층(GATE), 소오스 드레인 금속층(SD)을 형성하는 공정을 진행하여 회로영역 내에 구동 트랜지스터(DR) 및 커패시터(Cst) 등을 형성한다. 반도체층(ACT)은 예컨대, IGZO가 선택될 수 있으나 이에 한정되지 않는다.
- [0057] 도 8의 (a) 및 도 9와 같이, 제1기판 상에 광차단층(LS)을 형성하고, 이후 소오스 드레인 금속층(SD)과 반도체층(ACT) 간의 전기적인 접촉이 이루어지는 영역(LS와 SD 간의 중첩 영역)을 제거한다. 이에 따라, 광차단층(LS)에는 소오스 드레인 금속층(SD)과 전기적인 콘택이 이루어지는 영역을 제거한 비중첩영역(LSD)을 갖는다.
- [0058] 비중첩영역(LSD)은 제2콘택홀(CH2)의 위치에 대응될 수 있다. 그러나 비중첩영역(LSD)은 공정 마진을 고려하여 제2콘택홀(CH2)보다 넓은 영역을 차지하도록 설정될 수 있다. 또한, 도면에서는 비중첩영역(LSD)이 광차단층(LS)의 상단의 일면 외곽에 위치하고 사각형(또는 직사각형) 형상을 갖는 것을 일례로 하였으나 이에 한정되지 않고 콘택 구조에 대응하여 위치 및 형상이 변경될 수도 있다.
- [0059] 광차단층(LS)은 다층막으로 형성된다. 광차단층(LS)은 예컨대 Mo(제1층)/TCO(제2층)/Mo(제3층) 이상 3층막으로 형성될 수 있다. 제2층에 해당하는 TCO는 예컨대 ITO가 선택될 수 있으나 이에 한정되지 않는다.
- [0060] 광차단층(LS) 상에 버퍼층(BUF)을 형성하고, 버퍼층(BUF) 상에 반도체층(ACT)을 형성한다. 반도체층(ACT)에는 오픈부(OPN)가 포함될 수 있다. 오픈부(OPN)는 게이트금속층(GATE)이 형성될 영역의 일부에 대응되는 반도체층(ACT)을 제거한 영역이다. 반도체층(ACT)은 광차단층(LS)과 유사한 형상을 갖지만 외광 영향성을 낮추기 위해 더 작고 좁은 면적을 갖도록 패터닝된다. 반도체층(ACT)을 형성한 이후 고온에서 열처리를 실시하는 공정을 진행할 수 있다.
- [0061] 도 8의 (b) 및 도 9와 같이, 반도체층(ACT) 상에 제1절연층(미도시)을 형성하고, 제1절연층 상에 게이트금속층(GATE)을 형성한다. 게이트금속층(GATE)은 도시된 바와 같이 U자(또는 디근(ㄷ))를 좌측으로 90도 회전시켜 놓은 형상) 형상으로 형성할 수 있으나 이에 한정되지 않는다. 게이트금속층(GATE)이 U자 형상을 갖는 경우 이는 유(U)타입 트랜지스터로 명명될 수 있다.
- [0062] 게이트금속층(GATE)을 도시된 형태로 형성하기 위해, 패터닝 후 식각(Etch) 공정을 수행하고, 게이트금속층(GATE)의 주변으로 노출된 반도체층(ACT)에 플라즈마 공정을 진행하여 도체화한다. 도체화 공정이 진행되면 게이트금속층(GATE)에 의해 가려진 반도체층(ACT)은 반도체 성질을 갖는 반면 그 주변으로 노출된 반도체층(ACT)은 금속 성질을 갖게 된다.
- [0063] 반도체층(ACT) 및 게이트금속층(GATE) 상에 제2절연층(ILD)을 형성하고, 게이트금속층(GATE)의 일부를 노출하는 제1콘택홀(CH1)을 형성한다. 제1콘택홀(CH1)은 세로방향보다 가로방향이 긴 직사각형 형상을 일례로 하였으나 이에 한정되지 않는다.
- [0064] 도 8의 (c) 및 도 9와 같이, 제2절연층 상에 제2콘택홀(CH2)을 형성하고 제2절연층(ILD) 상에 소오스 드레인 금속층(SD)을 형성한다. 소오스 드레인 금속층(SD)의 재료는 Cu, Al, Au, Ag, Ti, Mo, W, Ta 및 이를 포함하는 하나 이상의 합금(Alloy)으로 선택될 수 있다. 앞서 언급된 재료는 광차단층(LS) 및 게이트금속층(GATE)에도 적용 가능하다.
- [0065] 소오스 드레인 금속층(SD)을 패터닝하여 영역별로 분리한다. 소오스 드레인 금속층(SD)은 제1콘택홀(CH1)에 연결되어 커패시터(Cst)를 이루는 부분(SDb), 제2콘택홀(CH2)에 연결되어 제1전원라인과 연결되는 부분(SDa) 및 스위칭 트랜지스터와 연결되는 부분(SDc) 등으로 분리된다.
- [0066] 도 9에 도시된 바와 같이, 제1실시예에 따른 구조는 제2절연층(ILD) 식각 공정 시, 과식각이 일어나더라도 광차단층(LS)과 소오스 드레인 금속층(SD) 간의 쇼트 불량률이 유발되지 않는다. 그 이유는 공정에서 발생할 수 있는 과식각 문제나 이물 영향성 문제 등을 고려하여 광차단층(LS)에 비중첩영역(LSD)을 마련하였기 때문이다.
- [0067] 도 10은 본 발명의 제2실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도이고, 도 11은 도 10의

C1-C2 영역의 단면도이다.

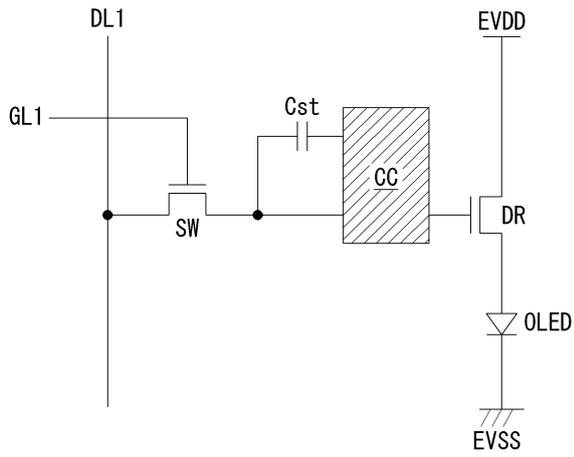
- [0068] 도 10 및 도 11에 도시된 바와 같이, 제2실시예는 제1기판 상에 광차단층(LS), 반도체층(ACT), 게이트금속층(GATE), 소오스 드레인 금속층(SD)을 형성하는 공정을 진행하여 회로영역 내에 구동 트랜지스터(DR) 및 커패시터(Cst) 등을 형성한다. 반도체층(ACT)은 예컨대, IGZO가 선택될 수 있으나 이에 한정되지 않는다.
- [0069] 도 10의 (a) 및 도 11과 같이, 제1기판 상에 광차단층(LS)을 형성하고, 이후 소오스 드레인 금속층(SD)과 반도체층(ACT) 간의 전기적인 접속이 이루어지는 영역(LS와 SD 간의 중첩 영역)을 제거한다. 이에 따라, 광차단층(LS)에는 소오스 드레인 금속층(SD)과 전기적인 콘택이 이루어지는 영역을 제거한 비중첩영역(LSD)을 갖는다.
- [0070] 비중첩영역(LSD)은 제2콘택홀(CH2)의 위치에 대응될 수 있다. 그러나 비중첩영역(LSD)은 공정 마진을 고려하여 제2콘택홀(CH2)보다 넓은 영역을 차지하도록 설정될 수 있다. 또한, 도면에서는 비중첩영역(LSD)이 광차단층(LS)의 상단의 측면 외곽에 위치하고 사각형(또는 직사각형) 형상을 갖는 것을 일례로 하였으나 이에 한정되지 않고 콘택 구조에 대응하여 위치 및 형상이 변경될 수도 있다.
- [0071] 광차단층(LS) 상에 버퍼층(BUF)을 형성하고, 버퍼층(BUF) 상에 반도체층(ACT)을 형성한다. 반도체층(ACT)은 광차단층(LS)과 유사한 형상을 갖지만 외광 영향성을 낮추기 위해 더 작고 좁은 면적을 갖도록 패턴된다.
- [0072] 도 10의 (b) 및 도 11과 같이, 반도체층(ACT) 상에 제1절연층(미도시)을 형성하고, 제1절연층 상에 게이트금속층(GATE)을 형성한다. 게이트금속층(GATE)은 도시된 바와 같이 I자(또는 이(|)자 형상) 형상으로 형성할 수 있으나 이에 한정되지 않는다. 게이트금속층(GATE)이 I자 형상을 갖는 경우 이는 바(Bar)타입 트랜지스터로 명명될 수 있다.
- [0073] 게이트금속층(GATE)을 도시된 형태로 형성하기 위해, 패터닝 후 식각(Etch) 공정을 수행하고, 게이트금속층(GATE)의 주변으로 노출된 반도체층(ACT)에 플라즈마 공정을 진행하여 도체화한다. 도체화 공정이 진행되면 게이트금속층(GATE)에 의해 가려진 반도체층(ACT)은 반도체 성질을 갖는 반면 그 주변으로 노출된 반도체층(ACT)은 금속 성질을 갖게 된다.
- [0074] 반도체층(ACT) 및 게이트금속층(GATE) 상에 제2절연층(ILD)을 형성하고, 게이트금속층(GATE)의 일부를 노출하는 제1콘택홀(CH1)을 형성한다. 제1콘택홀(CH1)은 사각형 형상을 일례로 하였으나 이에 한정되지 않는다.
- [0075] 도 10의 (c) 및 도 11과 같이, 제2절연층 상에 제2콘택홀(CH2)을 형성하고 제2절연층(ILD) 상에 소오스 드레인 금속층(SD)을 형성한다. 소오스 드레인 금속층(SD)의 재료는 Cu, Al, Au, Ag, Ti, Mo, W, Ta 및 이를 포함하는 하나 이상의 합금(Alloy)으로 선택될 수 있다. 앞서 언급된 재료는 광차단층(LS) 및 게이트금속층(GATE)에도 적용 가능하다.
- [0076] 소오스 드레인 금속층(SD)을 패터닝하여 영역별로 분리한다. 소오스 드레인 금속층(SD)은 제1콘택홀(CH1)에 연결되어 커패시터(Cst)를 이루는 부분(SDb), 제2콘택홀(CH2)에 연결되어 제1전원라인과 연결되는 부분(SDa) 및 스위칭 트랜지스터와 연결되는 부분(SDc) 등으로 분리된다.
- [0077] 도 11에 도시된 바와 같이, 제2실시예에 따른 구조는 제2절연층(ILD) 식각 공정 시, 과식각이 일어나더라도 광차단층(LS)과 소오스 드레인 금속층(SD) 간의 쇼트 불량률이 유발되지 않는다. 그 이유는 공정에서 발생할 수 있는 과식각 문제나 이물 영향성 문제 등을 고려하여 광차단층(LS)에 비중첩영역(LSD)을 마련하였기 때문이다.
- [0078] 한편, 광차단층(LS)에 비중첩영역(LSD)을 마련할 경우, 외광 영향성에 의해 NBTIS 특성 저하가 발생할 수도 있다. 따라서, 제2실시예에서는 소오스 드레인 금속층(SD)에 저반사층을 개재하여 복층 구조로 형성할 수 있다. 소오스 드레인 금속층(SD)은 저반사층을 포함하여 N층(N은 2 이상 정수)으로 이루어질 수 있으나 도면에서는 제 1 내지 제3층으로 이루어진 것을 일례로 하였다.
- [0079] 소오스 드레인 금속층(SD)에 포함된 저반사층은 측면에서 입사 또는 반사되어 들어오는 외광을 흡수할 수 있다. 그러므로 저반사층을 갖는 소오스 드레인 금속층(SD)의 구조를 이용하면 광차단층(LS)에 비중첩영역(LSD)을 형성할 때 발생할 수 있는 외광 영향성 NBTIS 특성 저하 문제를 개선할 수 있다.
- [0080] 아울러, 소오스 드레인 금속층(SD) 구성시 저반사층을 개재하면 도 11의 (a)와 같이 광차단층(LS)과 비중첩하는 구조를 갖거나 도 11의 (b)와 같이 중첩하는 구조를 갖도록 오프셋(off set)을 조절할 수 있다.
- [0081] 도 12는 본 발명의 제3실시예를 설명하기 위한 서브 픽셀의 회로영역을 나타낸 평면도이고, 도 13은 도 12의 D1-D2 영역의 단면도이다.

- [0082] 도 12 및 도 13에 도시된 바와 같이, 제3실시예는 제1기판 상에 광차단층(LS), 반도체층(ACT), 더미 금속층(MET), 게이트금속층(GATE), 소오스 드레인 금속층(SD)을 형성하는 공정을 진행하여 회로영역 내에 구동 트랜지스터(DR) 및 커패시터(Cst) 등을 형성한다. 반도체층(ACT)은 예컨대, IGZO가 선택될 수 있으나 이에 한정되지 않는다.
- [0083] 도 12의 (a) 및 도 13과 같이, 제1기판 상에 광차단층(LS)을 형성하고, 이후 소오스 드레인 금속층(SD)과 반도체층(ACT) 간의 전기적인 접촉이 이루어지는 영역(LS와 SD 간의 중첩 영역)을 제거한다. 이에 따라, 광차단층(LS)에는 소오스 드레인 금속층(SD)과 전기적인 콘택이 이루어지는 영역을 제거한 비중첩영역(LSD)을 갖는다.
- [0084] 비중첩영역(LSD)은 제2콘택홀(CH2)의 위치에 대응될 수 있다. 그러나 비중첩영역(LSD)은 공정 마진을 고려하여 제2콘택홀(CH2)보다 넓은 영역을 차지하도록 설정될 수 있다. 또한, 도면에서는 비중첩영역(LSD)이 광차단층(LS)의 상단의 측면 외곽에 위치하고 직사각형 형상을 갖는 것을 일례로 하였으나 이에 한정되지 않고 콘택 구조에 대응하여 위치 및 형상이 변경될 수도 있다.
- [0085] 광차단층(LS) 상에 버퍼층(BUF)을 형성하고, 버퍼층(BUF) 상에 반도체층(ACT)을 형성한다. 반도체층(ACT)은 광차단층(LS)과 유사한 형상을 갖지만 외광 영향성을 낮추기 위해 더 작고 좁은 면적을 갖도록 패턴된다.
- [0086] 도 12의 (b) 및 도 13과 같이, 반도체층(ACT) 상에 더미 금속층(MET)을 형성하고, 반도체층(ACT)의 채널영역(CN)에 대응되는 영역을 제외하고 반도체층(ACT)과 더미 금속층(MET)이 전기적으로 접촉하도록 패턴닝한다. 더미 금속층(MET)의 재료는 Mo, Ti, Zr, Ta, W, Cr, Mn, V, Nb, Fe, Co, Ni 및 이를 포함하는 하나 이상의 합금(Alloy)으로 선택될 수 있다.
- [0087] 더미 금속층(MET)은 반도체층(ACT)의 채널영역(CN)에 대응되는 영역을 제외하고 반도체층(ACT)과 대응하는 형상을 갖는다. 반도체층(ACT)과 더미 금속층(MET)의 구조는 저반사 특성이 있다. 반도체층(ACT) 상에 더미 금속층(MET)을 형성하면 도체화 영역을 줄여 공정성을 높일 수 있다. 또한, 반도체층(ACT)의 외광 흡수 경로를 차단할 수 있다. 또한, 반도체층(ACT)과 더미 금속층(MET)은 하프톤 공정으로 일괄 식각이 가능하다.
- [0088] 도 12의 (c) 및 도 13과 같이, 더미 금속층(MET) 상에 제1절연층(GI)을 형성하고, 제1절연층(GI) 상에 게이트금속층(GATE)을 형성한다. 게이트금속층(GATE)은 도시된 바와 같이 I자 또는 이(|)를 형태로 형성할 수 있으나 이에 한정되지 않는다. 게이트금속층(GATE)이 I자 형상을 갖는 경우 이는 바(Bar)타입 트랜지스터로 명명될 수 있다.
- [0089] 게이트금속층(GATE)을 도시된 형태로 형성하기 위해, 패턴닝 후 식각(Etch) 공정을 수행하고, 게이트금속층(GATE)의 주변으로 노출된 반도체층(ACT)에 플라즈마 공정을 진행하여 도체화한다. 도체화 공정이 진행되면 게이트금속층(GATE)에 의해 가려진 반도체층(ACT)은 반도체 성질을 갖는 반면 그 주변으로 노출된 반도체층(ACT)은 금속 성질을 갖게 된다.
- [0090] 반도체층(ACT) 및 게이트금속층(GATE) 상에 제2절연층(ILD)을 형성하고, 게이트금속층(GATE)의 일부를 노출하는 제1콘택홀(CH1)을 형성한다. 제1콘택홀(CH1)은 사각형 형상을 일례로 하였으나 이에 한정되지 않는다.
- [0091] 도 12의 (d) 및 도 13과 같이, 제2절연층(ILD) 상에 제2콘택홀(CH2)을 형성하고 제2절연층(ILD) 상에 소오스 드레인 금속층(SD)을 형성한다. 소오스 드레인 금속층(SD)의 재료는 Cu, Al, Au, Ag, Ti, Mo, W, Ta 및 이를 포함하는 하나 이상의 합금(Alloy)으로 선택될 수 있다. 앞서 언급된 재료는 광차단층(LS) 및 게이트금속층(GATE)에도 적용 가능하다.
- [0092] 소오스 드레인 금속층(SD)을 패턴닝하여 영역별로 분리한다. 소오스 드레인 금속층(SD)은 제1콘택홀(CH1)에 연결되어 커패시터(Cst)를 이루는 부분(SDb), 제2콘택홀(CH2)에 연결되어 제1전원라인과 연결되는 부분(SDa) 및 스위칭 트랜지스터와 연결되는 부분(SDc) 등으로 분리된다.
- [0093] 제1 및 제2실시예를 통해 알 수 있듯이, 제3실시예 또한 제2절연층(ILD) 식각 공정 시, 과식각이 일어나더라도 광차단층(LS)과 소오스 드레인 금속층(SD) 간의 쇼트 불량률이 유발되지 않는다. 그 이유는 공정에서 발생할 수 있는 과식각 문제나 이물 영향성 문제 등을 고려하여 광차단층(LS)에 비중첩영역(LSD)을 마련하였기 때문이다.
- [0094] 한편, 광차단층(LS)에 비중첩영역(LSD)을 마련할 경우, 외광 영향성에 의해 NBTIS 특성 저하가 발생할 수도 있다. 따라서, 제3실시예에서는 반도체층(ACT)의 채널영역(CN)에 대응되는 영역을 제외하고 반도체층(ACT) 상에 더미 금속층(MET)을 함께 증착하여 외광의 이동경로를 차단한다.
- [0095] 더미 금속층(MET)은 측면에서 입사 또는 반사되어 들어오는 흡수할 수 있다. 그러므로 더미 금속층(MET)을 이용

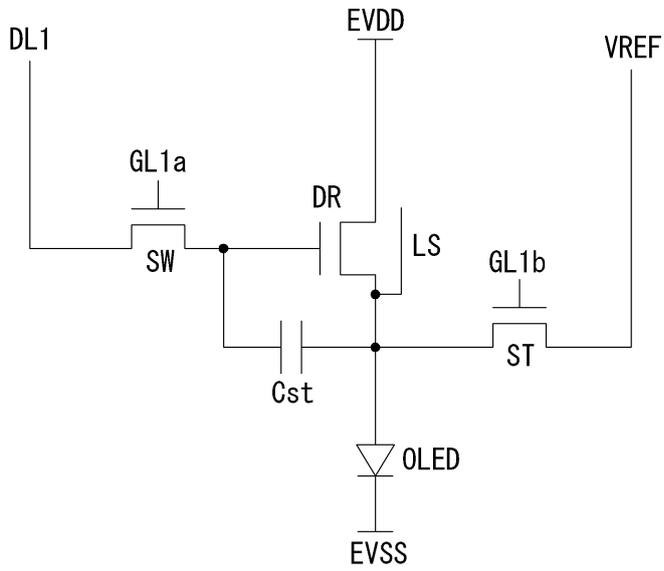
하면 광차단층(LS)에 비중첩영역(LSD)을 형성할 때 발생할 수 있는 외광 영향성 NBTiS 특성 저하 문제를 개선할 수 있다.

- [0096] 이상, 본 발명의 제1 내지 제3실시예를 통해 알 수 있듯이 콘택홀을 통해 전기적인 접속이 이루어지는 소오스 드레인 금속층(SD)은 수직방향 또는 수평방향으로 패턴될 수 있다. 따라서, 광차단층(LS)의 비중첩영역(LSD)은 제1 내지 제3실시예에서 설명된 구조 외에도 다양한 위치 및 다양한 형성으로 형성될 수 있다.
- [0097] 앞서 설명된 표시 패널은 바텀 게이트(Bottom gate), 더블 게이트(Double gate), 코플라나(Coplanar) 등과 같은 일반적인 트랜지스터 구조에 적용 가능하다. 또한, 앞서 설명된 표시 패널은 상부 발광(Top emission), 하부 발광(Bottom emission), 양면 발광(Dual emission) 방식으로 구현 가능하다. 또한, 앞서 설명된 트랜지스터는 산화물 트랜지스터뿐만 아니라 다른 반도체 재료를 기반으로 구현된 트랜지스터에도 적용 가능하다.
- [0098] 한편, 앞서 설명된 제1 내지 제3실시예는 이하에서 설명되는 광차단층을 이용할 수 있다.
- [0099] 도 14는 제1예시에 따른 광차단층의 구조도 이고, 도 15는 도 14의 EXT 영역을 확대 도시한 도면이며, 도 16은 제2예시에 따른 광차단층의 구조도 이고, 도 17은 도 16의 EXT 영역을 확대 도시한 도면이며, 도 18은 제3예시에 따른 광차단층의 구조도 이고, 도 19는 도 18의 EXT 영역을 확대 도시한 도면이다.
- [0100] 도 14 및 도 15의 제1예시에 도시된 바와 같이, 광차단층(LS)은 제1층 내지 제5층(LS1 ~ LS5)으로 형성될 수 있다. 예컨대, 광차단층(LS)은 Mo(제1층)/ITO(제2층)/Mo(제3층)/MoTi(제4층)/TiO2(제5층)과 같이 5층막으로 형성될 수 있다. 그러나 TiO2에 의한 막이 형성되지 않을 경우, 광차단층(LS)은 Mo(제1층)/ITO(제2층)/Mo(제3층)/MoTi(제4층)과 같이 4층막으로 형성될 수도 있다.
- [0101] 광차단층(LS) 상에 형성되는 버퍼층(BUF)은 예컨대 SiO2로 선택될 수 있다. Mo와 SiO2는 접착력이 좋지 않다. 때문에, 제3층(LS3)인 Mo 상에 제4층(LS4)인 Ti 또는 MoTi를 개재하면 이전 대비 접착력을 향상할 수 있다. 이와 관련하여 설명을 덧붙이면, 상부에 위치하는 MoTi는 고온 공정 진행시 SiO2와의 접착력을 개선하고, Mo는 ITO와의 반응성을 억제할 수 있다. 또한, MoTi는 광을 흡수하는 능력이 우수하므로 이전 대비 외광 영향성을 더욱 낮출 수 있다.
- [0102] 도 16 및 도 17의 제2예시에 도시된 바와 같이, 광차단층(LS)은 제1층 내지 제4층(LS1 ~ LS4)으로 형성될 수 있다. 예컨대, 광차단층(LS)은 Mo(제1층)/ITO(제2층)/Mo(제3층)/SiNx(제4층)과 같이 4층막으로 형성될 수 있다.
- [0103] 광차단층(LS) 상에 형성되는 버퍼층(BUF)은 예컨대 SiO2로 선택될 수 있다. Mo와 SiO2는 접착력이 좋지 않다. 때문에, 제3층(LS3)인 Mo 상에 제4층(LS4)인 SiNx를 개재하면 이전 대비 접착력을 향상할 수 있다. 이와 관련하여 설명을 덧붙이면, SiNx는 SiO2와의 접착력을 개선과 함께 광을 흡수하는 능력을 강화하여 이전 대비 외광 영향성을 더욱 낮출 수 있다.
- [0104] 도 18 및 도 19의 제3예시에 도시된 바와 같이, 광차단층(LS)은 제1층 내지 제4층(LS1 ~ LS4)으로 형성될 수 있다. 예컨대, 광차단층(LS)은 Mo(제1층)/ITO(제2층)/Mo(제3층)/ITO(제4층)과 같이 4층막으로 형성될 수 있다.
- [0105] 광차단층(LS) 상에 형성되는 버퍼층(BUF)은 예컨대 SiO2로 선택될 수 있다. Mo와 SiO2는 접착력이 좋지 않다. 때문에, 제3층(LS3)인 Mo 상에 제4층(LS4)인 ITO를 개재하면 이전 대비 접착력을 향상할 수 있다. 이와 관련하여 설명을 덧붙이면, ITO는 SiO2와의 접착력을 개선과 함께 광을 흡수하는 능력을 강화하여 이전 대비 외광 영향성을 더욱 낮출 수 있다.
- [0106] 한편, 광차단층(LS)의 3층막 상에 추가되는 저반사 재료는 앞서 설명된 재료뿐만 아니라 Ti, Zr, Hf, V, Nb, Ta, Cr, W 및 이를 포함하는 하나 이상의 합금(Alloy)으로 선택될 수 있다. 그리고 위의 제1 내지 제3예시들은 실시예들에서 설명된 게이트금속층, 더미 금속층 및 소오스 드레인 금속층 중 선택된 하나 이상에 적용될 수 있다.
- [0107] 이상 본 발명은 광차단층과 소오스 드레인 금속층 간의 쇼트가 유발되는 문제를 방지하고 반도체층의 노출에 의한 외광 영향성을 최소화하여 표시 패널의 생산 수율 및 구동 신뢰성을 향상하는 효과가 있다. 또한, 본 발명은 산화물 트랜지스터 제작 시 발생하는 문제를 개선하고 광흡수 특성을 강화시켜 표시 패널의 생산 수율 및 구동 신뢰성을 향상하는 효과가 있다.
- [0108] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적

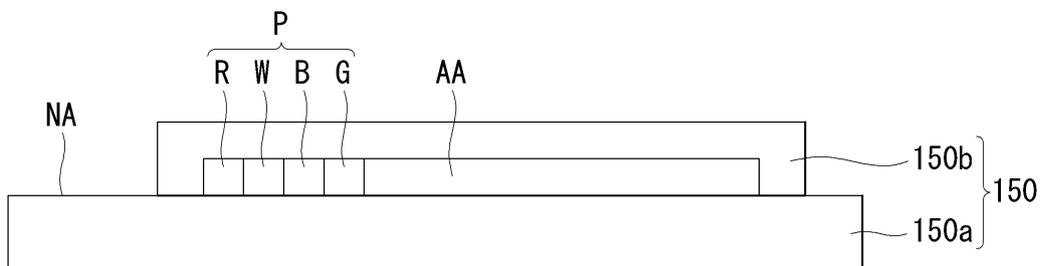
도면2



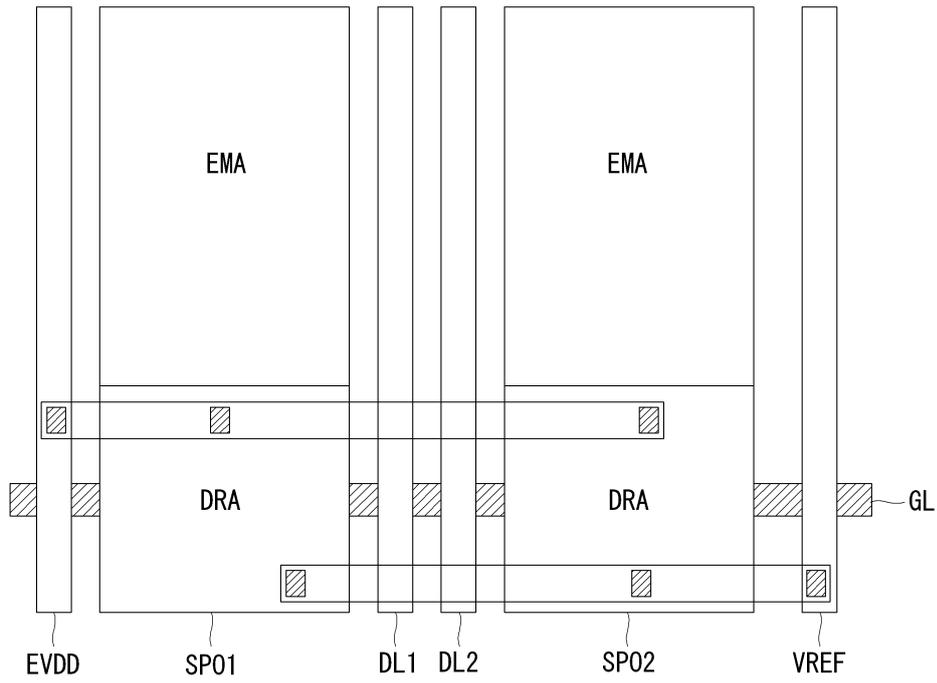
도면3



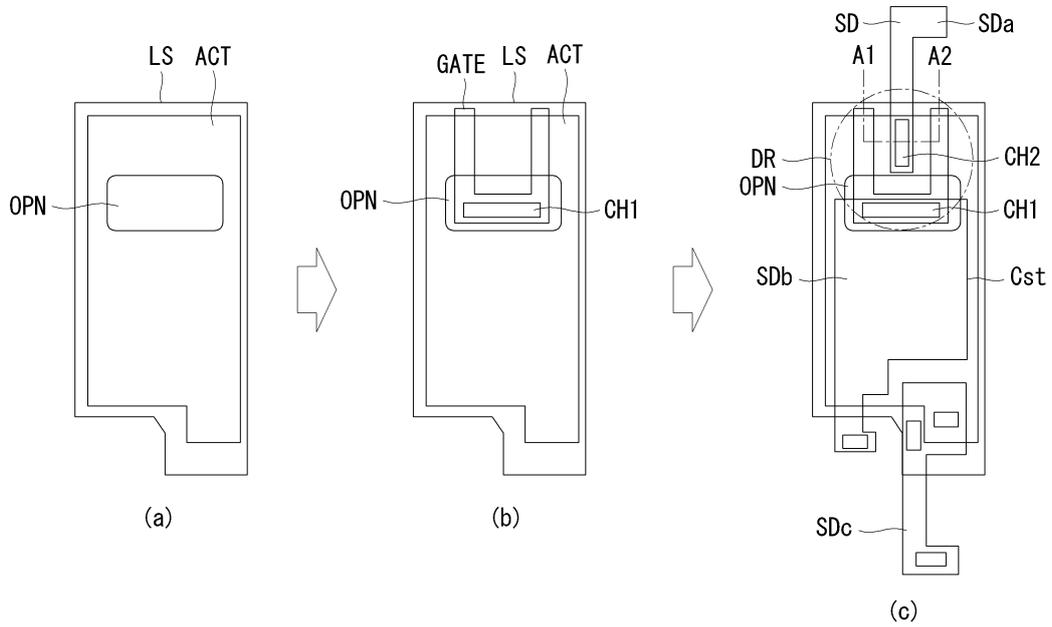
도면4



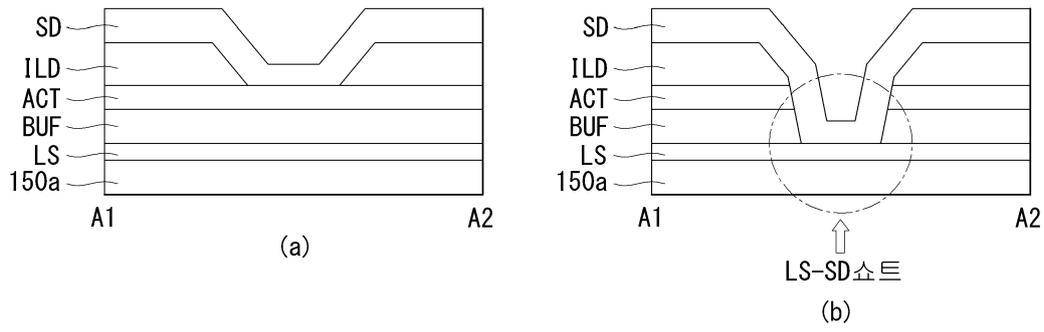
도면5



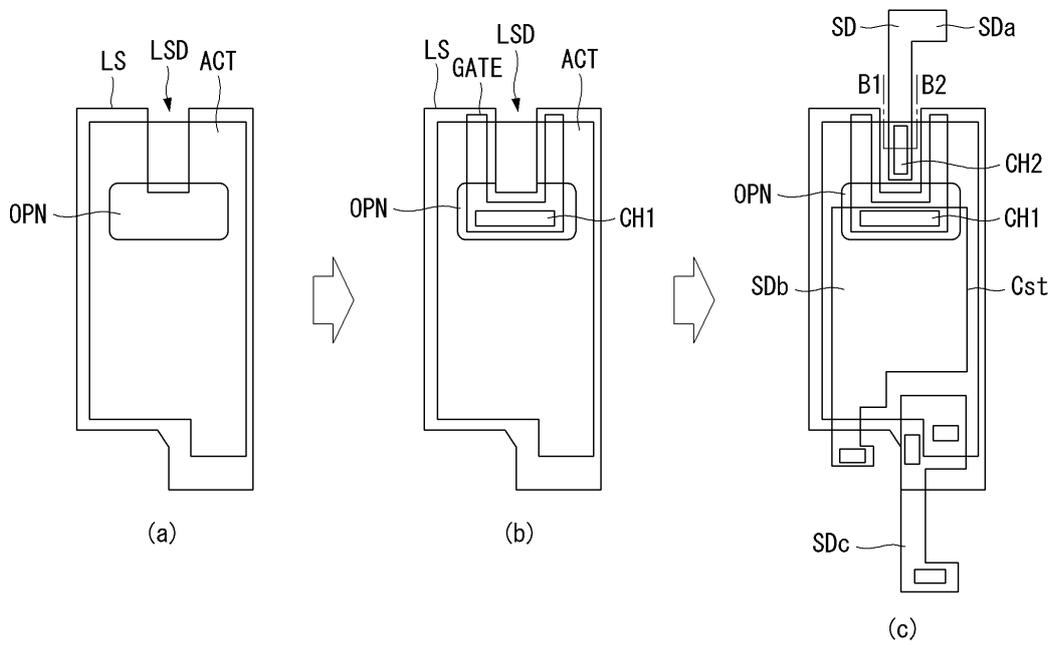
도면6



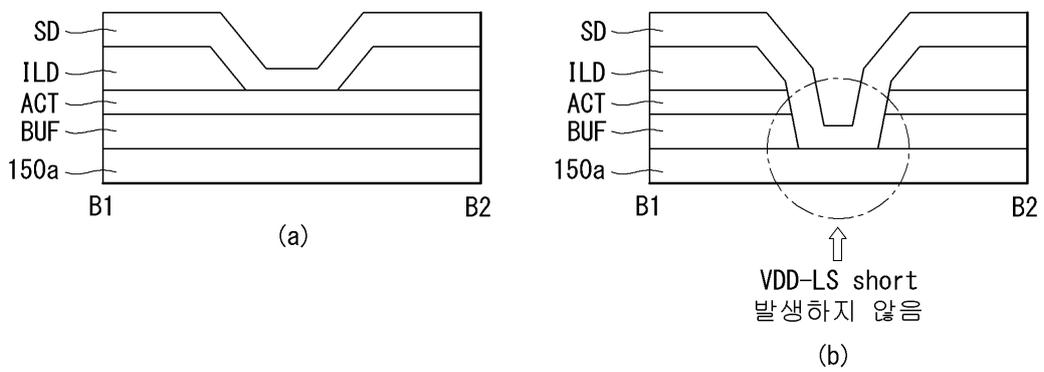
도면7



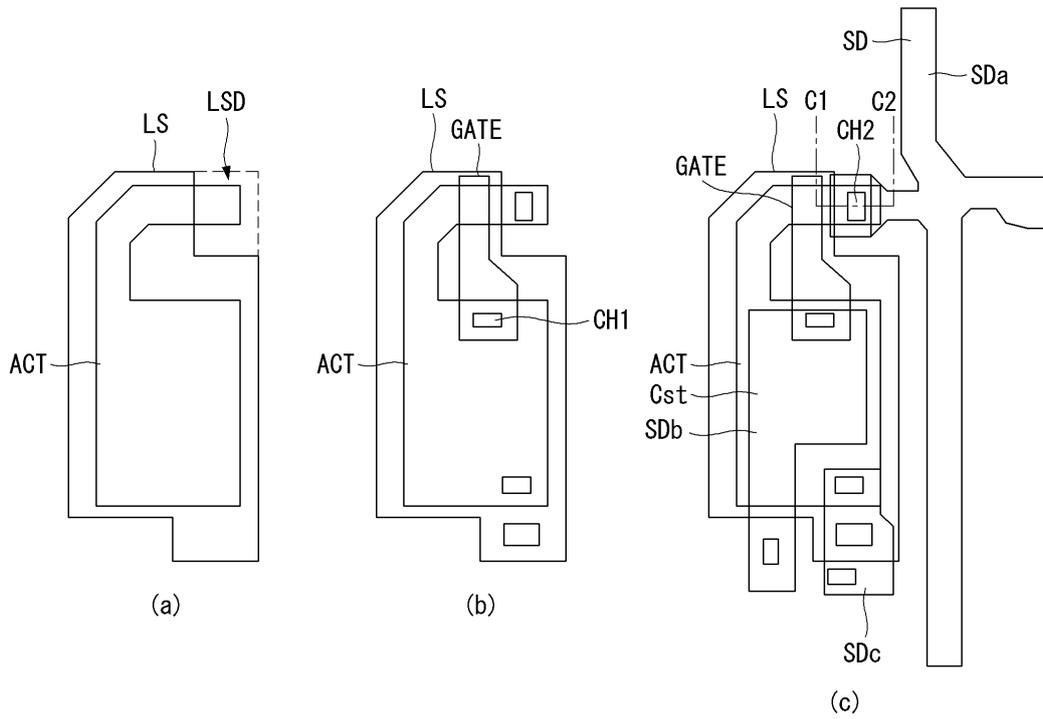
도면8



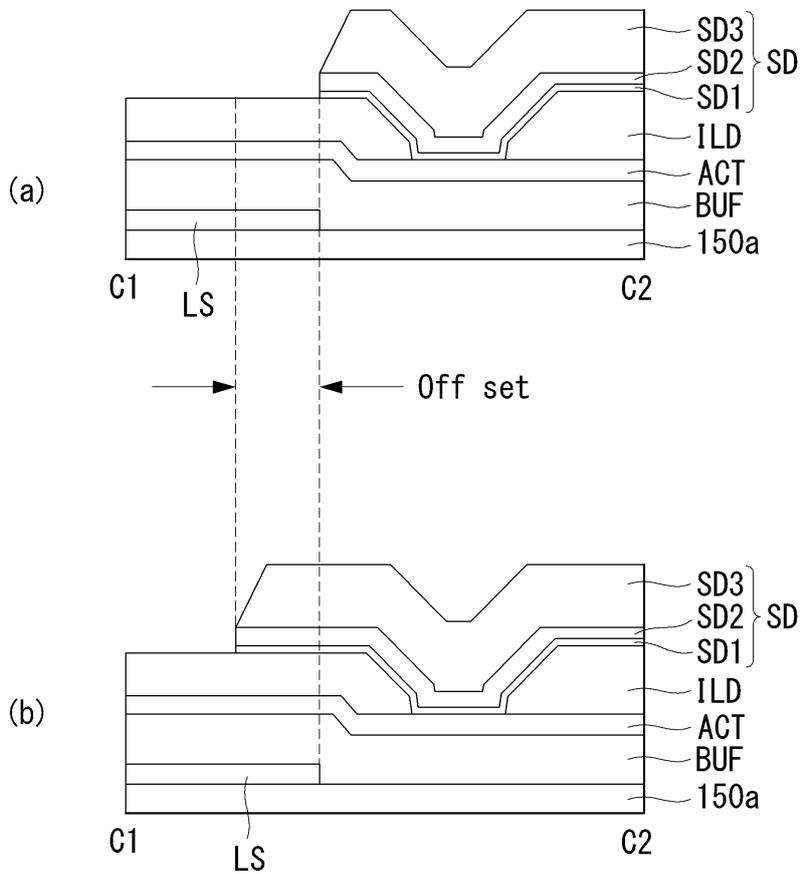
도면9



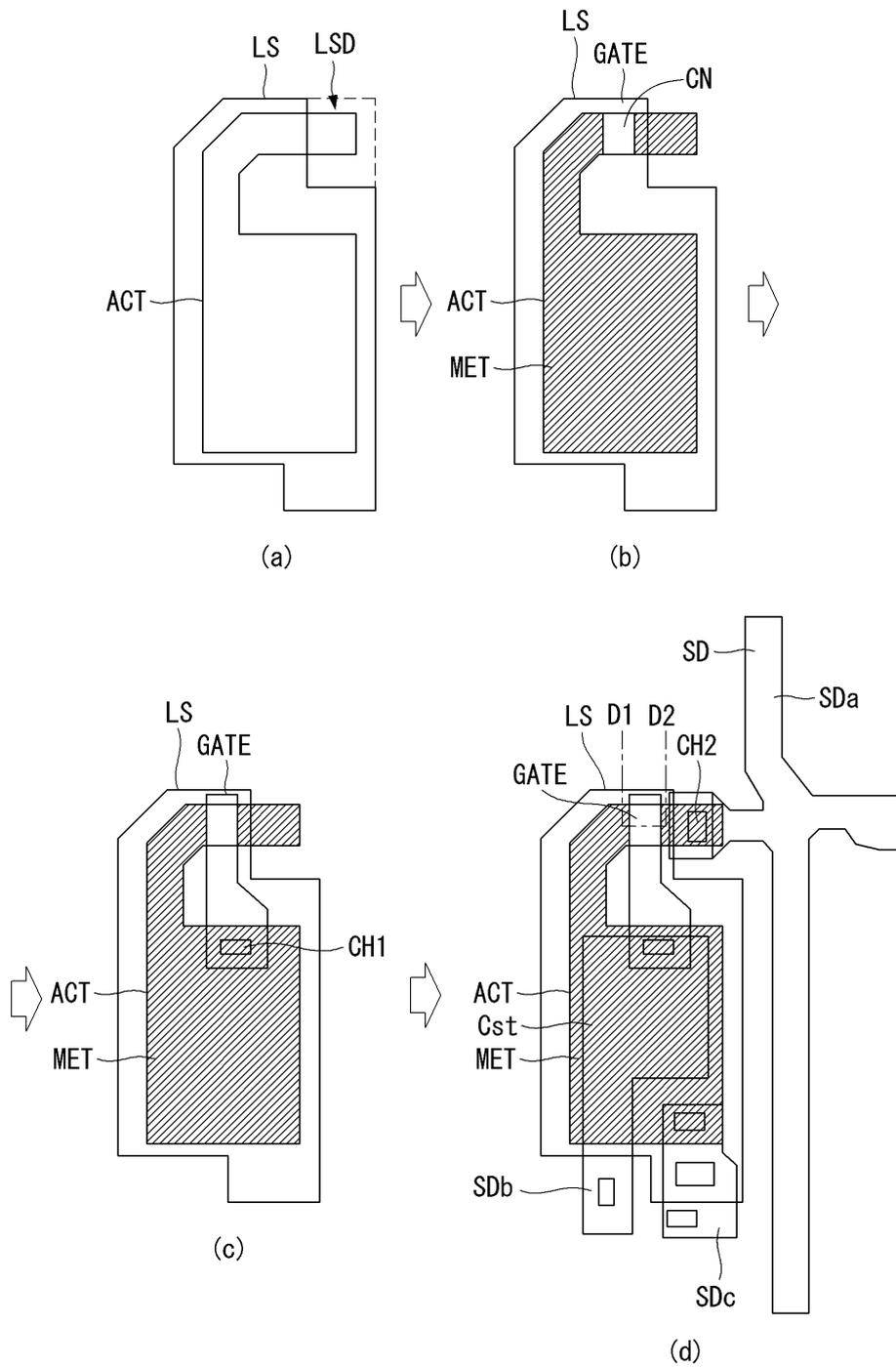
도면10



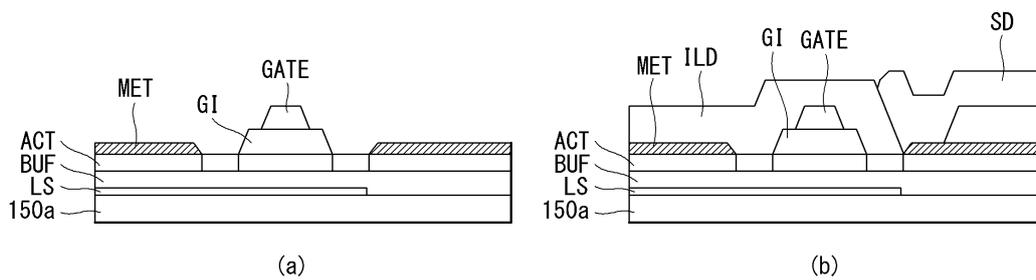
도면11



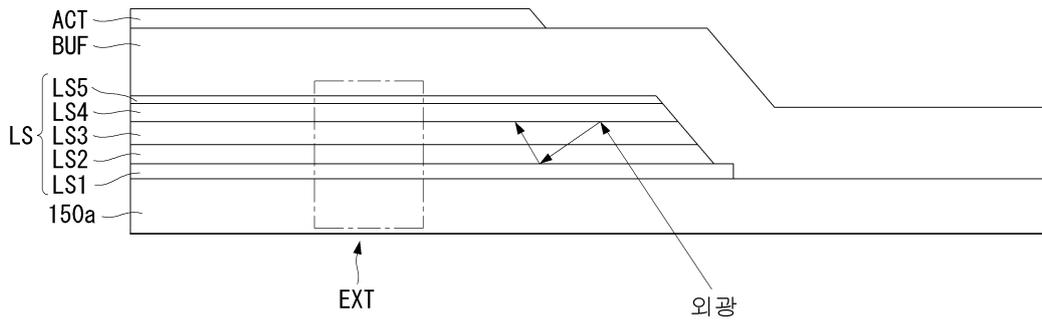
도면12



도면13



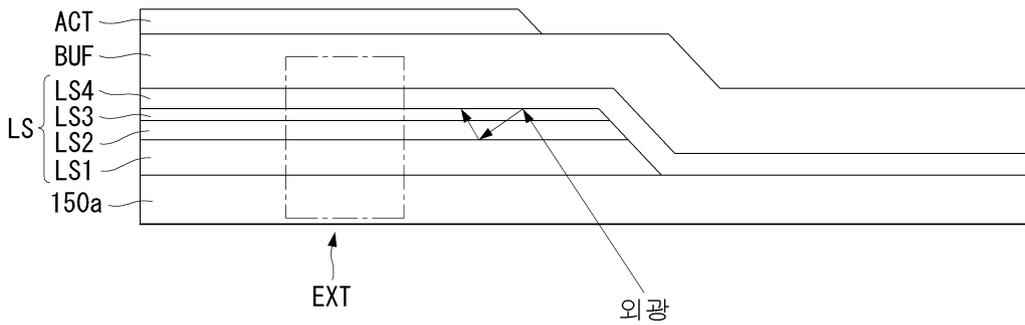
도면14



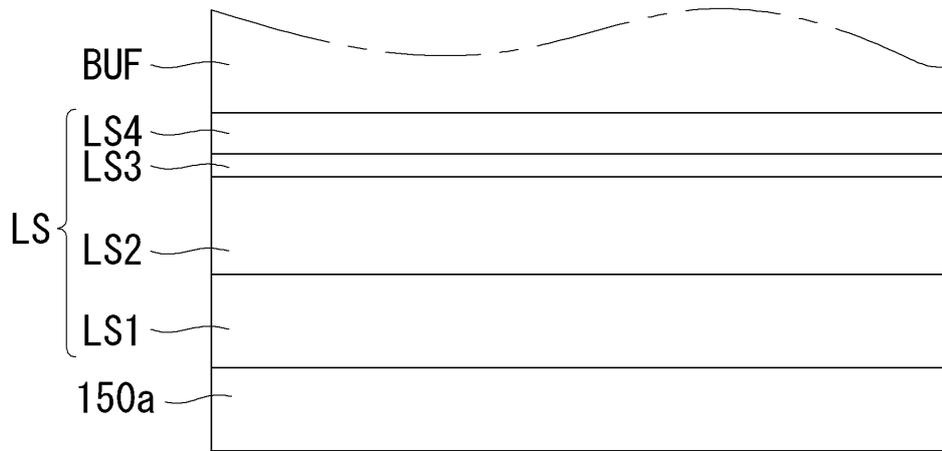
도면15



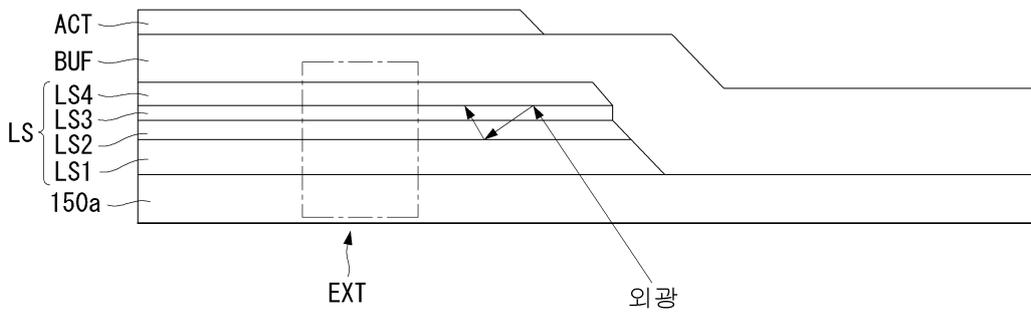
도면16



도면17



도면18



도면19

