

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-42461
(P2018-42461A)

(43) 公開日 平成30年3月15日(2018.3.15)

(51) Int.Cl. F I テーマコード(参考)
HO2M 3/155 (2006.01) HO2M 3/155 V 5H730
 HO2M 3/155 H

審査請求 有 請求項の数 12 O L (全 31 頁)

(21) 出願番号 特願2017-217061 (P2017-217061)
 (22) 出願日 平成29年11月10日(2017.11.10)
 (62) 分割の表示 特願2016-502791 (P2016-502791)
 の分割
 原出願日 平成26年3月14日(2014.3.14)
 (31) 優先権主張番号 61/783, 121
 (32) 優先日 平成25年3月14日(2013.3.14)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501149684
 ユニバーシティ オブ バージニア パテ
 ント ファウンデーション
 アメリカ合衆国 22903 バージニア州
 シャーロットビル プレストン・アベニ
 ュー 722 スウィート 107
 (74) 代理人 100147913
 弁理士 岡田 義敬
 (74) 代理人 100091605
 弁理士 岡田 敬
 (74) 代理人 100197284
 弁理士 下茂 力

最終頁に続く

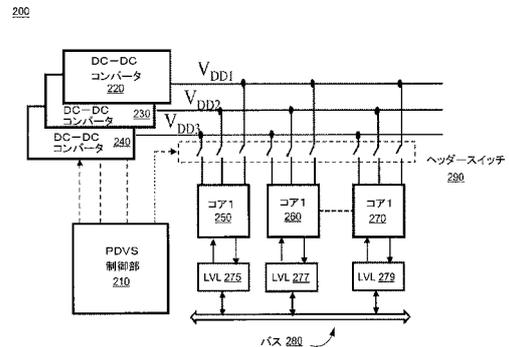
(54) 【発明の名称】 単一インダクタ・マルチ出力 (SIMO) DC-DCコンバータ回路のための方法及び装置

(57) 【要約】 (修正有)

【課題】埋込システムにおける集積回路(IC)の電力消費を最小限に抑える。

【解決手段】装置は、出力ノード群を有する単一インダクタ・マルチ出力(SIMO)直流(DC-DC)コンバータ回路を備えている。この装置には、また、SIMO DC-DCコンバータ回路と動作可能に接続され、操作ブロック群を有するパンオプティック動的電圧制御(Panoptic Dynamic Voltage Scaling: PDVS)回路も備えている。操作ブロック群の各操作ブロックは、電源電圧レール群の内の一つの電源電圧レールから電力を取り出す。さらに、出力ノード群の各出力ノードは、電源電圧レール群の電源電圧レールに一意的に関連付けられている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

複数の出力ノードと、複数のコンパレータと、該複数のコンパレータに動作可能に接続された複数のスイッチとを有する単一インダクタ・マルチ出力 (S I M O) コンバータ回路を具備し、

前記複数のコンパレータと前記複数のスイッチは、複数の出力ノードを制御するヒステリシススペースの出力を集散的に定義し、前記複数のコンパレータの各コンパレータは、前記複数の出力ノードの出力ノードと一意的に関連付けられ、前記複数の出力ノードの各出力ノードは、複数の回路ブロックの回路ブロックと一意的に関連付けられている、装置。

【請求項 2】

第 1 コンパレータと第 2 コンパレータとを備える前記複数のコンパレータをさらに具備し、

前記第 1 コンパレータは、第 1 バイアス電流を受け取って制御信号を生成し、第 1 出力ノードが第 1 負荷を経験した場合に、前記複数の出力ノードから前記第 1 出力ノードを選択するよう構成され、前記第 2 コンパレータは、第 2 バイアス電流を受け取って制御信号を生成し、第 1 出力ノードが前記第 1 負荷よりも低い第 2 負荷を経験した場合に、前記複数の出力ノードから前記第 1 出力ノードを選択するよう構成され、

前記第 2 バイアス電流が前記第 1 バイアス電流未満であり、前記 S I M O コンバータ回路の動作中は、前記第 2 コンパレータの電力消費が前記第 1 コンパレータの電力消費未満であり、

前記 S I M O コンバータ回路の効率は、前記第 1 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合よりも前記第 2 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合の方が高く、

前記第 2 コンパレータは、前記第 1 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合、電力消費が動作モードの電力消費未満であるオフモードに設定されるように構成され、

前記第 1 コンパレータは、前記第 2 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合、電力消費が動作モードの電力消費未満であるオフモードに設定されるように構成されている、請求項 1 に記載の装置。

【請求項 3】

前記複数のコンパレータの各コンパレータは、複数のバイアス電流のバイアス電流と一意的に関連付けられており、前記複数のバイアス電流の各バイアス電流が、複数のバイアス電流の残りのバイアス電流とは異なり、

前記複数のコンパレータと前記複数のスイッチが、(1) 前記複数の出力ノードの各出力ノードの状態と、(2) 前記複数の出力ノードの各出力ノードの相対的優先順位とに基づき、前記複数の出力ノードから一つの出力ノードを選択するよう集散的に構成されている、請求項 1 に記載の装置。

【請求項 4】

前記複数のコンパレータの各コンパレータは、そのコンパレータに対応する出力ノードから、複数のバイアス電流のバイアス電流とフィードバック信号とを受け取るよう構成されており、前記複数のバイアス電流の各バイアス電流が、複数のバイアス電流の残りのバイアス電流とは異なり、

前記複数のコンパレータと前記複数のスイッチが、(1) 前記複数の出力ノードの各出力ノードの状態と、(2) 前記複数の出力ノードの各出力ノードの相対的優先順位とに基づき、前記複数の出力ノードから一つの出力ノードを選択するよう集散的に構成されている、請求項 1 に記載の装置。

【請求項 5】

前記複数のコンパレータの各コンパレータは、複数の低ヒステリシス閾値のうちのある低ヒステリシス閾値と複数の高ヒステリシス閾値のうちのある高ヒステリシス閾値とに関連付けられており、

10

20

30

40

50

少なくとも一つの低ヒステリシス閾値は、前記複数の低ヒステリシス閾値の残りの低ヒステリシス閾値とは異なり、少なくとも一つの高ヒステリシス閾値は、前記複数の高ヒステリシス閾値の残りの高ヒステリシス閾値とは異なる、請求項 1 に記載の装置。

【請求項 6】

前記複数のコンパレータと前記複数のスイッチは、前記複数の出力ノードに対して、出力電圧のリップルを所定の範囲内に制限するよう集合的に構成されている、請求項 1 に記載の装置。

【請求項 7】

前記 S I M O コンバータ回路と複数のコンデンサとが集積回路 (I C) 内に含まれ、前記複数の出力ノードの各出力ノードは、前記複数のコンデンサのうちのあるコンデンサと一意的に関連付けられ、

10

前記複数のコンパレータと前記複数のスイッチは、前記複数の出力ノードに対して、出力電圧のリップルを所定の範囲内に制限するよう集合的に構成され、

前記複数のコンデンサの各コンデンサのサイズは、ヒステリシスベースの出力を有さない S I M O コンバータ回路のコンデンサのサイズ未満である、請求項 1 に記載の装置。

【請求項 8】

単一インダクタ・マルチ出力 (S I M O) コンバータ回路であって、複数の出力ノードとインダクタを有する S I M O コンバータ回路と、

複数の回路ブロックであって、各回路ブロックが前記複数の出力ノードに接続された複数の回路ブロックとを具備し、

20

前記 S I M O コンバータ回路は、複数の期間にわたって動作するように構成され、且つ、前記 S I M O コンバータ回路は、前記複数の期間の各期間において前記複数の出力ノードから一つの出力ノードを優先するよう構成されて、その優先された一つの出力ノードが、残りの出力ノードよりも先に、前記インダクタから電流を受け取るようになっている、装置。

【請求項 9】

前記複数の回路ブロックがパンオプティック動的電圧制御 (P D V S) 回路内に含まれ、

前記 S I M O 変換ブロックは、第 1 コンパレータと第 2 コンパレータとを有する複数のコンパレータを備え、前記第 1 コンパレータは、第 1 バイアス電流を受け取って制御信号を生成し、前記第 1 出力ノードが前記 P D V S 回路に関連する第 1 負荷を経験した場合に、前記複数の出力ノードから第 1 出力ノードを選択するよう構成され、前記第 2 コンパレータは、第 2 バイアス電流を受け取って制御信号を生成し、前記第 2 出力ノードが前記第 1 負荷よりも低い前記 P D V S 回路に関連する第 2 負荷を経験した場合に、前記複数の出力ノードから第 1 出力ノードを選択するよう構成され、

30

前記第 2 バイアス電流が前記第 1 バイアス電流未満であり、前記 S I M O コンバータ回路の動作中は、前記第 2 コンパレータの電力消費が前記第 1 コンパレータの電力消費未満であり、

前記 S I M O コンバータ回路の効率は、前記第 1 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合よりも前記第 2 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合の方が高く、

40

前記第 2 コンパレータは、前記第 1 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合、電力消費が動作モードの電力消費未満であるオフモードに設定されるように構成され、

前記第 1 コンパレータは、前記第 2 コンパレータが前記制御信号を生成して前記第 1 出力ノードを選択する場合、電力消費が動作モードの電力消費未満であるオフモードに設定されるように構成されている、請求項 8 に記載の装置。

【請求項 10】

前記 S I M O コンバータ回路は、複数のコンデンサを備え、前記複数のコンデンサの各コンデンサは、前記複数の出力ノードの出力ノードと一意的に関連付けられており、

50

前記 S I M O コンバータ回路と前記複数の回路ブロックとが集積回路 (I C) 内に含まれ、

前記 S I M O コンバータ回路は、ある期間における前記複数の出力ノードの一つの出力ノードを起動し、その一つの出力ノードと一意的に関連付けられた回路ブロックを起動して、その期間の I C 内の電圧を制御する、請求項 8 に記載の装置。

【請求項 1 1】

前記 S I M O コンバータ回路は、複数のコンパレータと、該複数のコンパレータに動作可能に接続された複数のスイッチとを備え、

前記複数のコンパレータの各コンパレータは、複数のバイアス電流のバイアス電流と一意的に関連付けられ、前記複数のバイアス電流の各バイアス電流が、複数のバイアス電流の残りのバイアス電流とは異なり、

前記複数のコンパレータと前記複数のスイッチは、前記複数の回路ブロックに動作可能に接続された負荷の電流に基づき、前記複数の出力ノードから一つの出力ノードを選択するよう集合的に構成されている、請求項 8 に記載の装置。

【請求項 1 2】

前記 S I M O コンバータ回路は、複数のコンパレータと、該複数のコンパレータに動作可能に接続された複数のスイッチとを備え、

前記複数のコンパレータと前記複数のスイッチは、前記複数の出力ノードに対して、出力電圧のリップルを所定の範囲内に制限するよう集合的に構成されている、請求項 8 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載のいくつかの実施形態は、概して、埋込システムにおける集積回路 (I C) の電力消費を最小限に抑えるためのシステム及び方法に関する。

【背景技術】

【0002】

埋込システムは、例えば、モニタリング、検出、制御、セキュリティ機能の提供を含む、様々な用途に使用可能である。通常このような埋込システムは、比較的厳しいサイズ制限、電力消費、環境生存性に応じ、特定の用途に合わせられている。

【0003】

特に、ある種の埋込システムは、センサーノード、例えば、一つ又は複数の生理学的パラメータを検出したりモニタリングしたりするためのセンサーノードを含むことができる。センサーノードは I C として実装され、生理学的情報の継続的なモニタリング、作動及び記録を可能にしたり、自動又は遠隔フォローアップを容易にし、悪化する生理学的状態の存在下で一つ又は複数の警告を発したりするなどして、医療提供者に大きな利益をもたらす。このようなセンサーノードによって得られた生理学的情報は、糖尿病やぜんそく、心臓疾患、又は、その他の病気や疾患の診断、予防、対処に使用される他のシステムに転送することができる。

【0004】

センサーノードは、例えば、長期にわたるモニタリング性能及び/又は耐久性などの特定の特徴を有していれば、患者や介護者にとって特別な価値を提供することになる。医療費の高騰や、遠隔患者フォローアップや遠隔治療へと移行する医療提供者の増加につれ、メンテナンスや交換、手動による再充電を行わずとも長い寿命を有するセンサーノードが、ますます重要視されている。一般に入手可能なセンサーノードは、長期的な動作性能や耐久性の欠如が、その幅広い採用の妨げとなっていると考えられる。

【0005】

集積回路 (I C) 設計においては、電力管理技術を採用することで電力消費を最小限に抑える、又は、軽減することが望ましい。例えば、I C の電源をその性能要求に応じて調整する動的電圧制御 (D y n a m i c V o l t a g e S c a l i n g : D V S) など

10

20

30

40

50

、電力消費を最小限に抑える、又は、軽減する既知の方法には、DC - DCコンバータの出力コンデンサ（CL）が通常大きいために整定時間が長引くなど、実用的な実装にいくつかの欠点がある。また、コンデンサに蓄えられたエネルギーも通常大きいため、出力電圧の変更にはエネルギーオーバーヘッドがかかる。通常、そのようなオーバーヘッドによって、VDDの制御可能速度、ひいては節約可能なエネルギー量が制限される。

【0006】

例えば、パンオプティック動的電圧制御（PDVS）などのその他の既知の方法も、PDVS技術の実装に少なくとも三つのDC - DCコンバータ、異なるルーティング装置、スイッチ、レベル・コンバータを使用するといった欠点を有する。そのように多数の部品があると、実装に大きな回路面積が必要となり、コストも増大する。

10

【0007】

従って、埋込システムに使用されるICにより電力消費を最小限に抑える、エネルギー効率かつコスト効率が低い方法を実施するための装置及び方法への需要がある。

【発明の概要】

【0008】

いくつかの実施形態において、装置は、出力ノード群を有する単一インダクタ・マルチ出力（SIMO）直流（DC - DC）コンバータ回路を備えている。この装置は、また、SIMO DC - DCコンバータ回路と動作可能に接続され、操作ブロック群を有するパンオプティック動的電圧制御（Panoptic Dynamic Voltage Scaling：PDVS）回路も備えている。操作ブロック群の各操作ブロックは、電源電圧レール群の内の一つの電源電圧レールから電力を取り出す。さらに、出力ノード群の各出力ノードは、電源電圧レール群の電源電圧レールに一意的に関連付けられている。

20

【図面の簡単な説明】

【0009】

【図1】図1は、マルチコアシステムの既知の動的電圧制御（DVS）回路の概略説明図である。

【図2】図2は、マルチコアシステムの既知のパンオプティック動的電圧制御（PDVS）回路の概略説明図である。

【図3】図3は、一実施形態に係る、単一インダクタ・マルチ出力（SIMO）コンバータ回路の概略説明図である。

30

【図4】図4（A）は、一実施形態に係る、ハイサイドスイッチとローサイドスイッチを有するSIMOコンバータ回路を示す概略説明図であり、図4（B）は、図4（A）に示すスイッチのそれぞれの状態が含まれ得るタイミングチャートの説明図である。

【図5】図5は、一実施形態に係る、動的電圧制御（DVS）機能ブロックに接続可能なSIMOコンバータ回路の概略説明図である。

【図6】図6は、図5に示すインダクタに対応するインダクタ電流のグラフ説明図である。

【図7】図7（A）は、インダクタ電流のシミュレーションを示す図であり、図7（B）は、インダクタの第1端子の電圧を示す図である。

【図8】図8（A）は、図3、図5のコンパレータ回路の各コンパレータ入力に応じて得られるコンパレータ回路出力を示すグラフ図であり、図8（B）は、図8（A）のコンパレータ回路出力が得られるトランジスタ構成を示す概略説明図である。

40

【図9】図9は、図5に示すSIMOコンバータ回路から得られる各測定出力ノード電圧の例を示す図である。

【図10】図10は、負荷電流に対してプロットされ、図5に示すようなマルチ出力SIMOコンバータ回路の出力によって得られるような0.9VDCコンバータ回路の、測定効率の例を示す図である。

【図11】図11は、一実施形態に係る、PDVSシステムを駆動するSIMO DC - DCコンバータ回路の実装を概略的に示すブロック図である。

【図12】図12は、図11のSIMOコンバータ回路の一部に対応するDC - DCコン

50

バータのハイサイド (HS) スイッチング制御を行う既知の制御方式を示す図である。

【図 1 3】図 1 3 は、一実施形態に係る、HS 制御方式の回路を示す概略説明図である。

【図 1 4】図 1 4 (A) ~ (H) は、個別の DC - DC コンバータ回路のハイサイド (HS) 制御回路の挙動を示す図である。

【図 1 5】図 1 5 は、異なる負荷における減結合コンデンサの異なる値に対するリップル電圧のシミュレーション結果を示す図である。

【図 1 6】図 1 6 (A)、(B) は、軽負荷、重負荷それぞれの状態での出力電圧とインダクタ電流のシミュレーション結果を示す図である。

【図 1 7】図 1 7 (A) は、コンパレータ静止電流に対するリップル変動の例を示す図であり、図 1 7 (B) は、出力負荷が 10 ナノ秒間に 100 μ A から 10 mA に変化する場合のコンパレータの状態の例を示す図である。

【図 1 8】図 1 8 (A) ~ (D) は、SIMO DC - DC コンバータ回路の (ローサイド) 回路挙動を示す図である。

【図 1 9】図 1 9 は、一実施形態に係る、SIMO 制御部の回路図である。

【図 2 0】図 2 0 (A)、(B) は、それぞれ、出力レール上における異なるシナリオでの負荷電流分布の例を示す図である。

【図 2 1】図 2 1 (A) は、特定の出力制御優先順位に従って、図 1 1 に示すような SIMO DC - DC コンバータ回路から得られるような各測定出力ノード電圧の例を示す図であり、図 2 1 (B) は、第 2 の異なる出力制御優先順位に従って、図 1 1 に示すような SIMO DC - DC コンバータ回路から得られるような各測定出力ノード電圧の例を示す図である。

【図 2 2】図 2 2 (A) は、図 2 2 (B) の例と比較して重負荷における、図 1 1 に示すような SIMO DC - DC コンバータ回路から得られるような測定出力ノード電圧の例を示す図であり、図 2 2 (B) は、図 2 2 (A) の例と比較して軽 ~ 中負荷における、図 1 1 に示すような SIMO DC - DC コンバータ回路から得られるような測定出力ノード電圧の例を示す図である。

【図 2 3】図 2 3 (A) は、スタンドアロンで、もしくは、マルチ出力構成の他の出力と共に動作可能な 0.9 V DC コンバータ回路の測定効率の例を示す図であり、図 2 3 (B) は、スタンドアロンで、もしくは、マルチ出力構成の他の出力と共に動作可能な 0.7 V DC コンバータ回路の測定効率の例を示す図であり、図 2 3 (C) は、スタンドアロンで、もしくは、マルチ出力構成の他の出力と共に動作可能な 0.4 V DC コンバータ回路の測定効率の例を概して示す図であり、図 2 3 (D) は、図 1 1 に示すような SIMO DC - DC コンバータ回路であって、かつ低静電流コンパレータと高静電流コンパレータを有する SIMO DC - DC コンバータ回路から得られるような 0.4 V DC コンバータ回路の測定効率の例を概して示す図である。

【図 2 4】図 2 4 は、図 1 1 に示すような SIMO DC - DC コンバータ回路の少なくとも一部を備え得る集積回路の金型マイクロ写真の例を示す図である。

【図 2 5】図 2 5 は、一実施形態に係る、一つ又は複数のコンバータ回路を用いた出力電圧制御方法を示すフローチャートである。

【発明を実施するための形態】

【0010】

いくつかの実施形態において、装置は、出力ノード群を有する単一インダクタ・マルチ出力 (SIMO) 直流 (DC - DC) コンバータ回路を備えている。この装置は、また、SIMO DC - DC コンバータ回路と動作可能に接続され、操作ブロック群を有するパンオプティック動的電圧制御 (Panoptic Dynamic Voltage Scaling: PDVS) 回路も備えている。操作ブロック群の各操作ブロックは、電源電圧レール群の内の一つの電源電圧レールから電力を取り出す。さらに、出力ノード群の各出力ノードは、電源電圧レール群の電源電圧レールに一意的に関連付けられている。

【0011】

いくつかの実施形態において、装置は、出力ノード群と、コンパレータ群と、そのコン

10

20

30

40

50

パレータ群に動作可能に接続されたスイッチ群とを有する単一インダクタ・マルチ出力 (S I M O) D C - D Cコンバータ回路を備えている。コンパレータ群とスイッチ群とによって、出力ノード群を制御するヒステリシススペースの出力が定義されている。コンパレータ群の各コンパレータは、出力ノード群の出力ノードに一意的に関連付けられ、その出力ノード群の各出力ノードは、回路ブロック群の回路ブロックに一意的に関連付けられている。

【 0 0 1 2 】

いくつかの実施形態において、装置は、単一インダクタ・マルチ出力 (S I M O) コンバータ回路を備え、そのS I M Oコンバータ回路は、出力ノード群と、インダクタと、回路ブロック群とを備えている。回路ブロック群の各回路ブロックは、出力ノード群に接続されている。S I M Oコンバータ回路は、一連の期間にわたって動作可能である。また、S I M Oコンバータ回路は、一連の期間の各期間において、出力ノード群から一つの出力ノードを優先させることが可能であり、それによって、その優先された一つの出力ノードは、残りの出力ノードよりも先にインダクタから電流を受け取ることとなる。

10

【 0 0 1 3 】

いくつかの実施形態において、装置は、第1スイッチの制御入力に与えられる制御信号に応じて、第1入力ノードをインダクタの第1端子に接続可能な第1スイッチを備えた電圧コンバータ回路を含む埋込システムを備えている。この装置は、また、第1コンパレータ回路と、第2コンパレータ回路と、第2入力ノードとインダクタの第1端子に接続された第1スイッチとの間に接続されたダイオードと、特定の出力制御優先順位に基づき、第1コンパレータの出力又は第2コンパレータの出力をスイッチの制御入力に選択的に接続可能な制御回路とを備えている。この制御回路は、また、特定の出力制御優先順位に基づき、インダクタの第2端子を第1出力ノード又は第2出力ノードに選択的に接続可能である。

20

【 0 0 1 4 】

本明細書で使用されているように、単数形の「a」、「an」、「the」には、文脈上明白に他の意味に解釈すべき場合を除いて、複数形の指示対象が含まれる。そのため、例えば、「a comparator (コンパレータ)」という用語は、単一のコンパレータ又はコンパレータの組み合わせを意味するよう意図されている。

【 0 0 1 5 】

センサーノードなどの埋込システムでは、複数の電源ドメインもしくは出力電圧が使用可能である。このようなシステムには、システムの一部として含まれる各種機能ブロック用の電力を供給する電源回路を備えることが可能である。電源回路の出力は、調整又は選択が可能であって、エネルギー源の状態に関する情報に基づき、各機能ブロックに動作可能に接続可能である。

30

【 0 0 1 6 】

例えば、利用可能なエネルギーが豊富にある場合、機能ブロックには、処理性能を高めるよう調整又は選択された電源電圧によって供給可能である。同様に、利用可能なエネルギーに限りがある場合、機能ブロックには、処理性能の低下という代価を払うことになるかもしれないが、エネルギーを節約するよう調整又は選択された電源電圧によって供給可能である。ある方法においては、処理要求又はエネルギー源の状態のいずれか又は両方に基づき、リアルタイムで利用可能な電源電圧をディザー又は選択するといった動的電圧制御 (D y n a m i c V o l t a g e S c a l i n g : D V S) 法が使用可能である。しかしながら、上述のように、D V Sにはいくつかのオーバーヘッドがかかる。

40

【 0 0 1 7 】

図1は、マルチコアシステムの既知の動的電圧制御 (D y n a m i c V o l t a g e S c a l i n g : D V S) 回路の概略説明図である。図1において、D V Sは、第1コア130、第2コア140、第3コア150を含む単一V D Dであるマルチコアシステム100用のものである。このV D Dは、I Cの性能や電力需要に従って制御される。D V S制御部110は、その性能要求に従ってI C電源を調整する。図1に示すD V Sシステ

50

ムの実装には、いくつかのオーバーヘッドがかかる。DC-DCコンバータ120の出力コンデンサ(C L)は通常大きいので、整定時間も長い。また、コンデンサ(C L)に蓄えられたエネルギー量も大きいので、出力電圧の変更にはエネルギーオーバーヘッドがかかる。通常、そのようなオーバーヘッドによって、VDDの制御可能速度、ひいては節約可能なエネルギー量が制限される。また、個々のコア130~150はそれぞれの最適電圧で動作しないため、DVSの柔軟性も制限される。各コア130、140、150をそれぞれのVDDで動作させることによって、さらなる節電が可能となる。しかしながら、この目的で使用するDC-DCコンバータ120の数は、コア130~150の数と共に直線的に増加する。低ドロップ・アウト(LDO)やスイッチド・キャパシタ・コンバータは、この場合も節電を制限する低効率ではあるが、マルチコアシステムのDVSを実装するためのオンチップ・オプションを提示する。DVSの限界を克服するために使用されてきた別の手法として、パンオブティク動的電圧制御(PDVS)がある。

10

【0018】

図2は、マルチコアシステムの既知のパンオブティク動的電圧制御(PDVS)回路の概略説明図である。マルチコアシステム200は、第1コア(又はブロック)250、第2コア(又はブロック)260、第3コア(又はブロック)270を備えている。マルチコアシステム200内の各コア250~270は、ヘッダースイッチ290を介して3つの異なるVDD又は電圧レールのいずれかに接続可能である。コア又はブロック250~270は、ICの電力又は性能要件によって、所定のVDDレールに接続可能であり、各VDDレールには、各DC-DCコンバータ220~240から電圧が供給される。PDVS制御部210は、マルチコアシステム200の性能に従って、適切なDC-DCコンバータ220~240に電圧(又は電流)を供給する。これによって、コア250~270がある電圧から他の電圧へ切り替え可能となる。3つの異なる電圧レベルを用いることで、ブロック又はコア250~270が電圧ディザリング法によりほぼ最適な電圧で動作するようにできる。PDVS技術を用いることによって、既知のDVS回路のいくつかの制約を克服することができる。PDVS回路において、各ブロックは、理論上、ほぼその最適電圧で動作させることが可能であり、全体の節電向上につながる。PDVS回路の電圧レールは固定され、コア(又はブロック)250~270は、スループット要求により、それらのレールに接続される。PDVS回路において電圧レベルを固定することで、通常、DC-DCコンバータのオーバーヘッドコストが原因で既知のDVS技術に存在する整定時間やエネルギーオーバーヘッドコストが解消又は低減される。その結果、PDVS回路では、より高速な電圧制御技術を実施することができ、さらなる節電が可能となる。しかしながら、PDVS回路の実装には、複数のDC-DCコンバータ220~240が含まれ、各DC-DCコンバータ220~240により各VDDラインへの供給が行われる。関連するその他のコストとしては、PDVS回路で使用されるルーティング、スイッチ、レベル・コンバータ(LVL)275~279による面積の増大が挙げられる。LVL275~279は、システムバス280を介して互いに動作可能に接続される。スイッチ290やLVL275~279の面積オーバーヘッドは、各コア(又はブロック)に対して15%未満であり、エネルギー利益を考えるとそれほど大きなコストとはならない。しかしながら、PDVS回路の実装に使用される複数のDC-DCコンバータ220~240のコストは、図1に示すような単一VDD DVS回路を実装するシステムに比べて、相当なコストになる場合がある。

20

30

40

【0019】

埋込システムには、機能ブロックを、一つ又は複数の高集積の半導体装置の一部として備えることができる。例えば、メモリ回路、汎用処理回路、特定用途向け処理回路の一つ又はそれ以上を共用集積回路に含むことができる。このような集積回路を、「システム・オン・ア・チップ」又はSoCと称することができる。今では、とりわけ、センサーノードなどの埋込システムに含まれる一つ又は複数の回路には、超低電力(ULP)技術が適用可能であるというのが定説である。例えば、SoCには、エネルギー保存などの閾値下動作のために構成された一つ又は複数のアナログ又はデジタル部が含まれ得る。システ

50

ムの特定部分の動作を無効にする又は停止させる電力又はクロックゲーティングや、電力消費を低減するようデューティサイクル、クロック周波数（例えば、クロック・スロットリング）、供給パラメータ（例えば、電源電圧スロットリング）の調整を含むその他の技術を、閾値下動作の代わり、又はそれに加えて利用可能である。

【0020】

一つの方法においては、各電源電圧（例えば、各電源VDD「レール」）を個別の電源制御回路によって与えることができる。例えば、そのような各電源制御回路には、エネルギー源（例えば、バッテリーや環境発電回路）から与えられるエネルギーを特定の制御出力電圧に変換させる線形（例えば、散逸）又はスイッチング・トポロジが含まれることがある。

10

【0021】

その一方、とりわけ、個別の電源回路は、少数又は単一のマルチ出力電源制御回路に置き換え可能であることが認識されている。このようなマルチ出力の手法によって、電源回路の設置面積の低減、部品（とりわけ個別部品）数の軽減、効率の向上が可能となる。例えば、単一インダクタ・マルチ出力（SIMO）トポロジは、単一インダクタの使用など、複数の個別の制御出力電圧を与えることができる。このようなSIMOトポロジは、例えば、センサーノードの一部として含まれるなどして、各制御出力電圧をULP SOCに与えるのに使用可能である。このULP SOCには、処理要求に基づき、もしくは、利用可能エネルギーに関する情報に応じて、制御可能又は選択可能な電源電圧を用いて動作する機能ブロックが含まれ得る。

20

【0022】

PDVS回路の3つの出力レールは、低コストかつ高効率な解決法であるSIMOアーキテクチャによって生成可能である。コストやシステムボリュームのさらなる低減には、コンデンサの集積が可能である。コンデンサの集積は、例えば、低い容量を使用する場合に可能である。しかしながら、低容量の使用により、通常、電源のリプルが増大する。この問題を軽減するためには、低オンチップ・容量が使用可能である。電源のリプルは、本明細書に記載のヒステリシス制御方式によって軽減可能である。さらに、SIMOを使用することで、一般的に、異なるVDDレールでの負荷変化に起因する高リプルや交差調整の問題も引き起こされる。この問題は、本明細書に記載されているようなPDVSシステムで利用可能な負荷情報に基づいて、SIMOコンバータ自体を構成可能に設計することで対処することができる。

30

【0023】

以下において、PDVS技術の特徴を用いた、オンチップ・コンデンサを有するSIMO DC-DCコンバータの設計について説明する。この設計によって、コスト効率が大きく、かつ、エネルギー効率も高い方法でブロックレベルDV Sを実装することが可能になる。本明細書に記載のいくつかの実施形態は、実用的なPDVSの実装であり、低コストかつ効率的なPDVSの実装を行う。SIMOの利用によって、そのような実施形態における複数のDC-DCコンバータ要求にかかるコストを低減することができる。このような実施形態においては、例えば、それぞれ0.9V、0.7V、0.4V、最大効率86%、統合容量を有する3つの出力レールが得られる。

40

【0024】

図3は、一実施形態に係る、単一インダクタ・マルチ出力（SIMO）コンバータ回路の概略説明図である。SIMOコンバータ回路300は、図24に例示されるように、集積回路の一部として含むことができる。例として、SIMOコンバータ回路300には、インダクタ304の第1端子306を第1入力ノードVIN1に制御可能に接続可能な第1スイッチ302が含まれる。また、SIMOコンバータ回路300には、インダクタ304の第1端子306と第2入力ノードVIN2との間に接続されるようなダイオード310が含まれる。インダクタ304の第2端子308は、第1出力スイッチ314Aによって第1出力ノードVOUT1、又は、第2出力スイッチ314Bによって第2出力ノードVOUT2のいずれかに制御可能に接続できる。

50

【 0 0 2 5 】

スイッチ 3 0 2 の制御入力は、制御回路 3 1 6 の出力に接続可能である。S I M Oコンバータ回路 3 0 0 には、第 1 出力ノード V O U T 1 (又は V O U T 1 に比例する信号) に接続された第 1 入力を含むといった、第 1 コンパレータ回路 3 1 2 A と、第 1 出力ノード基準電圧 V R E F 1 に接続された第 2 入力とが含まれる。第 1 出力ノード基準電圧 V R E F 1 は、公称出力電圧又は特定出力電圧 (例えば、V O U T 1 の設定ポイントやターゲット電圧) に比例又は対応し得る。同様に、S I M Oコンバータ回路 3 0 0 には、第 2 出力ノード V O U T 2 (又は V O U T 2 に比例する信号) に接続された第 1 入力を含むといった、第 2 コンパレータ回路 3 1 2 B と、第 2 基準電圧 V R E F 2 に接続された第 2 入力とが含まれる。

10

【 0 0 2 6 】

第 1 コンパレータ回路 3 1 2 A と第 2 コンパレータ回路 3 1 2 B の一方又は両方には、特定の個別のヒステリシスを与えるよう少なくとも部分的に特定された、各閾値が含まれる。例えば、ヒステリシスは、少なくとも部分的には、S I M Oコンバータ 3 0 0 によって V O U T 1 や V O U T 2 で与えられる出力電圧のリップルを制限するよう特定され得る。

【 0 0 2 7 】

制御回路 3 1 6 は、例えば、特定の出力制御優先順位に基づき、第 1 コンパレータ 3 1 2 A の出力又は第 2 コンパレータ 3 1 2 B の出力のいずれかをスイッチ 3 0 2 の制御入力に選択可能に接続可能である。同様に、制御回路 3 1 6 には、特定の出力制御優先順位に基づき、第 1 出力ノード V O U T 1 又は第 2 出力ノード V O U T 2 のいずれかをインダクタ 3 0 4 の第 2 端子 3 0 8 に制御可能に接続可能な一つ又は複数の出力が含まれる。

20

【 0 0 2 8 】

エネルギー源 V S によって与えられる電圧は、第 1 入力ノード V I N 1 又は第 2 入力ノード V I N 2 の一方又は両方への接続の前に上昇させることが可能である。S I M Oコンバータ回路 3 0 0 には、例えば、エネルギー源 V S によって与えられる電圧をダウンコンバートする「バック」トポロジが含まれ、V O U T 1 や V O U T 2 などの各制御出力電圧、又は、その他の一つ又は複数の出力電圧が与えられる。例えば、帯電段階において、例えば、制御回路 3 1 6 によって与えられる制御信号に応じて第 1 スイッチ 3 0 2 を用いて、第 1 インダクタ電流 I L 1 を確立することができる。図示の例においては、第 1 入力ノード V I N 1 で得られる電圧がほぼ一定であると仮定すると、インダクタ電流は線形であり得る。そのような帯電段階において、ダイオード 3 1 0 には逆バイアスをかけることが可能である。一方、放電段階においては、第 1 スイッチ 3 0 2 の開放を行うことが可能であり、インダクタ 3 0 4 の第 1 端子 3 0 6 における電圧 V X が、第 2 入力ノード V I N 2 (例えば、接地ノードや基準ノード) に対して負に振れるので、ダイオード 3 1 0 には順方向バイアスとなり得る。また、ダイオード 3 1 0 を介して、第 2 インダクタ電流 I L 2 を確立することができる。ダイオード 3 1 0 の符号が図示されているが、ダイオード 3 1 0 には、例えば、ダイオード構成に接続された、又は、別の方法でダイオード構造が得られるよう構成された (例えば、カットオフ動作モードの電界効果トランジスタ (F E T) により、又は、ソース端子に短絡されたゲート端子を有する F E T を用いて得られる) 一つ又は複数のトランジスタが含まれる。

30

40

【 0 0 2 9 】

例示目的として、図 3 には、2 つのコンパレータ 1 1 2 A、1 1 2 B と、それぞれ対応する 2 つの出力ノード V O U T 1、V O U T 2 とが示されるが、それに限定されるものではない。尚、その他の構成では、図 3 に示すトポロジは、2 つ以上のコンパレータとそれらに対応する出力が得られるよう構築可能である。例えば、以下の例で述べるように、図 3 のトポロジを用いて 3 つ又はそれ以上の出力が得られる。

【 0 0 3 0 】

図 3 の場合、一次又は充電式電池や環境発電回路などのエネルギー源 V S に S I M Oコンバータ回路 3 0 0 を接続可能である。環境発電回路の例としては、光エネルギーを受け

50

る回路（例えば、太陽光発電回路）、熱電発電装置（TEG）、機械的エネルギーや振動を得る回路（例えば、圧電回路）、放射的又は磁氣的に接続された動作エネルギーを受けるとる回路（例えば、無線周波数受信回路）が挙げられる。

【0031】

図3の場合、第1コンパレータ回路312A、第2コンパレータ回路312B、制御回路316、第1スイッチ302、ダイオード310、第1出力スイッチ314A、第2出力スイッチ314Bのうちのいずれか又は複数と、VREF1、VREF2などの基準電圧を与える回路を一つ又は複数、共用集積回路の一部として含むことが可能である。場合によっては、インダクタ304及び/又はエネルギー源VSのいずれか又は両方をチップ外に配置することもできる。

10

【0032】

図4Aは、一実施形態に係る、ハイサイドスイッチとローサイドスイッチを有するSIMOコンバータ回路を示す概略説明図である。図4Aにおいて、ハイサイドスイッチをSHと示し、ローサイドスイッチをSLと示す。また、図4Aにおいて、SIMOコンバータ回路400Aには、出力スイッチS1を介して第1出力ノードVOUT1に、又は、出力スイッチS2を介して第2出力ノードVOUT2に接続可能なインダクタLが含まれる。インダクタLは、時分割多重（TDM）方式で用いることで、第1出力ノードVOUT1、第2出力ノードVOUT2における制御出力電圧が得られる。例えば、VOUT1は、第1減結合コンデンサC1（例えば、一つ又は複数のオフチップ又はオンチップ減結合コンデンサ）に接続可能であり、第1負荷抵抗R1が含まれる。同様に、VOUT2は、第2減結合コンデンサC2に接続可能であり、第1負荷抵抗R2が含まれる。本明細書のその他の例で述べるように動的電圧制御（DVS）を行なうよう、負荷抵抗R1、R2は各機能ブロックに対応、もしくは、出力VOUT1、VOUT2は相互排他的に一つの機能ブロックに与えられる。

20

【0033】

図4Bは、図4Aに示すスイッチのそれぞれの状態が含まれ得るタイミングチャートの説明図である。図4A、図4Bを参照すると、段階Iの前半部分では、IL曲線に見られるようにインダクタを充電するように、ハイサイドスイッチSHが閉じられ、第1出力スイッチS1が閉じられる。そして、段階Iの後半部分では、IL曲線に見られるようにインダクタを負荷へと（例えば、図4AにおけるコンデンサC1及び負荷R1へと）放電するように、ハイサイドスイッチSHが開放され、ローサイドスイッチSLが閉じられる。段階IIでは、第2出力スイッチS2が閉じられ、スイッチSH、SLは段階Iと同様の方法でくり返される。しかしながら、段階IIでは、結果として得られたインダクタの充電が、IL曲線に見られるようにコンデンサC2と負荷R2へ転送される。段階IIでは、出力電圧VOUT1がコンデンサC1によって維持され、そのような出力電圧は、一般的に、軽負荷においても大きく変化しないはずである。このように、図4Aの制御回路トポロジー400Aは、どの出力にも大きな電圧降下を引き起こさずに、単一のインダクタを出力間で多重化できるため、低電力応用の好適な選択肢となる。

30

【0034】

図5は、一実施形態に係る、動的電圧制御（DVS）機能ブロックに接続可能なSIMOコンバータ回路の概略説明図である。図3、図4A、図4Bの例でも説明したように、例えば単一のインダクタLを用いるといったSIMOトポロジーを用いることで、複数の制御電圧出力が得られる。図5の例では、ハイサイドスイッチには、金属酸化膜半導体電界効果トランジスタ（MOSFET）などpチャンネルトランジスタ（MP）が含まれている。「金属酸化膜半導体」という語句の使用は、そのようなFETのゲート構造が金属を含まなければならないことを意味するものではない。代わりに、このようなFET構造の一部として含まれるゲート電極として、多結晶シリコンゲートやその他の導電性材料が使用可能である。

40

【0035】

図5において、ローサイドスイッチには、nチャンネルトランジスタ（MN）が含まれ

50

る。MP又はMNのいずれか一方又は双方の制御入力（例えば、ゲート）は、SIMO制御回路516の出力520に接続可能である。例えば、制御回路出力520は、MPとMNで共有でき、MNへの制御入力528は、タイマー回路518によって調整が行われる。例えば、タイマー回路518には、遅延回路522やオン期間制御回路524などの一つ又は複数のプログラム可あるいは固定の制御回路が含まれる。遅延回路522は、MPのオフ後に開始する特定の遅延を提供する。同様に、ローサイドスイッチMNのオン期間は、例えば、MPのオフ動作に応じて生じる特定の（例えば、固定又は調整可能な）オン期間を提供するよう、オン期間制御回路524によって定められる。制御入力528は、SIMO制御回路516に接続され、ローサイドスイッチMNの通電状態を示すSIMO制御回路516への情報を提供する。

10

【0036】

場合によっては、SIMO制御回路516は、第1スイッチS1又は第2スイッチS2の一方又は両方を用いて、インダクタ電流（IL）を異なる出力ノード（VOUT1又はVOUT2）へ誘導し得る。スイッチS1及び/又はS2には、出力ノードに対する公称出力電圧又は特定出力電圧によって、単一のトランジスタ（例えば、pチャンネルトランジスタ）又は伝送ゲート構造のいずれか又は両方が含まれる。

【0037】

図4Aの例で述べたように、出力ノードVOUT1、VOUT2には、それらに関連する減結合コンデンサC1、C2がそれぞれ含まれる。そして、現在、例えば、相補型金属酸化膜半導体（CMOS）アーキテクチャを有する集積回路を用いて、効率の向上やSIMOコンバータ回路500の空間体積の軽減が可能であることが認識されている。例えば、小型のCMOS制御（例えば、65nm処理ノード使用）によって、スイッチング損失が比較的 low、SIMOコンバータ回路500のスイッチング周波数（例えば、fSW）を他の技術と比べて増加させる装置（例えば、MP、MN、S1、S2）を提供することができる。fSWが増加すると、インダクタL又は減結合コンデンサC1、C2の対応するサイズが減少することがある。

20

【0038】

図3の例に戻り、第1スイッチ302が開放すると（図5のMPに対応）、インダクタ電流ILがダイオード310を流れる。しかしながら、このインダクタ電流ILをサポートするには、ノードVXが第2入力ノードVIN2（例えば、図5のREFに対応）に対して負電圧に振れ、ダイオード310は逆バイアスとなり、電流ILが最終的にはゼロに減衰する（例えば、不連続導通モード（DCM）とする）。一般的に、ダイオード310は、カットイン電圧をオンにすることで、ノードVXが、ダイオード310への通電が確立される前に約数百ミリボルト（mV）の負電圧に振れる。これにより、エネルギー源（例えば、REFノード）からインダクタ304への高抵抗パスが現れる。その結果、通電損失が増大し得る。図5の例では、そのような損失を軽減するため、トランジスタMNが用いられる。例えば、トランジスタMNは、インダクタLが電流（IL）を運んでいる期間だけ一時的にオンにされ、その後オフされる。一般的に、MNは、インダクタ電流ILがゼロ交差する場合に通電へとバイアスがかけられるべきではない。なぜなら、コンデンサ（C1又はC2）に蓄えられた充電がインダクタLを遡って放電が開始され、効率が著

30

40

【0039】

そのような放電を回避するため、SIMO制御回路516又はタイマー回路518のいずれか一方又は両方によってMNのタイミングが制御される。一般的に、MPの通電中はMNは通電へのバイアスはかけられるべきではない。なぜなら、そのような構成では、VINがREFに短絡されてしまうからである。次に、MNは、MPに切断へのバイアスがかけられた（例えば、オフされた）ほぼ直後に通電へとバイアスがかけられるべきである。さもなければ、電流がMNのボディダイオードを流れ、効率の悪化やMNへのダメージの可能性などが生じる。

【0040】

50

前述のように、MNは、インダクタ電流 I_L がゼロ交差した時点で切断へのバイアスがかけられるべきである。一つの方法では、REFに対するノードVXでの電圧の極性変化を検出したり、インダクタ電流 I_L を検出したりすることで、そのような制御が可能となる。しかしながら、通常そのような検出には高速コンパレータ回路が使用され、特に軽負荷時に、このコンパレータ回路によってスペースとエネルギーが消費されることとなる。

【0041】

対照的に、とりわけ、制御信号の生成によって、特定期間後又はMPのオフに応じて、MNの通電確立が可能であることが認識されている。そのような制御信号のパルス幅は、インダクタ電流 I_L が最小予想負荷電流に対して変化する前にMNがオフするのに十分な小ささである。このように、MNは、インダクタLの放電段階の初期部分に小さな抵抗パスを提供することができる。損失をさらに軽減するため、ダイオード構造がMNに並行して含まれる。例えば、ダイオード構造は、第2nチャンネルトランジスタMN2によって提供できる。第2nチャンネルトランジスタMN2には、MNの対応する閾値電圧より低い閾値電圧が含まれる。例えば、MN2はLVTトランジスタとも称され、例えば約200mVのゲートソース閾値電圧 V_T が得られるよう構成される。

10

【0042】

軽負荷時には、MNはアクティブであり（例えば、通電へとバイアスがかけられて）、ローサイド通電損失が軽減される。一方、重負荷時には、インダクタの放電期間の大部分にわたって、MN2によるダイオード構造に順方向のバイアスがかけられる。例えば、重負荷状態において、ダイオード構造MN2を通る電流は相応に大きいので、ダイオード構造MN2は低抵抗領域において動作を行い、よって効率が向上する。

20

【0043】

図5又は他の例において、SIMOコンバータ回路500には、DVS制御回路530が含まれる。例えば、DVS制御回路530は、DVSブロック532などの各機能ブロックへ供給される出力電圧を選択又は調整するよう、ヘッダースイッチS3、S4などの各ヘッダースイッチに接続可能である。例えば、DVSブロック532などの各ブロックには、作業負荷、利用可能エネルギー、及び/又は一つ又は複数のその他のパラメータに応じて、DVS制御回路530によって選択されたVDD電圧が与えられる。一例では、そのようなスイッチングは、例えば1n秒以下のスイッチング時間内で行われ、それによって、VDD電圧の動的又はリアルタイム制御が指示毎又はタスク毎に可能となる。

30

【0044】

一例では、例えば、DVS制御回路530を用いて、各出力VOUT1やVOUT2が相互排他的に選択される。最大負荷は、例えば、すべてのブロックがたった一つの出力に接続されている場合など、どんな時においても、その出力によってのみ見られる。DVS制御回路530は、SIMO制御回路516に出力526を提供し、DVS制御回路530によって確立される電圧制御方式に対応する出力制御優先順位を示す情報をSIMO制御回路516に提供する。

【0045】

例えば、最大負荷に接続されるSIMO変換出力には、その電圧が第1コンパレータ回路512Aに示されるような特定の閾値を下回る場合、そのような出力（例えば、VOUT1）に I_L を供給することで最高の優先順位が与えられる。他の出力も、例えば、優先順に同様に対応することができる。例えば、下降するVOUT2に対する充電は、それより優先順位が高いVOUT1によって未然に回避されていない場合、第2コンパレータ回路512Bによって提供される情報に応じて行うことができる。

40

【0046】

図6は、図5に示すインダクタに対応するインダクタ電流のグラフ説明図である。図5で説明したように、第1期間A中は、ハイサイドスイッチ（例えば、MP）が通電へとバイアスがかけられる場合のように、インダクタ電流 I_L が増加する。充電段階MPの期間は、少なくとも一部は、図8A、図8Bの例に示すような特定のヒステリシスを提供するように特定された閾値を含むコンパレータ回路など、出力ノード電圧と基準電圧を比較する

50

コンパレータ回路を用いて定められる。放電段階の初期部分 B では、ローサイドスイッチ（例えば、MN）が、例えば、ある特定の固定期間、通電へとバイアスがかけられる。この特定固定期間は、軽負荷動作時の効率向上のためなど、オン期間制御回路によって定められる。放電段階の後半部分 C では、順方向にバイアスがかけられたダイオード構造によって、IL に対する低抵抗電流路が形成される。図 6 に示すサイクルなどの各サイクルは、例えば特定の制御優先順位に基づき、本明細書の他の例で説明したように各出力ノードに対して繰り返される。

【0047】

図 7 A は、インダクタ電流のシミュレーションを示す図であり、図 7 B は、インダクタの第 1 端子の電圧を示す図である。図 7 A、図 7 B のグラフは、例えば軽負荷時の図 5、図 6 の例に対応する、放電段階において得られるグラフである。上述のように、放電段階の前半部分 702 において、インダクタの第 1 端子のノード電圧 V_X は、ローサイドスイッチ（例えば、MN）によって、例えば、特定の期間にわたって、基準電圧（例えば、接地又はゼロボルト）に固定できる。放電段階の後半部分 704 では、ダイオード構造に順方向バイアスがかけられる（例えば、基準電圧に対してノード電圧 V_X が負であるため）。

10

【0048】

図 8 A は、図 3、図 5 のコンパレータ回路の各コンパレータ入力に応じて得られるコンパレータ回路出力を示すグラフ図である。コンパレータ応答の遅延を用いて、例えば、少なくとも一部はコンパレータ回路出力（例えば、コンパレータ出力が低い場合に通電し、コンパレータ出力が高い場合に通電が阻害される p チャンネルトランジスタ）によって制御されるハイサイドスイッチに対して、オン期間が定められる。

20

【0049】

コンパレータの第 1 入力、出力ノード電圧又は出力ノード電圧に比例する電圧（例えば、 $V_{OUT_MONITOR}$ ）に接続される。コンパレータの第 2 入力、ターゲット出力電圧又は公称出力電圧に対応するような基準電圧、 V_{REF} に接続される。コンパレータ回路には、少なくとも一部は図 3 又は図 5 の SIMO コンバータ回路によって与えられる出力電圧のリップルを制限もしくは確立するのに用いられる特定ヒステリシスが含まれる。一例では、例えば、基準電圧 V_{REF} に対して特定可能なように、上限 V_{TH} 及び下限 V_{TL} によってヒステリシスウィンドウが定められる。

30

【0050】

例えば、 $V_{OUT} < V_{TL}$ の場合、ハイサイドスイッチがオンになり、インダクタが充電され、 V_{OUT} が増加する。 V_{OUT} が T_1 で V_{TH} と交差すると（例えば、 $V_{OUT} > V_{TH}$ ）、ハイサイドスイッチがオフになり、減結合コンデンサや他のエネルギー蓄積装置によって負荷が供給される。一方、 V_{OUT} が T_2 で V_{TL} を下回ると（例えば、 $V_{OUT} < V_{TL}$ ）、特定の制御優先順位に基づき別の出力によって未然に回避されない限り、ハイサイドスイッチが再びオンになる。このように、ハイサイドスイッチのスイッチング周波数とオン期間の両方が、変化する負荷に応じて調整される。例えば、軽負荷では、スイッチング周波数は低く、ハイサイドスイッチのオン期間のパルス幅は短い。スイッチング周波数とリップルの大きさとの間にはトレードオフ関係が存在する。例えば、大きなリップルが許容される場合、ヒステリシスを変更してスイッチング周波数を低下させることで、効率向上を図ることができるが、同時にリップルも増大する。別の例では、ULP SOC を含む応用において、ULP SOC には比較的低い動作クロック速度が含まれるため、より多くのリップルが許容され得る。

40

【0051】

図 8 B は、図 8 A のコンパレータ回路出力が得られるトランジスタ構成を示す概略説明図である。一例では、トランジスタ MN1、MN2 が差動対を形成し、トランジスタ M1 ~ M4 がコンパレータ回路の能動負荷を形成する。M1 と M2 は同様のサイズを有し、M3 と M4 は、ヒステリシスを得るために M1、M2 よりも高い駆動強度が得られるよう大きな面積を有している。

50

【 0 0 5 2 】

例えば、V O U T が V R E F よりも低い場合、電流の大部分が M N 1 を流れるので、コンパレータ出力 O U T は低くなる。一方、V O U T が増加すると、M 2 にはより強く通電へのバイアスがかけられる。また、V O U T がほぼ V R E F と等しい場合、M N 2 の駆動はほぼ M N 1 と等しくなるが、M 3 の駆動強度は M 1 よりも高くなるので、M N 2 には O U T B を引き下げるため電流が更に必要になる。これは、O U T B を低くするには、V O U T が、図 8 A の V T H に対応するマージンの分だけ V R E F を上回らなければならないことを意味する。同様に、O U T を低くするには、V O U T が、図 8 A の V T L に対応するマージンの分だけ V R E F を下回らなければならない。

【 0 0 5 3 】

図 9 は、図 5 に示す S I M O コンバータ回路から得られる各測定出力ノード電圧の例を示す図である。図 9 において、y 軸は電圧を示し、x 軸は時間を示す。このような S I M O コンバータ回路は、約 1 V 以上の入力電圧を用いて、約 0.9 V D C (例えば、V O U T 1)、約 0.7 V D C (例えば、V O U T 2)、約 0.4 V D C (例えば、V O U T 3) の 3 つの出力電圧をそれぞれ生成するよう構成されている。

【 0 0 5 4 】

図 10 は、図 5 に示すようなマルチ出力 S I M O コンバータ回路の出力によって得られるような、負荷電流に対してプロットした 0.9 V D C コンバータ回路の測定効率の例を示す図である。図 10 において、y 軸は効率を百分率で示し、x 軸は負荷電流を (例えば、マイクロアンペア単位で) 示す。この場合、1002 での効率は、約 86% に近づく。

【 0 0 5 5 】

図 11 は、一実施形態に係る、P D V S システムを駆動する S I M O D C - D C コンバータ回路の実装を概略的に示すブロック図である。まず、図 11 に関連する説明は、全体のシステムアーキテクチャと S I M O 制御方式に関する。次に、コンデンサのサイズ軽減のためのヒステリシス制御方式について説明する。最後に、S I M O アーキテクチャに関連する交差調整や大型リップルに関して、P D V S 負荷を組み合わせた S I M O 回路について説明する。

【 0 0 5 6 】

S I M O D C - D C コンバータ回路 1100 には、S I M O 制御部 1105 と、出力ノード群 1115 A ~ C とが含まれる。P D V S 回路 1130 には、P D V S 制御部 1131 と P D V S ブロック 1132 とが含まれる。P D V S 回路 1130 には、複数の P D V S ブロックが含まれる。P D V S 回路 1130 は、S I M O D C - D C コンバータ回路 1100 に動作可能に接続され、動作ブロック群 1132 を有する。この動作ブロック群の各動作ブロックは、電源電圧レール群 1117 A ~ C の一つの電源電圧レールから電力を取り出すことができる。また、出力ノード群の各出力ノードは、電源電圧レール群の電源電圧レールに一意的に関連付けられている。例えば、出力ノード 1115 A は電圧レール 1117 A に、出力ノード 1115 B は電圧レール 1117 B に、出力ノード 1115 C は電圧レール 1117 C にそれぞれ関連付けられている。

【 0 0 5 7 】

S I M O D C - D C コンバータ回路 1100 には、第 1 コンパレータ 1112 A と第 2 コンパレータ 1112 B (図 11 には第 3 コンパレータ 1112 C も図示される) とが含まれる。第 1 コンパレータ 1112 A は、第 1 バイアス電流 (「R e f 0.9 V」と表示) を受け取り、制御信号 1120 A (制御信号は 1120 A ~ D と表示) を生成し、第 1 出力ノードが第 1 負荷 (例えば、P D V S ブロック 1132) を経験すると、複数の出力ノードから第 1 出力ノードを選択する。同様に、第 2 コンパレータ 1112 B も、第 2 バイアス電流 (「R e f 0.7 V」と表示) を受け取り、制御信号 1120 B を生成して、第 1 出力ノードが第 1 負荷より低い第 2 負荷を経験すると、出力ノード群から第 1 出力ノードを選択する。第 2 バイアス電流は、第 1 バイアス電流未満である。また、第 2 コンパレータ 1112 B の電力消費は、S I M O D C - D C コンバータ回路が動作中の場合、第 1 コンパレータ 1112 A の電力消費未満である。S I M O D C - D C コンバータ

10

20

30

40

50

回路 1 1 0 0 の効率は、第 1 コンパレータ 1 1 1 2 A が制御信号を生成して第 1 出力ノードを選択する場合より、第 2 コンパレータ 1 1 1 2 B が制御信号を生成して第 1 出力ノードを選択する場合の方が高い。

【 0 0 5 8 】

また、第 2 コンパレータ 1 1 1 2 B は、第 1 コンパレータ 1 1 1 2 A が制御信号を生成して第 1 出力ノードを選択する場合、動作モードよりも電力消費が少ないオフモードに設定することもできる。同様に、第 1 コンパレータ 1 1 1 2 A も、第 2 コンパレータ 1 1 1 2 B が制御信号を生成して第 1 出力ノードを選択する場合、動作モードよりも電力消費が少ないオフモードに設定することができる。場合によっては、S I M O D C - D C コンバータ回路 1 1 0 0 と P D V S 回路 1 1 3 0 とを集積回路 (I C) 内に含め、S I M O D C - D C コンバータ回路 1 1 0 0 によって、ある期間内で出力ノード群から一つの出力ノードを優先させることで、その期間中に P D V S 回路 1 1 3 0 の動作ブロック群 (例えば、P D V S ブロック 1 1 3 2) のどの動作ブロックが、電源電圧レール群のどの電源電圧レールに接続するかを示す。

10

【 0 0 5 9 】

また、S I M O D C - D C コンバータ回路 1 1 0 0 には、コンパレータ群 1 1 1 2 A ~ 1 1 1 2 C に動作可能に接続されたスイッチ群 S 1 ~ S 3 が含まれ、そのコンパレータ群 1 1 1 2 A ~ 1 1 1 2 C の各コンパレータは、スイッチ群 S 1 ~ S 3 のスイッチに一意的に関連付けられている。すなわち、コンパレータ 1 1 1 2 A はスイッチ S 1 と、コンパレータ 1 1 1 2 B はスイッチ S 2 と、コンパレータ 1 1 1 2 C はスイッチ S 3 とそれぞれ関連付けられている。また、コンパレータ群 1 1 1 2 A ~ 1 1 1 2 C の各コンパレータは、低ヒステリシス閾値群の低ヒステリシス閾値と高ヒステリシス閾値群の高ヒステリシス閾値とに関連付けられている。コンパレータ群 1 1 1 2 A ~ 1 1 1 2 C の各コンパレータは、ヒステリシス閾値に基づく幅を有するパルスを生成して、一意的に関連付けられたスイッチが、そのパルスに応じて制御されるようになっている。

20

【 0 0 6 0 】

また、コンパレータ群 1 1 1 2 A ~ 1 1 1 2 C の各コンパレータは、バイアス電流群からバイアス電流を受け取り、そのコンパレータ 1 1 1 2 A、1 1 1 2 B 又は 1 1 1 2 C に対応する出力ノードからフィードバック信号を受け取る。これらのバイアス電流群の少なくとも一つのバイアス電流は、そのバイアス電流群の残りのバイアス電流とは異なる。コンパレータ群 1 1 1 2 A ~ 1 1 1 2 C とスイッチ群 S 1 ~ S 3 は、(1) 出力ノード群 1 1 1 5 A ~ 1 1 1 5 C の各出力ノードの状態と (2) 複数の出力ノード 1 1 1 5 A ~ 1 1 1 5 C の各出力ノードの相対的優先順位とに基づき、出力ノード群 1 1 1 5 A ~ 1 1 1 5 C から一つの出力ノードをまとめて選択する。

30

【 0 0 6 1 】

S I M O D C - D C コンバータ回路 1 1 0 0 は、S I M O 制御部 1 1 0 5 と、(ヒステリシス)コンパレータ 1 1 1 2 A ~ 1 1 1 2 C と、バック D C - D C コンバータ 1 1 4 0 とを備え、供給電力レール 1 1 1 7 A ~ 1 1 1 7 C に 3 つの出力ノード 1 1 1 5 A ~ 1 1 1 5 C を提供する。上述のように、P D V S 回路 1 1 3 0 には、P D V S 制御部 1 1 3 1 と P D V S ブロック 1 1 3 2 とが含まれる。コンバータ 1 1 1 2 A ~ 1 1 1 2 C と、S I M O 制御部 1 1 0 5 と、D C - D C バックコンバータ 1 1 4 0 とによって、出力ノード 1 1 1 5 A ~ 1 1 1 5 C に出力電圧を供給する制御ループが実装される。S I M O 制御部 1 1 0 5 によって、インダクタ電流 (I L) がスイッチ S 1 ~ S 3 を介して異なる供給電力レール 1 1 1 7 A ~ 1 1 1 7 C に誘導される。(ヒステリシス)コンパレータ 1 1 1 2 A ~ 1 1 1 2 C は、各供給電力レール 1 1 1 7 A ~ 1 1 1 7 C とその基準電圧とを比較してデジタル出力を提供する。また、選択されたコンパレータ 1 1 1 2 A ~ 1 1 1 2 C のターンオン時間の切り替えも、この(ヒステリシス)コンパレータ 1 1 1 2 A ~ 1 1 1 2 C によって制御される。これに関しては、本明細書により詳細に述べられている。さらに、(ヒステリシス)コンパレータ 1 1 1 2 A ~ 1 1 1 2 C によって、各供給電力レール 1 1 1 7 A ~ 1 1 1 7 C の制御及び切り替えが制御される。これらのコンパレータ 1 1 1 2 A

40

50

~ 1 1 1 2 C は、図 1 1 に示すシステムにおいて特定の供給電力レール 1 1 1 7 A ~ 1 1 1 7 C が必要ではない場合に、その動作を停止させることができる。コンパレータ 1 1 1 2 A ~ 1 1 1 2 C のデジタル出力は、P D V S 制御部 1 1 3 0 からの優先信号と共に S I M O 制御部 1 1 0 5 で受け取られる。これらの信号を用いて、D C - D C バックコンバータ 1 1 4 0 に対する制御信号の生成、並びに、スイッチ S 1 ~ S 3 に対するスイッチング順序の割当が行われる。P D V S 制御部 1 1 3 1 からの優先信号は、各供給電力レール 1 1 1 7 A ~ 1 1 1 7 C での電流負荷シナリオを表す、あるいは示す。S I M O 制御部 1 1 0 5 は、この優先信号を用いて、スイッチング優先順位を設定して、スイッチ S 1 ~ S 3 に対して最高優先順位及び最低優先順位を割り当てる。例えば、0 . 9 V 供給電力レールが重負荷の場合、この供給電力レールに優先順位が設定され、0 . 9 V コンパレータ 1 1 1 2 A の出力が低下した場合、S I M O 制御部 1 1 0 5 は、インダクタ電流 I L を 0 . 9 V 供給電力レールに誘導し始める。それら 3 つのレール全てが重負荷の場合には、このスイッチング構成によって大きなリップル又は交差調整が生じる可能性がある。しかしながら、P D V S 回路 1 1 3 0 の全ての供給電力レールに対して同時に負荷がかかることはない。そのため、通常、他の供給電力レールに大きなリップルが発生することはない。また、図 1 1 のシステムは、様々な容量の S o C 減結合を可能にし、これによりシステムレベル量とコストを抑えることができる。

10

【 0 0 6 2 】

図 1 1 に示すような P D V S - S I M O アーキテクチャの設計を実現するには、いくつかのパラメータが関与する。第一に、P D V S - S I M O アーキテクチャは、リップルの小さな低容量のサポートができなければならない。第二に、P D V S - S I M O アーキテクチャは、高効率でなければならない。最後に、P D V S - S I M O アーキテクチャは、静的電力消費が低いほうがよい。図 1 1 に示される設計を用いることで、システム全体の電力及びコストを低減することができる。コンバータ 1 1 4 0 のスイッチング時間は、コンパレータ 1 1 1 2 A ~ 1 1 1 2 C によって制御されることにより、追加の制御回路を減らすのに役立つ、ひいてはシステムの静的電力消費も低減できる。コンバータ 1 1 4 0 におけるパッシブの寸法を縮小するために、二つの方法を採用できる。第一に、6 5 n m の高度処理ノードを使うことで、より小さな C M O S 技術によって、コンバータ 1 1 4 0 のスイッチング周波数をより速めることができ、インダクタとコンデンサの縮小が可能となる。第二に、新しいヒステリシス制御方式を実装することにより、コンデンサの大きさを n F 幅にまで更に縮小することができる。

20

30

【 0 0 6 3 】

図 1 2 は、図 1 1 の S I M O コンバータ回路の一部に対応する D C - D C コンバータのハイサイド (H S) スwitching 制御を行う既知の制御方式を示す図である。一般的には、例えば、二つの方法を採用できる。一つ目の方法としては、固定遅延を生成し、その固定遅延によって H S スwitch (M P) のターンオン時間を制御する。この遅延によってインダクタ I L に電流が生成され、H S スwitching が可能になり、その後ローサイド (L S) スwitching が行われる。この H S 制御によって、各サイクルで転送されるエネルギー量が決定する。H S 制御の二つ目の方法としては、インダクタ L の電流検出を使った方法で、高出力電力スwitching コンバータとしてはより望ましい方法である。しかしながら、この方法にはいくつかの誤差と高エネルギーオーバーヘッドが含まれ、通常、低エネルギー・低電圧システムには適さない。また、インダクタ L の電流が固定されるので、高容量値の減結合コンデンサを用いてリップルの軽減が行われる。軽負荷の場合、インダクタ電流 I L はコンデンサ (図 1 1 に示される) に蓄えられる。これにより、コンデンサが小さい場合は大きなリップルが生じる。

40

【 0 0 6 4 】

図 1 3 は、一実施形態に係る、H S 制御方式の回路を示す概略説明図である。回路 1 3 0 0 は、ヒステリシスコンパレータ 1 3 0 5 を用いて H S スwitch を制御する。コンパレータ 1 3 0 5 のヒステリシスとコンパレータ 1 3 0 5 の遅延とによって、供給電力レール上にリップルが設定される。ハイサイドトランジスタ M P は、V O がヒステリシスコンパ

50

レータのThLOを下回った場合にオンになる。ここで、ThHIとThLOはそれぞれ、ヒステリシスがThHI-ThLOで得られる場合のコンパレータ1305の高閾値と低閾値である。そして、インダクタLは出力レールの充電を開始し、その電流は上昇し始める。VOがThHIを交差すると、MPの動作が停止し、インダクタ電流ILは出力コンデンサを介して放電を開始する。

【0065】

図14A～Hは、個別のDC-DCコンバータ回路のハイサイド(HS)制御回路の挙動を示す図である。つまり、図14A、図14Bは、例えば、図11に示すようなSIMO DC-DCコンバータ回路トポロジーを用いて、各負荷電流に対して得られるインダクタ電流をシミュレーションした例を示す。図14Aに示すように、大きな負荷電流(例えば、10mA)によって、ピークインダクタ電流ILとインダクタ電流ILのパルス幅との両方が増加する。同様に、図14Bに示すように、小さな負荷電流(例えば、1mA)に応じて、ピークインダクタ電流ILとインダクタ電流ILのパルス幅とが減少する。

10

【0066】

図14Cは、例えば、図11の例に示すようなSIMO DC-DCコンバータ回路トポロジーの出力ノード電圧VOUTのシミュレーション例を示す図である。図14Dは、図14Cの例に示す出力ノード電圧が得られるよう、ハイサイド(HS)pチャンネルトランジスタに与えられるゲートソース電圧VGSMPのシミュレーション例を示す図である。図14Dに示すように、VGSMPが低い期間は、ハイサイドスイッチ(例えば、MP)が通電している期間に対応している。

20

【0067】

図14Eは、例えば、図11の例に示すようなSIMO DC-DCコンバータ回路トポロジーの出力ノード電圧VOUTのシミュレーション例を示す図である。図14Fは、図14Eに示す出力ノード電圧が得られるよう、pチャンネルトランジスタに与えられるゲートソース電圧VGSMPのシミュレーション例を示す図である。図14C、図14Dの例は、図14E、図14Fの例に比べて、比較的重い負荷状態を示す。図14E、図14Fに示す軽負荷の例では、ハイサイドスイッチのオン期間が、図14C、図14Dの例に比べて、比較的短く、オンパルス間の期間が長い。図14Gは、図8Aと同様であり、ヒステリシス閾値を示す図である。図14Hは、DC-DCコンバータ回路の一部を示す概略説明図である。

30

【0068】

言い換えれば、一般的に、出力コンデンサから取り出される電流は小さく、その電流のほとんどがコンデンサの充電に用いられるため、軽負荷状態においては、出力における電圧が急速に上昇することが、図14A～14Hに示される。従って、(図14Hに見られるような)コンパレータ1405のヒステリシスによって、小さいインダクタ電流ILが設定され、リップルの軽減が確かとなる。負荷電流が増加する場合、MPが長い期間オンとなる結果(大きな電流が出力から取り出されるため)、出力電圧の立ち上がり時間が増加する。これによって、インダクタLのピーク電流ILが増加する。図14Hの回路は、出力負荷に適合させている。この方法により、供給電力レール上のリップルの出力コンデンサ(図14A～14Hでは不図示)への依存が軽減される。

40

【0069】

図15は、異なる負荷における減結合コンデンサの異なる値に対するリップル電圧のシミュレーション結果を示す図である。プロットされたそれぞれのグラフは、それぞれの負荷電流を示す。リップル電圧は、0.8V VDDと1.2V Vinのサンプル値について、30～60mVと幅がある。4.3nFの出力コンデンサからは、レール上に約5%のリップルが得られる。この容量値は、DC-DCコンバータにおける供給電力レール上に使用される典型的な減結合コンデンサ(μF範囲)よりも大幅に小さい。これらの値では、この容量のオンチップ集積が容易に行える。かなりの割合の容量が、これらの供給電力レールに接続されたコアの寄生容量から生じる。

【0070】

50

本明細書に述べるHS制御方式によって、最大50mAまでの負荷をサポートでき、SIMOコンバータ回路を連続導通モード(CCM)と不連続導通モード(DCM)の両方で動作させることができる。軽負荷状態では、SIMOコンバータ回路はDCMに突入する。HSターンオン時間を用いてインダクタの充電を行う。LS制御サイクル後は、インダクタ電流ILがゼロになる。しかしながら、軽負荷状態のため、LSサイクルよりも後にVOがTHLOを下回る。VOがTHLOを下回った時点で、HS制御方式が再開する。軽負荷においてDCMによる動作を行うことは、許容効率及び制御リップルの達成に役立つ。重負荷状態では、SIMOコンバータ回路はCCMで動作する。重負荷状態では、インダクタ電流がゼロになり、連続導通が行われる前にVOがTHLOを下回る。CCMによる動作を行うことは、SIMOコンバータ回路が重負荷状態を対象にするのに役立つ。図16は、軽負荷、重負荷それぞれの状態での出力電圧とインダクタ電流のシミュレーション結果を示す図である。図16Aは、0.4mAの負荷電流での出力電圧とインダクタ電流のシミュレーション結果を示す。図16Bは、40mAの負荷電流での出力電圧とインダクタ電流のシミュレーション結果を示す。図16A、図16Bの結果から、SIMOコンバータ回路は、重負荷状態(図16B)ではCCMで動作し、軽負荷状態(図16A)ではDCMで動作することが分かる。

10

20

30

40

50

【0071】

HS回路の静的電力消費は、コンパレータ(例えば、図11のコンパレータ1112A~1112C)の電力消費に左右される。コンパレータの静止電流を軽減することにより、さらなる節電が可能になる。しかしながら、コンパレータの性能によって、供給電力レール上に見られるリップル量も制御される。例えば、コンパレータに大きな遅延が起きた(低電力)場合、出力電圧の変化に対するコンパレータの反応が遅くなり、その結果、リップルが増大する。図17Aは、SIMOコンパレータ静止電流に対するリップル変動の例を示す図である。リップルは、静止電流の増加と共に減少する。コンパレータ電流が25 μ Aに達すると、リップルは一定になる。この後、コンパレータと出力コンデンサのヒステリシスによって、リップル量が制御される。図17Aの例では、0.9Vと0.7Vの供給電力レールのコンパレータに対して、25 μ Aの静止電流が選択され、0.4Vの供給電力レールに対しては2つのコンパレータが使用される。一方のコンパレータは3 μ Aの静止電流を有し、他方のコンパレータは100nAの静止電流を有する。これは、PDVSシステムのすべてのコアが0.4Vに接続される低電力モードのコンバータの静的電力消費を低下させるために行われる。0.4Vのレールが大きなリップルのVDDを供給している間は、他の二つのコンバータは停止する。

【0072】

コンパレータのヒステリシスは、特に軽負荷状態でのSIMOコンバータの全体効率の決定に用いられる、ピークインダクタ電流の決定にも用いられる。インダクタ電流の値が大きいと、導通損失が増加し、効率が低下する。一方、インダクタ電流の値が小さいと、スイッチング損失によって効率が低下する。インダクタ電流は、コンパレータのヒステリシスにより制御される。重負荷状態では、SIMOコンバータが連続導通モードで動作するため、損失が負荷電流により制御される。また、SIMOコンパレータや出力コンデンサは、SIMOコンバータの遷移挙動にも影響を与える。図17Bは、出力負荷が10ナノ秒間に100 μ Aから10mAに変化する場合のSIMOコンパレータの状態の例を示す図である。図17Bに示すように、負荷状態が素早く変化した場合にも、SIMOコンバータは継続して制御を行うことができる。しかしながら、出力コンデンサのサイズが小さいため、出力負荷が40~50mAといった重負荷へ急激に変化すると、出力レールにオーバーシュートやアンダーシュートが発生する。そのような状態下でSIMOコンバータが回復するには数 μ 秒かかる。このようなことが発生するのは、コンバータが非常に短時間にDCMからCCMへと移行した結果、インダクタ電流が増大し、大きなリップルが生じることがあるためである。一方、負荷がゆっくりと変化する場合には、供給電力レールには大きなリップルは見られない。

【0073】

図18A～Dは、一実施形態に係る、個々のSIMO DC-DCコンバータ回路のローサイド(LS)制御を示す図である。一般的に、図18A～Dには、LSスイッチを一定の時間オンに保つのに、ローサイド制御を行うことを示す。残りの時間は、LSはダイオードとして動作する。LSスイッチは、低閾値電圧(LVT)装置に実装される。その結果、ダイオードは、大きな損失に寄与しない。既知のLS制御方法では、ゼロ検出コンバータが実装される。軽負荷状態かつインダクタ電流が小さい場合、ゼロ検出コンバータの性能は非常に高い。さらなる性能向上には、コンバータの静電流が増大し、コンバータのDC電力消費に大きなオーバーヘッドが付加される。固定遅延ターンオン時間をLSに適用する方法によって、わずかな効率低下が発生するだけで、このようなオーバーヘッドが解消される。図18Aは図7Aと同様であり、図18Bは図7Bと同様であり、図18Cは図6と同様である。図18Dは、SIMO DC-DCコンバータ回路の一部を示す概略説明図である。

10

【0074】

図19は、一実施形態に係る、SIMO制御部の回路図である。図19において、SIMO制御部1905は3つのコンパレータ1912A～1912Cに動作可能に接続されている。3つの(ヒステリシス)コンパレータ1912A～1912Cのうちいずれか一つの出力が高くなると、HS制御が可能になる。この時点では、LSが無効となっている。HSが無効となった時点で、LSが(図18に示すような)所定のパルス幅でオンになる。スイッチS1～S3は、ここで図11から再描画された0.9V、0.7V、0.4Vのレールに対するSIMOスイッチである。優先順位の選択によって、c1とc2間、それに応じてS1とS2間の選択が行われる。例えば、0.7Vのレールが高い優先順位を有する場合、c2がp1に、c1がp2にそれぞれ接続される。同様に、b1がS2に、b2がS1にそれぞれ接続される。S1～S3の中から一つのスイッチだけを一定時間オンにする。優先順位選択は、ある特定のスイッチの選択を担う。複数の供給電力レールがTHLOを下回る場合、優先順位の高い供給電力レールに対応するスイッチがオンになる。高い優先順位は、より大きな負荷を有するレールに割り当てられる。このような設計は、PDVSシステムに適している。一つの供給電力レールが重負荷の場合、PDVSでは、その他の供給電力レールが軽負荷となる。尚、PDVS回路において負荷情報は(ヘッダースイッチ接続を介して)周知であるため、優先順位の割り当ては正確に行われる。

20

【0075】

上述の方法において、大きな負荷を有する供給電力レールが先に使用可能となり、それによって、その供給電力レールに大きなリップルが発生することを防止する。小さな負荷を有する供給電力レールはゆっくりと放電を行い、その間に使用可能となる。SIMO制御部1905には、供給電力レール間の負荷の差が大きくなりすぎた場合、大きな交差調整が行われる。これは、CCM動作モードにおいて行われる。一つの供給電力レールが、例えば、40～50mAの電流を有する重負荷状態で、その他のレールが、例えば、10～100μAの電流を有する軽負荷状態である場合、インダクタに大きな電流が存在するため、軽負荷状態の供給電力レールに充電が行われる。このような制限を克服する方法の一つとして、インダクタの両端子を短絡する方法があるが、これではエネルギー損失が生じることになる。そのため、余分な電流は、優先順位の最も低い0.4Vのレール上に捨てられる。電圧上昇が発生した場合は、クランプを用いて、0.4Vの供給電力レールにおける電圧制御を行うことができる。

30

40

【0076】

図20A、Bは、それぞれ、出力供給電力レール上における異なるシナリオでの負荷電流分布の例を示す図である。図20Aは、コアのほとんどが0.9Vのレールに接続された場合を、図20Bは、コアのほとんどが0.7Vの供給電力レール接続された場合を、それぞれ示している。図20A、Bは、一つのVDD供給電力レールが重負荷の場合(コアのほとんどがそのVDDに接続されている場合)、他のVDD供給電力レールは軽負荷であるという見識を与える。これは、SIMOコンバータ設計の強みとして用いることができる、PDVS回路に固有の特徴である。この特性を利用して、SIMOコンバータの

50

交差調整の問題に対処できる。交差調整は、一つの供給電力レールの負荷電流における変化によって他の供給電力レールの出力電圧に変化があった場合に、通常CCMにて動作するSIMOコンバータに生じる。これは、主にシステム内の供給電力レール上の過渡負荷によって起きる。SIMOコンバータは、交差調整に対応するために、最悪の過渡負荷を考慮して過分に設計される(over-designed)ことが多い。PDVSを実装したシステムにおける明確な負荷形態として、過渡負荷は既に一般に知られている。また、いずれかの時点で、それら三つの供給電力レールのいずれかが重負荷になったり、軽負荷になったりすることも、一般に知られている。この情報は、PDVSのヘッダスイッチ(図2参照)を構成するために必要となるか、既に知られているため、所定の時間で当該供給電力レールに接続されるコアの数(又はコアの種類)を精査することによって簡単に取得できる。こうした情報は、スイッチング供給電力レールの優先順位を設定するために、SIMOコンバータ設計に用いられる。例えば、場合によっては、SIMOが0.9V、0.7V、0.4Vの供給電力レールを提供するよう設計され、0.9V供給電力レールが重負荷の場合、その0.9Vのレールを優先するように設定される。こうした場合、0.9V供給電力レールが最初に制御され、0.7Vのレール及び0.4Vのレールが後に続く。負荷情報が分からないと、優先順位が正しく設定されず、供給電力レールにより大きな交差調整が見られる場合がある。供給電力レールを特定の誤差内に維持するために、 μF の範囲となる容量の高い値のコンデンサが、しばしば用いられる。しかしながら、ここで、SIMOコンバータ回路をPDVS回路と組み合わせて使用することによって、提案されているSIMOコンバータに使用される減結合コンデンサの値を大幅に低減させることができる。

【0077】

PDVS回路では、DVS制御による急激な負荷変化が決定する。コアのほとんどが0.7Vレールから0.9Vレールに切り替わった場合、PDVS制御部は、この旨を信号によってSIMOコンバータに示し、これにより、0.7Vレールが優先されることになる。フィードフォワード情報は、急激な負荷変遷のため、交差調整を制御する優先順位の再割当てを動的に行うために利用される。これにより、軽負荷状態においても効率を低下させる複雑なフィードバック方式が解消される。

【0078】

図21Aは、特定の出力制御優先順位に従って、図11に示すようなSIMO DC-DCコンバータ回路1100から得られるような測定出力ノード電圧の例を示す図である。このようなSIMO DC-DCコンバータ回路は、例えば、約1V以上の入力電圧を用いて、約0.9VDC(例えば、VOUT1)、約0.7VDC(例えば、VOUT2)、約0.4VDC(例えば、VOUT3)の3つの出力電圧をそれぞれ生成するよう構成されている。

【0079】

図21Bは、第2の異なる出力制御優先順位に従って、図11に示すようなSIMO DC-DCコンバータ回路1100から得られるような測定出力ノード電圧の例を示す図である。このようなSIMO DC-DCコンバータ回路は、例えば、約1V以上の入力電圧を用いて、約0.9VDC(例えば、VOUT1)、約0.7VDC(例えば、VOUT2)、約0.4VDC(例えば、VOUT3)の3つの出力電圧をそれぞれ生成するよう構成されている。

【0080】

交差調整は、別の供給電力レール上の急激な負荷変化により一つの供給電力レール上に増大したリップルを参照し、マルチ出力制御回路の主要問題となり得る。DVS回路の使用によって、負荷変化が決定することが認識されている。例えば、各ブロックが、DVS制御回路に応じて、0.9VDC供給電力レールの使用から0.7VDC供給電力レールの使用に切り替えた場合、電源制御部制御回路は、それに応じて出力制御優先順位を調整し、0.7VDC出力を優先させる、もしくは、むしろ0.9VDC出力を無視又は無効にする。図21Aの例においては、0.9VDC出力の制御優先順位は、0.7VDCレ

10

20

30

40

50

ールよりも比較的低い。このような出力制御優先順位の差により、図 2 1 B に示すような対応する出力より 30 mV 大きなリップルが発生するなど、0.9 V DC レールに大幅な低下が見られ、0.9 V DC レールは、約 40 mV 未満までリップルを制限するよう割り当てられる。よって、負荷に基づいて、異なる出力レールに適切に優先順位を割り当てることは、リップル効果の軽減に役立つ。図 2 1 A、図 2 1 B において、縦軸の目盛りは、区分ごとに約 100 mV である。

【0081】

図 2 2 A は、図 2 2 B の例と比較して重負荷における、図 1 1 に示すような SIMO DC-DC コンバータ回路 1 1 0 0 から得られるような測定出力ノード電圧の例を示す図である。このようなコンバータ回路は、例えば、約 1 V 以上の入力電圧を用いて、約 0.9 V DC (例えば、VOUT1)、約 0.7 V DC (例えば、VOUT2)、約 0.4 V DC (例えば、VOUT3) の 3 つの出力電圧をそれぞれ生成するよう構成されている。図 2 2 A の重負荷の例には、0.9 V DC 出力における約 10 mA、0.7 V DC 出力における約 1 mA、0.4 V DC 出力における約 1 mA のそれぞれの出力電流が含まれる。この例において、コンバータ回路の効率は 86% であり、測定されたリップルは約 40 mV 以下である。

10

【0082】

図 2 2 B は、図 2 2 A の例と比較して軽～中負荷における、図 1・BR>P に示すような SIMO DC-DC コンバータ回路 1 1 0 0 から得られるような測定出力ノード電圧の例を示す図である。このようなコンバータ回路は、例えば、約 1 V 以上の入力電圧を用いて、約 0.9 V DC (例えば、VOUT1)、約 0.7 V DC (例えば、VOUT2)、約 0.4 V DC (例えば、VOUT3) の 3 つの出力電圧をそれぞれ生成するよう構成されている。図 2 2 B の例の軽～中負荷には、0.9 V DC 出力における約 10 mA、0.7 V DC 出力における約 100 μ A、0.4 V DC 出力における約 100 μ A のそれぞれの出力電流が含まれる。この例において、コンバータ回路の効率は 86% であり、領域 2 2 0 2 においては、コンバータ回路は、インダクタ電流 I_L を十分に放出し、0.4 V DC レールを 0.4 V DC 以上のレベルに維持する (例えば、リセット状態を回避する)。図 2 1 A、B 及び図 2 2 A、B から、重負荷効率が 86%、軽負荷効率が 62% であることが分かる。

20

【0083】

図 2 3 A は、例えば、図 1 1 に示すような SIMO DC-DC コンバータ回路 1 1 0 0 から得られるようなマルチ出力構成において、スタンドアロン又は他の出力と共に動作可能な 0.9 V DC コンバータ回路の測定効率の例を示す図である。スタンドアロン構成では、0.9 V DC 出力 (レール) の最大効率は、約 88% である。この効率は、SIMO 構成における 0.9 V DC 出力 (又はレール) 上の負荷電流を用いて測定され、0.7 V と 0.4 V のレール上の負荷は 100 μ A であった。

30

【0084】

図 2 3 B は、例えば、図 1 1 に示すような SIMO DC-DC コンバータ回路 1 1 0 0 から得られるようなマルチ出力構成において、スタンドアロン又は他の出力と共に動作可能な 0.7 V DC コンバータ回路の測定効率の例を示す図である。スタンドアロン構成では、0.7 V DC 出力 (レール) の最大効率は、約 82% である。この効率は、SIMO 構成における 0.7 V DC 出力 (又はレール) 上の負荷電流を用いて測定され、0.9 V と 0.4 V のレール上の負荷は 100 μ A であった。

40

【0085】

図 2 3 C は、例えば、図 1 1 に示すような SIMO DC-DC コンバータ回路 1 1 0 0 から得られるようなマルチ出力構成において、スタンドアロン又は他の出力と共に動作可能な 0.4 V DC コンバータ回路の測定効率の例を大まかに示す図である。スタンドアロン構成では、0.4 V DC 出力 (レール) の最大効率は、約 61% である。この効率は、SIMO 構成における 0.4 V DC 出力 (又はレール) 上の負荷電流を用いて測定され、0.9 V と 0.7 V のレール上の負荷は 100 μ A であった。

50

【 0 0 8 6 】

図 2 3 D は、図 1 1 に示すようであって、低静電流コンパレータと高静電流コンパレータを有する S I M O D C - D C コンバータ回路 1 1 0 0 から得られるような 0 . 4 V D C コンバータ回路の測定効率の例を概して示す図である。図 2 3 D の例では、約 3 μ A を消費するコンパレータ回路を使用した、0 . 4 V D C コンバータ回路の最大効率は、約 6 8 % である。約 1 0 0 ナノアンペア (n A) を消費するコンパレータ回路を使用した、0 . 4 V D C コンバータ回路の最大効率は、約 6 1 % である。よって、効率の測定は、0 . 9 V と 0 . 7 V のレールが停止した状態で、低静止電流モードと高静止電流モードで動作された 0 . 4 V D C 出力 (又はレール) 上で行われる。

【 0 0 8 7 】

図 2 4 は、図 1 1 に示すような S I M O D C - D C コンバータ回路 1 1 0 0 の少なくとも一部を備え得る集積回路の金型マイクロ写真の例を示す図である。このような回路には、例えば、6 5 n m の C M O S 処理ノードで製作されたスイッチと、オンチップ減結合コンデンサとが含まれる。オフチップ・インダクタを無視すれば、コンバータ回路の総面積は、約 1 m m \times 2 m m となる。この設計でのコンデンサとしては、N M O S コンデンサが採用される。容量の値は、0 . 9 V と 0 . 7 V のレールで 4 . 3 n F 、 0 . 4 V のレールで 2 . 3 n F である。この容量は、ゲート酸化物漏れのため、 \sim 1 μ A のスタンバイ電流に寄与する。このコンバータの総面積は 2 m m 2 となり、制御回路の面積は 0 . 0 3 m m 2 となる。

【 0 0 8 8 】

図 2 5 は、一実施形態に係る、一つ又は複数のコンバータ回路を用いた出力電圧制御方法を示すフローチャートである。2 5 0 2 では、例えば、図 3 、 5 、 8 A 、 8 B 、 1 1 の例で説明し示したようなコンパレータ回路を用いて、第 1 出力ノードにおける電圧を、第 1 出力ノードの基準と比較する。同様に、2 5 0 4 では、例えば、第 2 コンパレータ回路を用いて、第 2 出力ノードにおける電圧を、第 2 出力ノードの基準と比較する。2 5 0 6 では、特定の出力制御優先順位に基づき、第 1 又は第 2 コンパレータの出力のいずれか一つを第 1 スイッチに接続する。

【 0 0 8 9 】

2 5 0 8 では、第 1 スイッチの制御入力に与えられる信号に応じて、例えば、第 1 スイッチを用いて、第 1 入力ノードをインダクタの第 1 端子に接続する。2 5 1 0 では、例えば、特定の出力制御優先順位に基づき、インダクタの第 2 端子を、第 1 出力ノード又は第 2 出力ノードのいずれか一つに接続する。一例において、図 8 A 、 図 8 B の例及びその他の例に関連して説明したように、第 1 コンパレータ回路と第 2 コンパレータ回路の一方又は両方には、少なくとも一部は、特定の各ヒステリシスを与えるよう特定された各閾値が含まれる。

【 0 0 9 0 】

本明細書に記載の方法や装置のいくつかは、(メモリに保存され、ハードウェアで実行される) ソフトウェア、ハードウェア、又は、その組み合わせによって実行されるように意図されている。例えば、携帯電話の制御ソフトウェアは、そのようなソフトウェア及び/又はハードウェアによって実行される。ハードウェアモジュールには、例えば、汎用プロセッサ、フィールド・プログラマブル・ゲート・アレイ (F P G A) 及び/又は特定用途向け集積回路 (A S I C) が含まれる。一方、(ハードウェアで実行される) ソフトウェアモジュールは、C 、 C + + 、 J a v a (登録商標) 、 R u b y 、 V i s u a l B a s i c (登録商標) 、その他のオブジェクト指向、手続き型又は他のプログラミング言語や開発ツールを含む、様々なソフトウェア言語 (例えば、コンピューターコード) で表現される。コンピューターコードの例としては、マイクロコードやマイクロ命令、コンパイラによって生成される機械命令、ウェブサービスを生成するコード、コンピューターがインタープリターを用いて実行する高レベル命令を含むファイルを含むが、これらに限定されるものではない。コンピューターコードの他の例としては、制御信号、暗号化コード、圧縮コードを含むが、これらに限定されるものではない。

10

20

30

40

50

【 0 0 9 1 】

本明細書に記載のいくつかの実施形態は、コンピュータで様々な動作を実行するための命令やコンピュータコードを有する持続性コンピュータ可読媒体（持続性プロセッサ可読媒体とも称される）を備えたコンピュータストレージ製品に関する。コンピュータ可読媒体（又はプロセッサ可読媒体）は、一過性の伝搬信号自体（例えば、空間やケーブルなどの伝送媒体に情報を担持する伝搬電磁波）を含まないという意味で、持続性を有する。このような媒体やコンピュータコード（コードとも称する）は、一つ又は複数の特定の目的のために設計・構成されたものである。持続性コンピュータ可読媒体の例としては、ハードディスク、フロッピー（登録商標）ディスク、磁気テープなどの磁気記憶媒体、コンパクトディスク/デジタルビデオディスク（CD/DVD）、コンパクトディスク読み取り専用メモリ（CD-ROM）、ホログラフィック装置などの光学記憶媒体、光ディスクなどの光磁気記憶媒体、搬送波信号処理モジュール、プログラムコードを記憶・実行するよう特別に構成された、特定用途向け集積回路（ASIC）、プログラム可能論理回路（PLD）、読み取り専用メモリ（ROM）・ランダムアクセスメモリ（RAM）装置などのハードウェア装置を含むが、これらに限定されるものではない。

10

【 0 0 9 2 】

このように、様々な実施形態が説明されてきたが、これらの実施形態は、限定ではなく例示の目的のために提示されていることを理解されたい。上述の方法や工程が、特定の順序で起こる特定の事象を示している場合、特定の工程の順序を変更してもよい。また、可能な場合には、特定の工程を並行プロセスにおいて同時に実行してもよく、また、上述のように順序に従って実行してもよい。以上、様々な実施形態が特定の特徴及び/又は構成要素の組み合わせを含むものとして説明されてきたが、ここに記載のいずれかの実施形態から、いくつかの特徴及び/又は構成要素のコンビネーション又はサブコンビネーションを有する他の実施形態も可能である。

20

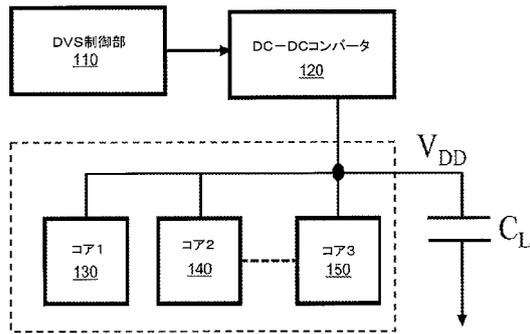
【 0 0 9 3 】

例えば、本明細書に記載の実施形態の多くは、携帯電話に関連してその説明が行われたが、例えば、無線通信機能を備えたスマートフォンやタブレットなど、商業ラジオを有する他の種類の移動通信機器にも適用可能である。同様に、本明細書に記載の実施形態の多くは、データパケットの送受信に関連してその説明が行われたが、適用通信規格に応じて、データセルやデータフレームを含むいかなる種類のデータ単位も適用可能である。

30

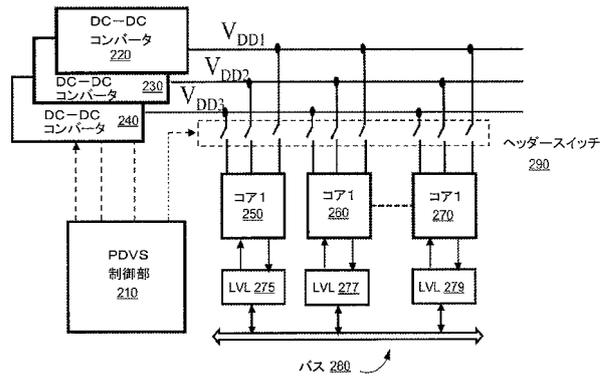
【図 1】

100



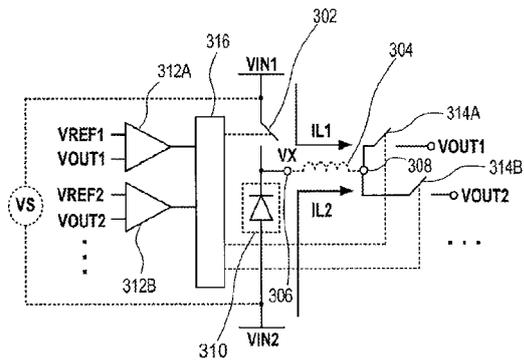
【図 2】

200



【図 3】

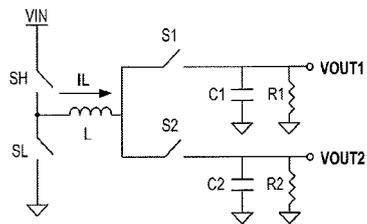
300



【図 4】

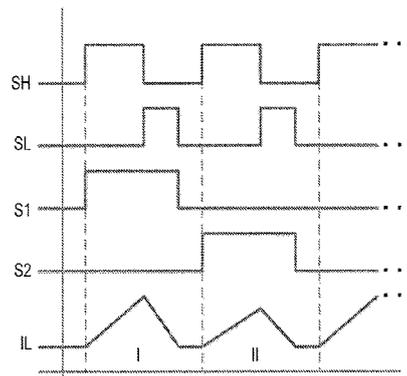
(A)

400A

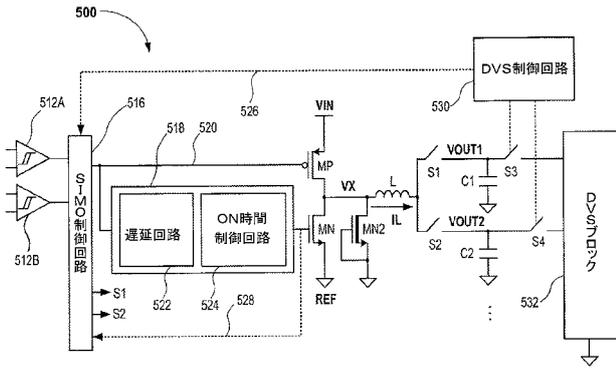


(B)

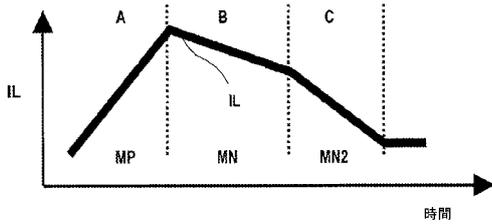
400B



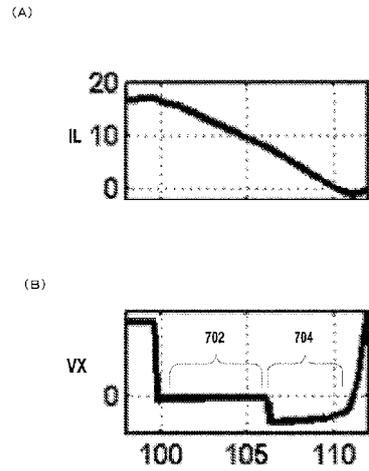
【図5】



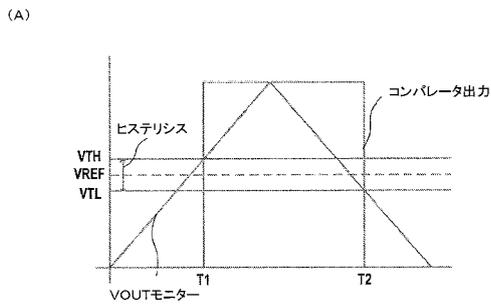
【図6】



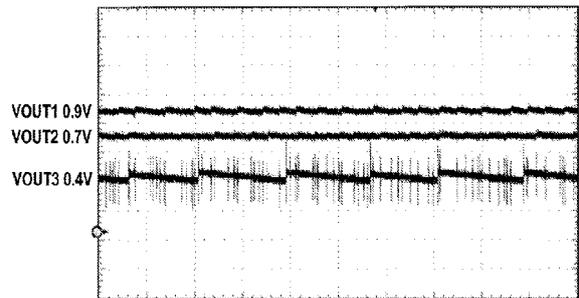
【図7】



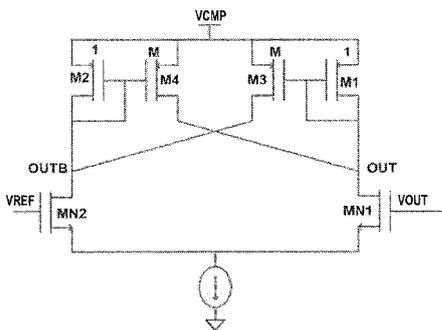
【図8】



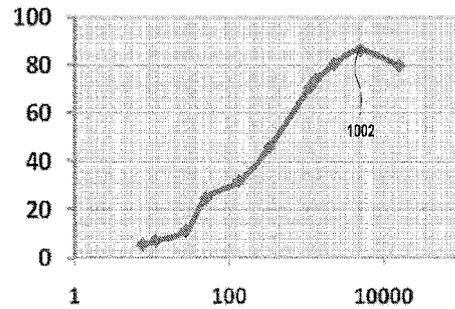
【図9】



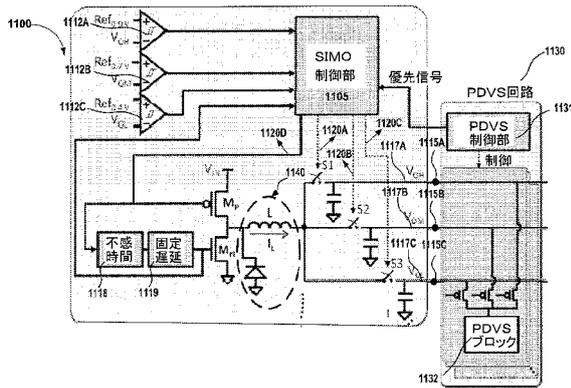
(B)



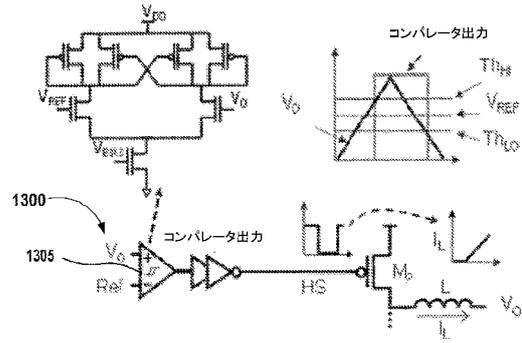
【図10】



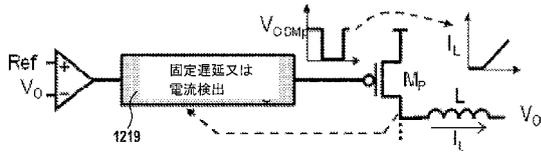
【図 1 1】



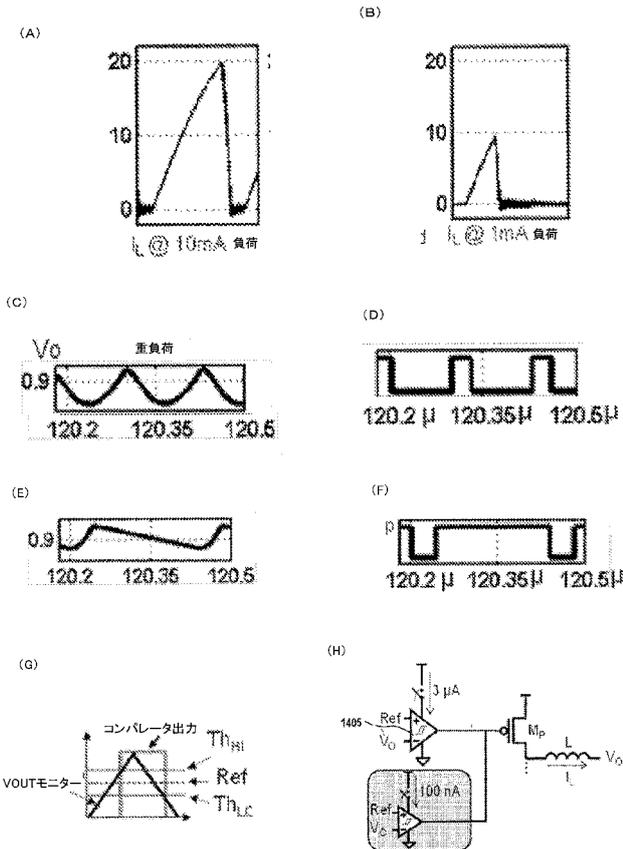
【図 1 3】



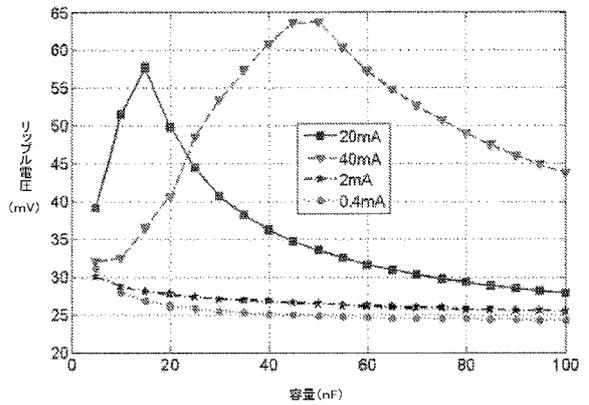
【図 1 2】



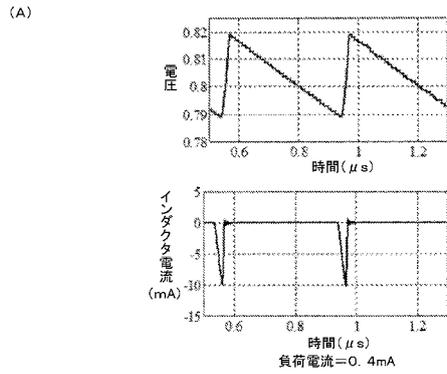
【図 1 4】



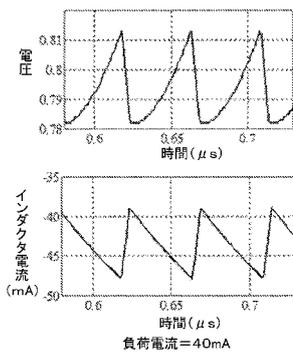
【図 1 5】



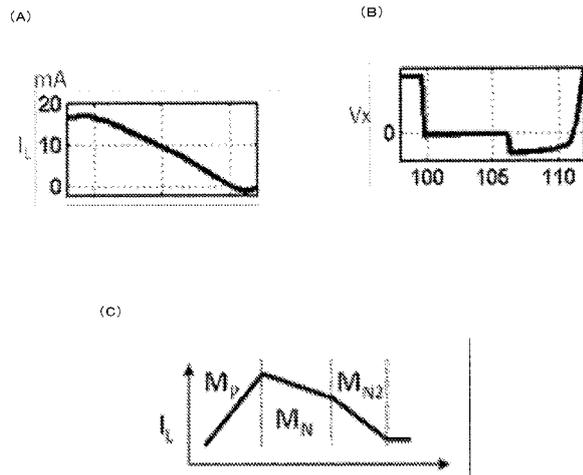
【図 16】



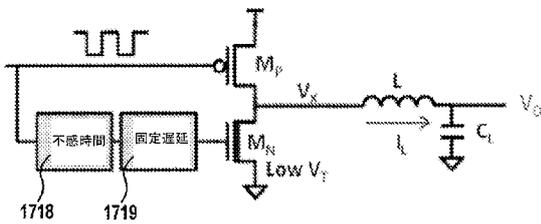
(B)



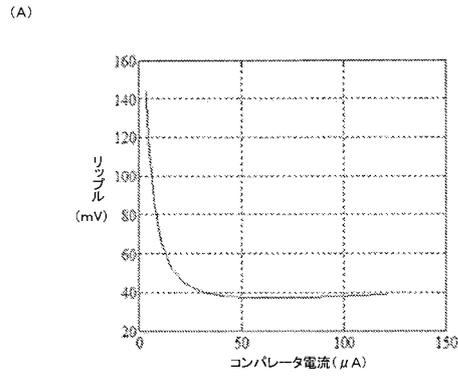
【図 18】



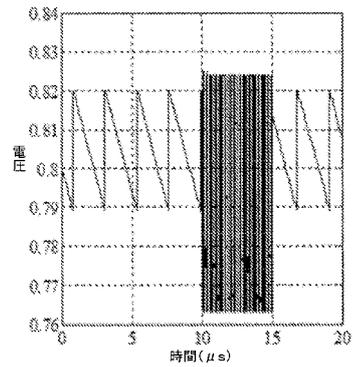
(D)



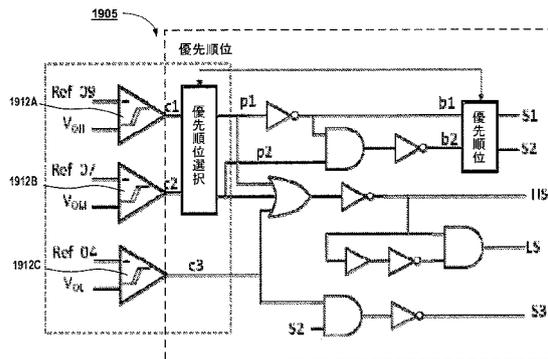
【図 17】



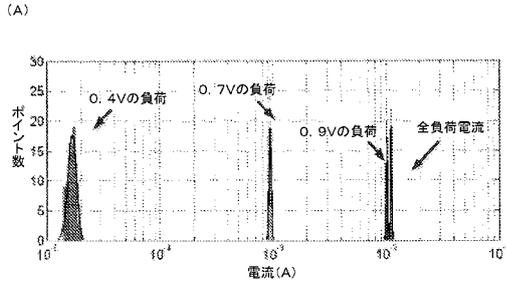
(B)



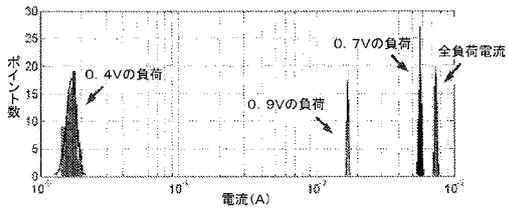
【図 19】



【図 2 0】

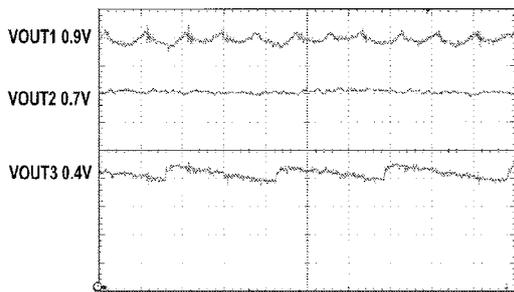


(B)

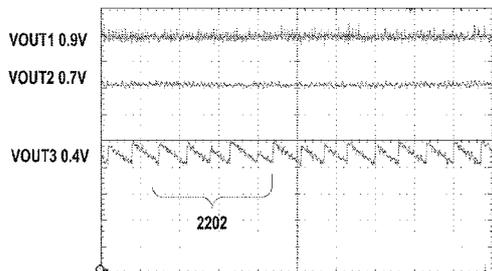


【図 2 2】

(A)

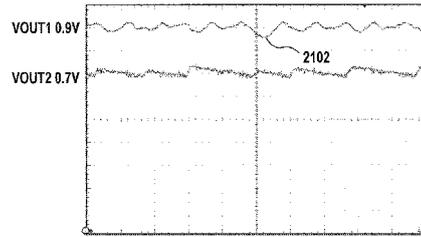


(B)

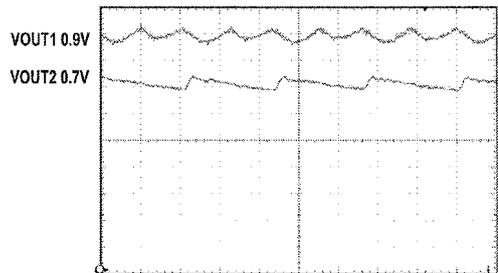


【図 2 1】

(A)

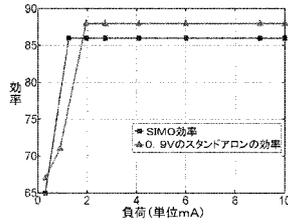


(B)

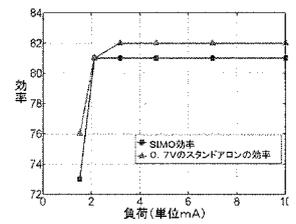


【図 2 3】

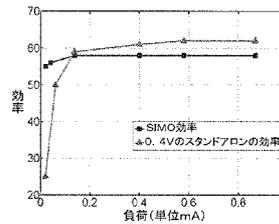
(A)



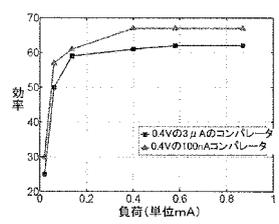
(B)



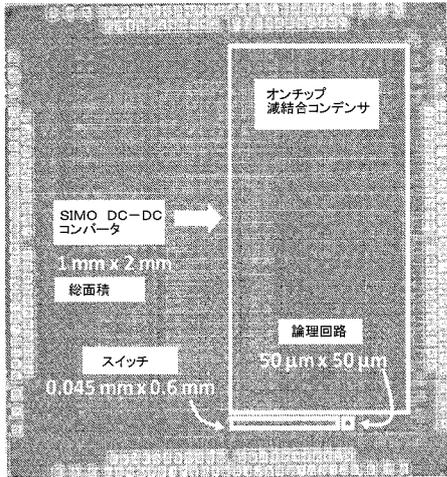
(C)



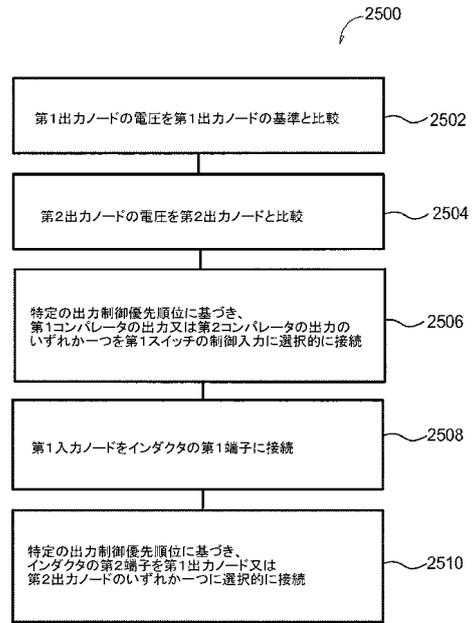
(D)



【 図 2 4 】



【 図 2 5 】



フロントページの続き

(72)発明者 カルホーン・ベントン・エイチ・

アメリカ合衆国 22911バージニア州 シャーロットビル ウルフ・トラップ・ロード 75
3

(72)発明者 シュリーワットウワ・アットミシュ

アメリカ合衆国 22903バージニア州 シャーロットビル モントベッコ・サークル アパー
ト・ビー 239

Fターム(参考) 5H730 AA14 AS05 BB13 BB57 DD04 EE13 EE65 FD01 FD51 FF05