



(12)发明专利申请

(10)申请公布号 CN 111627486 A

(43)申请公布日 2020.09.04

(21)申请号 202010559001.5

G09G 3/36(2006.01)

(22)申请日 2020.06.18

(71)申请人 武汉京东方光电科技有限公司

地址 430040 湖北省武汉市东西湖区五环大道1011号

申请人 京东方科技集团股份有限公司

(72)发明人 邓可 王崇浔 郭会斌 李博

闫帅 刘赫

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 张佳

(51)Int.Cl.

G11C 19/28(2006.01)

G09G 3/3266(2016.01)

G09G 3/3275(2016.01)

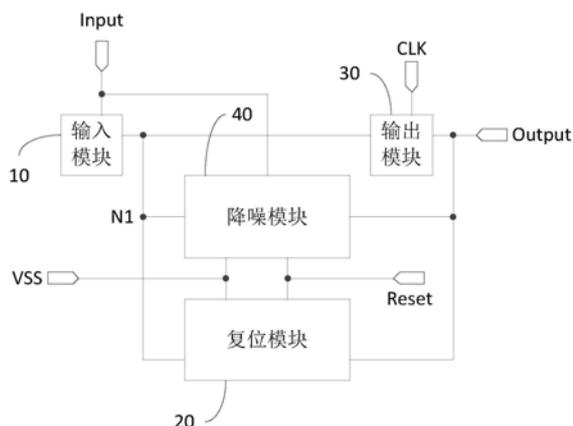
权利要求书2页 说明书9页 附图11页

(54)发明名称

一种移位寄存器、其驱动方法、驱动电路

(57)摘要

本发明公开了一种移位寄存器、其驱动方法、驱动电路,包括输入模块、复位模块、输出模块以及降噪模块。通过上述模块的相互配合,可以实现信号的移位输出。并且,通过设置了降噪模块,可以对第一节点进行降噪。本发明实施例的降噪模块通过复位信号端的信号和输入信号端的信号进行控制,从而不需要额外设置信号线。减少了需要设置的晶体管,简化了移位寄存器的结构,减少了移位寄存器的布线面积,实现结构轻量化、效果优质化。



1. 一种移位寄存器,包括输入模块、复位模块和输出模块,其特征在于,还包括降噪模块;

其中,所述输入模块被配置为在输入信号端的信号控制下,将所述输入信号端的信号提供给第一节点;

所述输出模块被配置为在所述第一节点的信号控制下,将时钟信号端的信号提供给输出信号端;

所述复位模块被配置为在复位信号端的信号控制下,将电源电压端的信号提供给所述第一节点和所述输出信号端;

所述降噪模块被配置为在所述复位信号端的信号和所述输入信号端的信号控制下,将所述电源电压端的信号提供给所述第一节点和所述输出信号端。

2. 如权利要求1所述的移位寄存器,其特征在于,所述降噪模块包括节点控制模块和稳定模块;

其中,所述节点控制模块被配置为在所述复位信号端的信号控制下将所述复位信号端的信号提供给第二节点,在所述输入信号端的信号控制下将所述电源电压端的信号提供给所述第二节点;

所述稳定模块被配置为在所述第二节点的信号控制下,将所述电源电压端的信号提供给所述第一节点和所述输出信号端。

3. 如权利要求2所述的移位寄存器,其特征在于,所述节点控制模块包括第一开关晶体管、第二开关晶体管和第一电容;

其中,所述第一开关晶体管的第一端和控制端与所述复位信号端电连接,所述第一开关晶体管的第二端与所述第二节点电连接;

所述第二开关晶体管的第一端与所述电源电压端电连接,所述第二开关晶体管的控制端与所述输入信号端电连接,所述第二开关晶体管的第二端与所述第二节点电连接;

所述第一电容的第一端与所述第一开关晶体管的控制端电连接,所述第一电容的第二端与所述第二节点电连接。

4. 如权利要求2所述的移位寄存器,其特征在于,所述节点控制模块包括第三开关晶体管、第四开关晶体管和第二电容;

其中,所述第三开关晶体管的第一端和控制端与所述复位信号端电连接,所述第三开关晶体管的第二端与所述第二节点电连接;

所述第四开关晶体管的第一端与所述电源电压端电连接,所述第四开关晶体管的控制端与所述输入信号端电连接,所述第四开关晶体管的第二端与所述第二节点电连接;

所述第二电容的第一端与所述输入信号端电连接,所述第二电容的第二端与所述第二节点电连接。

5. 如权利要求2所述的移位寄存器,其特征在于,所述稳定模块包括第五开关晶体管和第六开关晶体管;

其中,所述第五开关晶体管的第一端与所述电源电压端电连接,所述第五开关晶体管的控制端与所述第二节点电连接,所述第五开关晶体管的第二端与所述第一节点电连接;

所述第六开关晶体管的第一端与所述电源电压端电连接,所述第六开关晶体管的控制端与所述第二节点电连接,所述第六开关晶体管的第二端与所述输出信号端电连接。

6. 如权利要求1-5任一项所述的移位寄存器,其特征在于,所述输入模块包括输入晶体管,所述输入晶体管的第一端和控制端与所述输入信号端电连接,所述输入晶体管的第二端与所述第一节点电连接。

7. 如权利要求1-5任一项所述的移位寄存器,其特征在于,所述复位模块包括第一复位晶体管和第二复位晶体管;

其中,所述第一复位晶体管的第一端与所述电源电压端电连接,所述第一复位晶体管的控制端与所述复位信号端电连接,所述第一复位晶体管的第二端与所述第一节点电连接;

所述第二复位晶体管的第一端与所述电源电压端电连接,所述第二复位晶体管的控制端与所述复位信号端电连接,所述第二复位晶体管的第二端与所述输出信号端电连接。

8. 如权利要求1-5任一项所述的移位寄存器,其特征在于,所述输出模块包括输出晶体管和第三电容;

其中,所述输出晶体管的第一端与所述时钟信号端电连接,所述输出晶体管的控制端与所述第一节点电连接,所述输出晶体管的第二端与所述输出信号端电连接;

所述第三电容的第一端与所述第一节点电连接,所述第三电容的第二端与所述输出信号端电连接。

9. 一种驱动电路,其特征在于,包括级联的多个如权利要求1-8任一项所述的移位寄存器;其中:

第一级移位寄存器的输入信号端与触发信号端电连接;

每相邻两级移位寄存器中,上一级移位寄存器的输出信号端与下一级移位寄存器的输入信号端电连接,下一级移位寄存器的输出信号端与上一级移位寄存器的复位信号端电连接。

10. 一种如权利要求1-8任一项所述的移位寄存器的驱动方法,其特征在于,包括:

第一阶段,对输入信号端加载第一电平的信号,对复位信号端加载第二电平的信号,对时钟信号端加载第二电平的信号;

第二阶段,对输入信号端加载第二电平的信号,对复位信号端加载第二电平的信号,对时钟信号端加载第一电平的信号;

第三阶段,对输入信号端加载第二电平的信号,对复位信号端加载第一电平的信号,对时钟信号端加载第二电平的信号。

一种移位寄存器、其驱动方法、驱动电路

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器、其驱动方法、驱动电路。

背景技术

[0002] 随着显示技术的飞速发展,显示面板越来越向着高集成度和低成本的方向发展。其中,阵列基板行驱动(Gate Driver on Array,GOA)技术将薄膜晶体管(Thin Film Transistor,TFT)栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省去栅极集成电路(Integrated Circuit,IC)的绑定(Bonding)区域以及扇出(Fan-out)区域的布线空间,不仅可以在材料成本和制备工艺两方面降低产品成本,而且可以使显示面板做到两边对称和窄边框的美观设计;并且,这种集成工艺还可以省去栅极扫描线方向的Bonding工艺,从而提高了产能和良率。

发明内容

[0003] 本发明实施例提供一种移位寄存器、其驱动方法、驱动电路,可以实现信号的移位输出。

[0004] 因此,本发明实施例提供了一种移位寄存器,包括输入模块、复位模块和输出模块,还包括降噪模块;

[0005] 其中,所述输入模块被配置为在输入信号端的信号控制下,将所述输入信号端的信号提供给第一节点;

[0006] 所述输出模块被配置为在所述第一节点的信号控制下,将时钟信号端的信号提供给输出信号端;

[0007] 所述复位模块被配置为在复位信号端的信号控制下,将电源电压端的信号提供给所述第一节点和所述输出信号端;

[0008] 所述降噪模块被配置为在所述复位信号端的信号和所述输入信号端的信号控制下,将所述电源电压端的信号提供给所述第一节点和所述输出信号端。

[0009] 可选地,所述降噪模块包括节点控制模块和稳定模块;

[0010] 其中,所述节点控制模块被配置为在所述复位信号端的信号控制下将所述复位信号端的信号提供给第二节点,在所述输入信号端的信号控制下将所述电源电压端的信号提供给所述第二节点;

[0011] 所述稳定模块被配置为在所述第二节点的信号控制下,将所述电源电压端的信号提供给所述第一节点和所述输出信号端。

[0012] 可选地,所述节点控制模块包括第一开关晶体管、第二开关晶体管和第一电容;

[0013] 其中,所述第一开关晶体管的第一端和控制端与所述复位信号端电连接,所述第一开关晶体管的第二端与所述第二节点电连接;

[0014] 所述第二开关晶体管的第一端与所述电源电压端电连接,所述第二开关晶体管的控制端与所述输入信号端电连接,所述第二开关晶体管的第二端与所述第二节点电连接;

[0015] 所述第一电容的第一端与所述第一开关晶体管的控制端电连接,所述第一电容的第二端与所述第二节点电连接。

[0016] 可选地,所述节点控制模块包括第三开关晶体管、第四开关晶体管和第二电容;

[0017] 其中,所述第三开关晶体管的第一端和控制端与所述复位信号端电连接,所述第三开关晶体管的第二端与所述第二节点电连接;

[0018] 所述第四开关晶体管的第一端与所述电源电压端电连接,所述第四开关晶体管的控制端与所述输入信号端电连接,所述第四开关晶体管的第二端与所述第二节点电连接;

[0019] 所述第二电容的第一端与所述输入信号端电连接,所述第二电容的第二端与所述第二节点电连接。

[0020] 可选地,所述稳定模块包括第五开关晶体管和第六开关晶体管;

[0021] 其中,所述第五开关晶体管的第一端与所述电源电压端电连接,所述第五开关晶体管的控制端与所述第二节点电连接,所述第五开关晶体管的第二端与所述第一节点电连接;

[0022] 所述第六开关晶体管的第一端与所述电源电压端电连接,所述第六开关晶体管的控制端与所述第二节点电连接,所述第六开关晶体管的第二端与所述输出信号端电连接。

[0023] 可选地,所述输入模块包括输入晶体管,所述输入晶体管的第一端和控制端与所述输入信号端电连接,所述输入晶体管的第二端与所述第一节点电连接。

[0024] 可选地,所述复位模块包括第一复位晶体管和第二复位晶体管;

[0025] 其中,所述第一复位晶体管的第一端与所述电源电压端电连接,所述第一复位晶体管的控制端与所述复位信号端电连接,所述第一复位晶体管的第二端与所述第一节点电连接;

[0026] 所述第二复位晶体管的第一端与所述电源电压端电连接,所述第二复位晶体管的控制端与所述复位信号端电连接,所述第二复位晶体管的第二端与所述输出信号端电连接。

[0027] 可选地,所述输出模块包括输出晶体管和第三电容;

[0028] 其中,所述输出晶体管的第一端与所述时钟信号端电连接,所述输出晶体管的控制端与所述第一节点电连接,所述输出晶体管的第二端与所述输出信号端电连接;

[0029] 所述第三电容的第一端与所述第一节点电连接,所述第三电容的第二端与所述输出信号端电连接。

[0030] 相应地,本发明实施例还提供了一种驱动电路,包括级联的多个上述任一种移位寄存器;其中:

[0031] 第一级移位寄存器的输入信号端与触发信号端电连接;

[0032] 每相邻两级移位寄存器中,上一级移位寄存器的输出信号端与下一级移位寄存器的输入信号端电连接,下一级移位寄存器的输出信号端与上一级移位寄存器的复位信号端电连接。

[0033] 相应地,本发明实施例还提供了一种上述任一种移位寄存器的驱动方法,包括:

[0034] 第一阶段,对输入信号端加载第一电平的信号,对复位信号端加载第二电平的信号,对时钟信号端加载第二电平的信号;

[0035] 第二阶段,对输入信号端加载第二电平的信号,对复位信号端加载第二电平的信

号,对时钟信号端加载第一电平的信号;

[0036] 第三阶段,对输入信号端加载第二电平的信号,对复位信号端加载第一电平的信号,对时钟信号端加载第二电平的信号。

[0037] 本发明有益效果如下:

[0038] 本发明实施例提供的一种移位寄存器、其驱动方法、驱动电路,包括输入模块、复位模块、输出模块以及降噪模块。通过上述模块的相互配合,可以实现信号的移位输出。并且,通过设置了降噪模块,可以对第一节点进行降噪。本发明实施例的降噪模块通过复位信号端的信号和输入信号端的信号进行控制,从而不需要额外设置信号线。减少了需要设置的晶体管,简化了移位寄存器的结构,减少了移位寄存器的布线面积,实现结构轻量化、效果优质化。

附图说明

[0039] 图1为相关技术中一种移位寄存器的结构示意图;

[0040] 图2为相关技术中又一种移位寄存器的结构示意图;

[0041] 图3为图2所示的移位寄存器对应的信号时序图;

[0042] 图4为相关技术中又一种移位寄存器的结构示意图;

[0043] 图5为图4所示的移位寄存器对应的信号时序图;

[0044] 图6为本发明实施例提供的一种移位寄存器的示意图;

[0045] 图7为本发明实施例提供的一种移位寄存器的结构示意图;

[0046] 图8为本发明实施例提供的又一种移位寄存器的结构示意图;

[0047] 图9为图7所示的移位寄存器对应的信号时序图;

[0048] 图10为本发明实施例提供的一种移位寄存器的驱动方法的流程图;

[0049] 图11为本发明实施例提供的一种驱动电路的示意图。

具体实施方式

[0050] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。并且在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0051] 除非另外定义,本发明使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“电连接”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。

[0052] 需要注意的是,附图中各图形的尺寸和形状不反映真实比例,目的只是示意说明本发明内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

[0053] 如图1所示,为相关技术中一种移位寄存器,包括四个晶体管M01~M04和一个电容Cst,其中节点PU的信号会存在噪声,可能会影响信号的输出。

[0054] 针对上述问题,相关技术中在移位寄存器中加入降噪单元,用于稳定节点PU的信号。示例性地,在一种改良方案中,如图2所示,在图1所示的移位寄存器的结构的基础上加入六个晶体管M05~M10和一条用于提供时钟信号C1kB的信号线,其对应的信号时序图如图3所示。结合图2与图3可知,仅当时钟信号C1kB为高电平时晶体管M07导通,对节点PU降噪,时钟信号C1kB为低电平时无降噪效果。即只在大约一半时间内对节点PU降噪,其降噪效果较差。

[0055] 在另一种改良方案中,如图4所示,在图1所示的移位寄存器的结构的基础上加入六个晶体管M11~M16和一条用于提供高电平的信号线VDD,其对应的信号时序图如图5所示,结合图4与图5可知,节点PD在大部分时间内为高电平,使晶体管M13导通,对节点PU的降噪效果较好。然而,其晶体管的寿命较短。

[0056] 并且,在上述两种改良方案中,均需要增设信号线和较多的晶体管,增加了移位寄存器的布线面积,不利于实现窄边框。

[0057] 本发明实施例提供的一种移位寄存器,如图6-8所示,包括输入模块10、复位模块20和输出模块30,还包括降噪模块40;

[0058] 其中,输入模块10被配置为在输入信号端Input的信号控制下,将输入信号端Input的信号提供给第一节点N1;

[0059] 输出模块30被配置为在第一节点N1的信号控制下,将时钟信号端CLK的信号提供给输出信号端Output;

[0060] 复位模块20被配置为在复位信号端Reset的信号控制下,将电源电压端VSS的信号提供给第一节点N1和输出信号端Output;

[0061] 降噪模块40被配置为在复位信号端Reset的信号和输入信号端Input的信号控制下,将电源电压端VSS的信号提供给第一节点N1和输出信号端Output。

[0062] 本发明实施例提供的移位寄存器,通过上述模块的相互配合,可以实现信号的移位输出。并且,通过设置了降噪模块,可以对第一节点进行降噪。本发明实施例的降噪模块通过复位信号端的信号和输入信号端的信号进行控制,从而不需要额外设置信号线。减少了需要设置的晶体管,简化了移位寄存器的结构,减少了移位寄存器的布线面积,实现结构轻量化、效果优质化。

[0063] 在具体实施时,在本发明实施例中,如图7与图8所示,降噪模块40可以包括节点控制模块41和稳定模块42;

[0064] 其中,节点控制模块41被配置为在复位信号端Reset的信号控制下将复位信号端Reset的信号提供给第二节点N2,在输入信号端Input的信号控制下将电源电压端VSS的信号提供给第二节点N2;

[0065] 稳定模块42被配置为在第二节点N2的信号控制下,将电源电压端VSS的信号提供给第一节点N1和输出信号端Output。

[0066] 在具体实施时,在本发明实施例中,如图7与图8所示,节点控制模块41可以包括第一开关晶体管M1、第二开关晶体管M2和第一电容C1;

[0067] 其中,第一开关晶体管M1的第一端和控制端与复位信号端Reset电连接,第一开关

晶体管M1的第二端与第二节点N2电连接；

[0068] 第二开关晶体管M2的第一端与电源电压端VSS电连接,第二开关晶体管M2的控制端与输入信号端Input电连接,第二开关晶体管M2的第二端与第二节点N2电连接；

[0069] 第一电容C1的第一端与第一开关晶体管M1的控制端电连接,第一电容C1的第二端与第二节点N2电连接。

[0070] 在具体实施时,第一开关晶体管M1响应于复位信号端Reset的信号处于导通状态时,可以将复位信号端Reset的信号提供给第二节点N2。

[0071] 在具体实施时,第二开关晶体管M2响应于输入信号端Input的信号处于导通状态时,可以将电源电压端VSS的信号提供给第二节点N2。

[0072] 在具体实施时,第一电容C1可以存储输入其两端的电压,在第二节点N2浮接时,保持其电压不变。

[0073] 在具体实施时,在本发明实施例中,如图7与图8所示,节点控制模块41可以包括第三开关晶体管M3、第四开关晶体管M4和第二电容C2；

[0074] 其中,第三开关晶体管M3的第一端和控制端与复位信号端Reset电连接,第三开关晶体管M3的第二端与第二节点N2电连接；

[0075] 第四开关晶体管M4的第一端与电源电压端VSS电连接,第四开关晶体管M4的控制端与输入信号端Input电连接,第四开关晶体管M4的第二端与第二节点N2电连接；

[0076] 第二电容C2的第一端与输入信号端Input电连接,第二电容C2的第二端与第二节点N2电连接。

[0077] 在具体实施时,第三开关晶体管M3响应于复位信号端Reset的信号处于导通状态时,可以将复位信号端Reset的信号提供给第二节点N2。

[0078] 在具体实施时,第四开关晶体管M4响应于输入信号端Input的信号处于导通状态时,可以将电源电压端VSS的信号提供给第二节点N2。

[0079] 在具体实施时,第二电容C2可以存储输入其两端的电压,在第二节点N2浮接时,可以保持其两端电压差稳定。例如,在第二节点N2浮接时,当输入信号端Input的信号的电压发生变化时,第二电容C2可以调整第二节点N2的信号的电压。

[0080] 在具体实施时,在本发明实施例中,如图7与图8所示,稳定模块42可以包括第五开关晶体管M5和第六开关晶体管M6；

[0081] 其中,第五开关晶体管M5的第一端与电源电压端VSS电连接,第五开关晶体管M5的控制端与第二节点N2电连接,第五开关晶体管M5的第二端与第一节点N1电连接；

[0082] 第六开关晶体管M6的第一端与电源电压端VSS电连接,第六开关晶体管M6的控制端与第二节点N2电连接,第六开关晶体管M6的第二端与输出信号端Output电连接。

[0083] 在具体实施时,第五开关晶体管M5响应于第二节点N2的信号处于导通状态时,可以将电源电压端VSS的电压提供给第一节点N1,从而使第一节点N1的信号的电压保持稳定。

[0084] 在具体实施时,第六开关晶体管M6响应于第二节点N2的信号处于导通状态时,可以将电源电压端VSS的电压提供给输出信号端Output,从而使输出信号端Output的信号的电压保持稳定。

[0085] 在具体实施时,在本发明实施例中,如图7与图8所示,输入模块10可以包括输入晶体管MI,输入晶体管MI的第一端和控制端与输入信号端Input电连接,输入晶体管MI的第二

端与第一节点N1电连接。输入晶体管MI响应于输入信号端Input的信号处于导通状态时,可以将输入信号端Input的信号提供给第一节点N1。

[0086] 在具体实施时,在本发明实施例中,如图7与图8所示,复位模块20可以包括第一复位晶体管Mr1和第二复位晶体管Mr2;

[0087] 其中,第一复位晶体管Mr1的第一端与电源电压端VSS电连接,第一复位晶体管Mr1的控制端与复位信号端Reset电连接,第一复位晶体管Mr1的第二端与第一节点N1电连接;

[0088] 第二复位晶体管Mr2的第一端与电源电压端VSS电连接,第二复位晶体管Mr2的控制端与复位信号端Reset电连接,第二复位晶体管Mr2的第二端与输出信号端Output电连接。

[0089] 在具体实施时,第一复位晶体管Mr1响应于复位信号端Reset的信号处于导通状态时,可以将电源电压端VSS的信号提供给第一节点N1。

[0090] 在具体实施时,第二复位晶体管Mr2响应于复位信号端Reset的信号处于导通状态时,可以将电源电压端VSS的信号提供给输出信号端Output。

[0091] 在具体实施时,在本发明实施例中,如图7与图8所示,输出模块30可以包括输出晶体管M0和第三电容C3;

[0092] 其中,输出晶体管M0的第一端与时钟信号端CLK电连接,输出晶体管M0的控制端与第一节点N1电连接,输出晶体管M0的第二端与输出信号端Output电连接;

[0093] 第三电容C3的第一端与第一节点N1电连接,第三电容C3的第二端与输出信号端Output电连接。

[0094] 在具体实施时,输出晶体管M0响应于第一节点N1的信号处于导通状态时,可以将时钟信号端CLK的信号提供给输出信号端Output。

[0095] 在具体实施时,第三电容C3可以存储输入其两端的电压,在第一节点N1浮接时,可以保持其两端电压差稳定。例如,在第一节点N1浮接时,当输出信号端Output的信号的电压发生变化时,第三电容C3可以调整第一节点N1的信号的电压。

[0096] 以上仅是举例说明本发明实施例提供的移位寄存器中各电路的具体结构,在具体实施时,上述各电路的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0097] 具体地,为了制作工艺统一,在本发明实施例提供的移位寄存器中,如图7与图8所示,所有晶体管可以均为N型晶体管,当然,所有晶体管也可以均为P型晶体管,在此不作限定。

[0098] 具体地,在本发明实施例提供的移位寄存器中,P型晶体管在低电平信号作用下导通,在高电平信号作用下截止;N型晶体管在高电平信号作用下导通,在低电平信号作用下截止。

[0099] 具体地,在本发明实施例提供的移位寄存器中,上述各晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。并且根据上述各晶体管的类型不同以及各晶体管的控制端的信号的不同,将各晶体管的控制端作为栅极,并可以将上述晶体管的第一端作为源极,第二端作为漏极,或者将晶体管的第一端作为漏极,第二端作为源极,在此不作具体区分。

[0100] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了

更好的解释本发明,但不限制本发明。

[0101] 下面结合电路时序图对本发明实施例提供的移位寄存器的工作过程作以描述。下述描述中以1表示高电平,0表示低电平。需要说明的是,1和0是逻辑电平,其仅是为了更好的解释本发明实施例的具体工作过程,而不是具体的电压值。

[0102] 下面以图7所示的移位寄存器的结构为例,结合图9所示的信号时序图对本发明实施例提供的上述移位寄存器的工作过程进行描述,其中,电源电压端VSS的信号为低电平信号,具体地,选取如图9所示的信号时序图中的第一阶段t1、第二阶段t2、第三阶段t3共三个阶段进行说明。

[0103] 在第一阶段t1, $Input=1, Reset=0, CLK=0$ 。

[0104] 由于 $Input=1$, 输入晶体管M1导通, 第二开关晶体管M2导通。由于 $Reset=0$, 第一开关晶体管M1、第一复位晶体管Mr1和第二复位晶体管Mr2均截止。

[0105] 导通的第二开关晶体管M2将低电平信号提供给第二节点N2, 使第二节点N2为低电平, 第五开关晶体管M5和第六开关晶体管M6截止。导通的输入晶体管M1将高电平信号提供给第一节点N1, 使第一节点N1为高电平, 输出晶体管M0导通, 将时钟信号端的低电平信号提供给输出信号端Output, 使移位寄存器输出低电平。

[0106] 在第二阶段t2, $Input=0, Reset=0, CLK=1$ 。

[0107] 由于 $Input=0$, 输入晶体管M1截止, 第二开关晶体管M2截止。由于 $Reset=0$, 第一开关晶体管M1、第一复位晶体管Mr1和第二复位晶体管Mr2均截止。

[0108] 第二节点N2保持为低电平, 第五开关晶体管M5和第六开关晶体管M6截止。第一节点N1保持为高电平, 输出晶体管M0导通, 将时钟信号端的高电平信号提供给输出信号端Output, 使移位寄存器输出高电平。

[0109] 在第三阶段t3, $Input=0, Reset=1, CLK=0$ 。

[0110] 由于 $Input=0$, 输入晶体管M1截止, 第二开关晶体管M2截止。由于 $Reset=1$, 第一开关晶体管M1、第一复位晶体管Mr1和第二复位晶体管Mr2均导通。

[0111] 导通的第一开关晶体管M1将高电平信号提供给第二节点N2, 使第二节点N2为高电平, 第五开关晶体管M5和第六开关晶体管M6导通。导通的第一复位晶体管Mr1和第五开关晶体管M5将低电平信号提供给第一节点N1, 使第一节点N1为低电平, 输出晶体管M0截止。导通的第二复位晶体管Mr2和第六开关晶体管M6将低电平信号提供给输出信号端Output, 使移位寄存器输出低电平。

[0112] 在第三阶段t3之后, $Input=0, Reset=0$, 输入晶体管M1、第一开关晶体管M1、第二开关晶体管M2、第一复位晶体管Mr1和第二复位晶体管Mr2保持截止。第二节点N2保持为高电平, 第五开关晶体管M5和第六开关晶体管M6保持导通, 将低电平信号提供给第一节点N1和输出信号端Output, 使第一节点N1保持为低电平, 输出晶体管M0截止, 移位寄存器输出低电平, 直到下一个第一阶段t1。

[0113] 基于同一发明构思, 本发明实施例还提供了一种本发明实施例提供的上述任一种移位寄存器的驱动方法, 如图10所示, 包括:

[0114] 第一阶段, 对输入信号端加载第一电平的信号, 对复位信号端加载第二电平的信号, 对时钟信号端加载第二电平的信号;

[0115] 第二阶段, 对输入信号端加载第二电平的信号, 对复位信号端加载第二电平的信

号,对时钟信号端加载第一电平的信号;

[0116] 第三阶段,对输入信号端加载第二电平的信号,对复位信号端加载第一电平的信号,对时钟信号端加载第二电平的信号。

[0117] 基于同一发明构思,本发明实施例还提供了一种驱动电路,如图11所示,包括级联的多个本发明实施例提供的任一种移位寄存器:SR(1)、SR(2)⋯SR(n-1)、SR(n)⋯,SR(N-1)、SR(N)(共N个移位寄存器, $1 \leq n \leq N$);其中:

[0118] 第一级移位寄存器的输入信号端Input与触发信号端STV电连接;

[0119] 每相邻两级移位寄存器中,上一级移位寄存器的输出信号端Output与下一级移位寄存器的输入信号端Input电连接,下一级移位寄存器的输出信号端Output与上一级移位寄存器的复位信号端Reset电连接。

[0120] 具体地,上述驱动电路中的每个移位寄存器的具体结构与本发明实施例提供的上述任一种移位寄存器在功能和结构上均相同,重复之处不再赘述。

[0121] 在具体实施时,在具体实施时,奇数级移位寄存器的时钟信号端CLK电连接第一时钟线clk1;偶数级移位寄存器的时钟信号端CLK电连接第二时钟线clk2。

[0122] 在具体实施时,本发明实施例提供的驱动电路可以作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号。

[0123] 在具体实施时,本发明实施例提供的驱动电路可以作为发光驱动电路,应用于提供发光控制晶体管的发光控制信号。

[0124] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明提供的上述驱动电路。其具体实施可参见上述移位寄存器的实施过程,相同之处不再赘述。

[0125] 在具体实施时,本发明实施例提供的上述显示装置可以为有机发光显示装置,或者也可以为液晶显示装置,在此不作限定。

[0126] 在有机发光显示装置中,一般设置有多个有机发光二极管以及与各有机发光二极管连接的像素电路。一般像素电路中设置有用于控制有机发光二极管发光的发光控制晶体管和用于控制数据信号输入的扫描控制晶体管。在具体实施时,在本发明实施例提供的上述显示装置为有机发光显示装置时,该有机发光显示装置可以包括一个本发明实施例提供的上述驱动电路,该驱动电路可以作为发光驱动电路,应用于提供发光控制晶体管的发光控制信号;或者,该驱动电路也可以作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号。当然,该有机发光显示装置也可以包括两个本发明实施例提供的上述驱动控制电路,其中一个驱动电路可以作为发光驱动电路,应用于提供发光控制晶体管的发光控制信号;则另一个驱动电路作为栅极驱动电路,应用于提供扫描控制晶体管的栅极扫描信号,在此不作限定。

[0127] 在液晶显示装置中,一般设置有多个像素电极,以及与各像素电极连接的开关晶体管。在具体实施时,在本发明实施例提供的上述显示装置为液晶显示装置时,本发明实施例提供的上述驱动电路可以作为栅极驱动电路,应用于提供开关晶体管的栅极扫描信号。

[0128] 该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0129] 本发明实施例提供的一种移位寄存器、其驱动方法、驱动电路,包括输入模块、复

位模块、输出模块以及降噪模块。通过上述模块的相互配合,可以实现信号的移位输出。并且,通过设置了降噪模块,可以对第一节点进行降噪。本发明实施例的降噪模块通过复位信号端的信号和输入信号端的信号进行控制,从而不需要额外设置信号线。减少了需要设置的晶体管,简化了移位寄存器的结构,减少了移位寄存器的布线面积,实现结构轻量化、效果优质化。

[0130] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

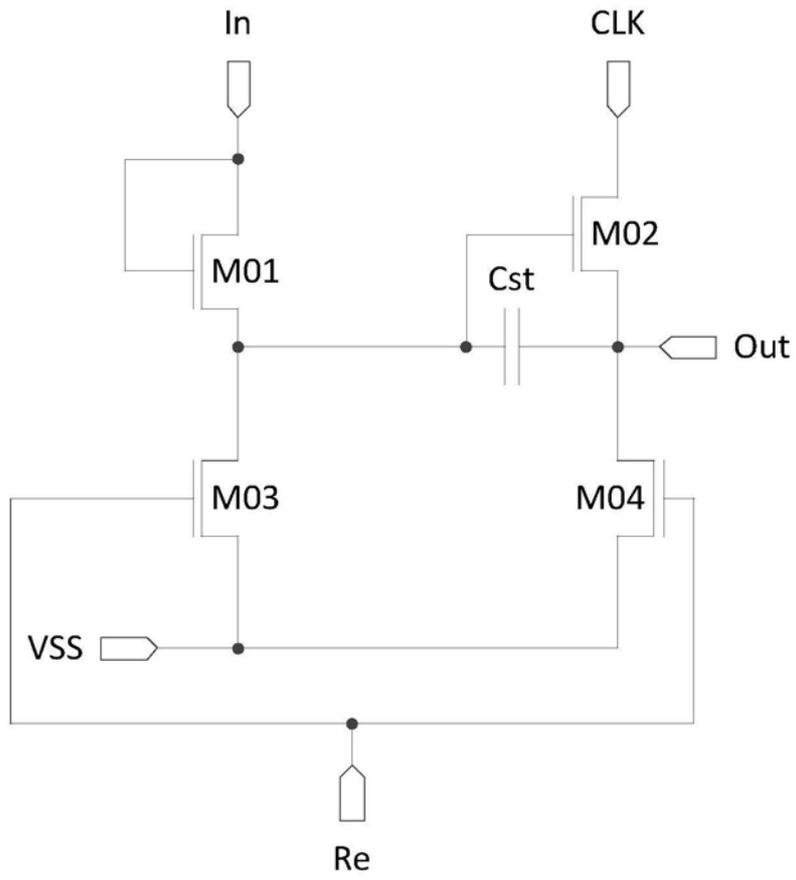


图1

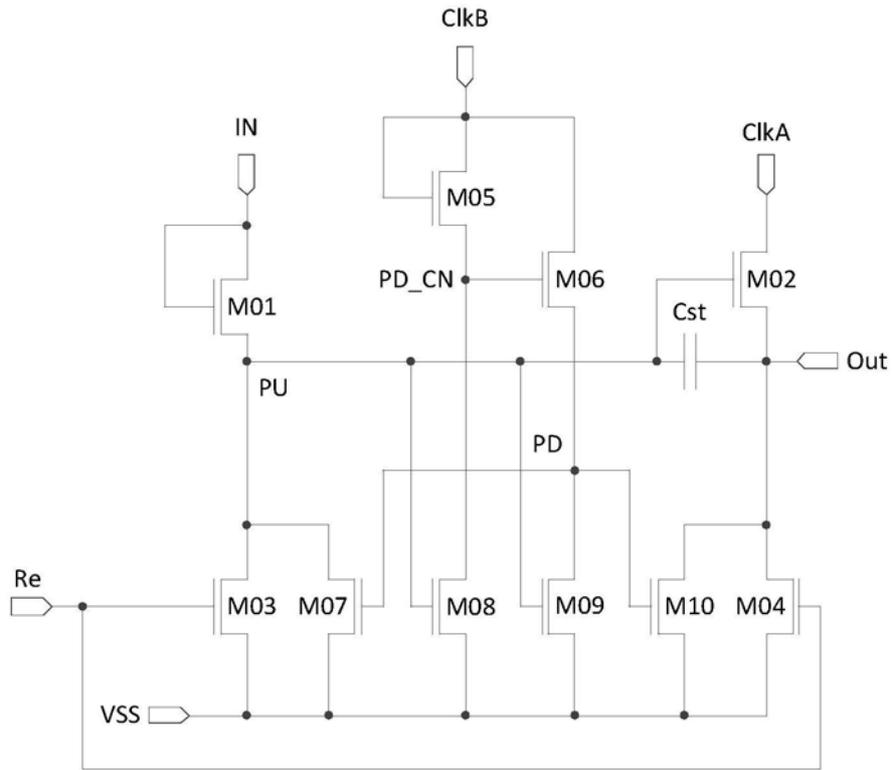


图2

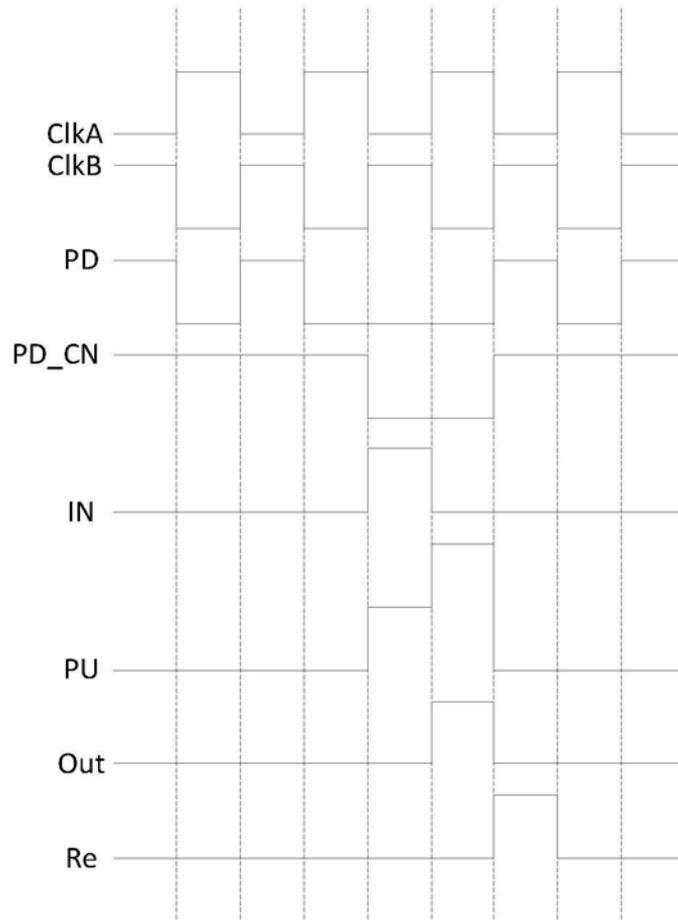


图3

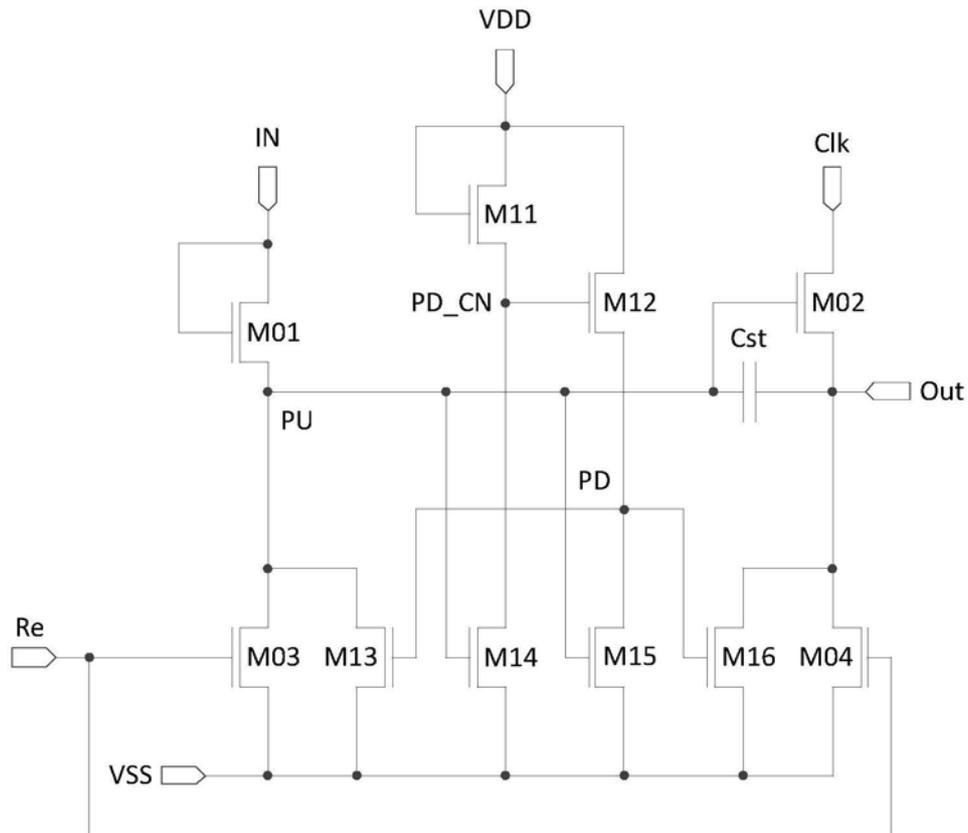


图4

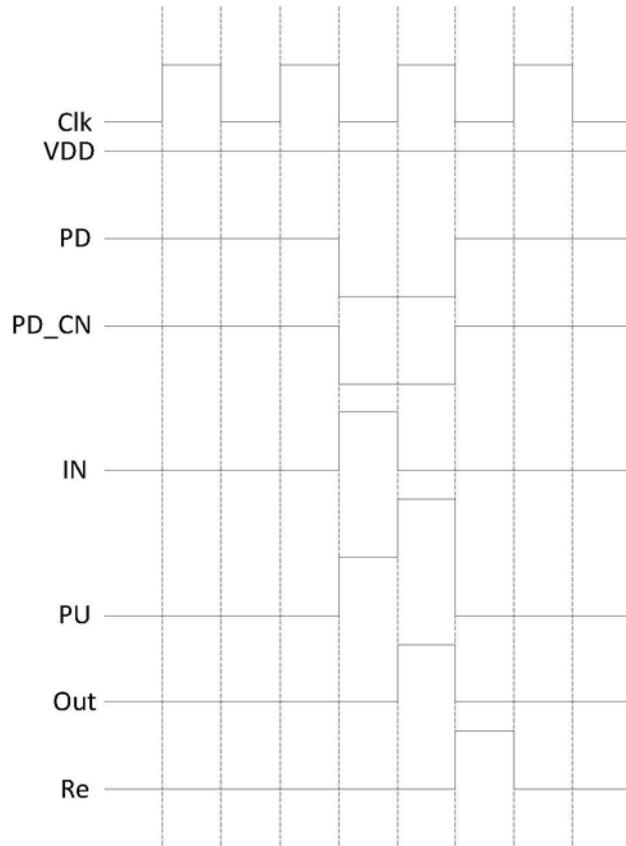


图5

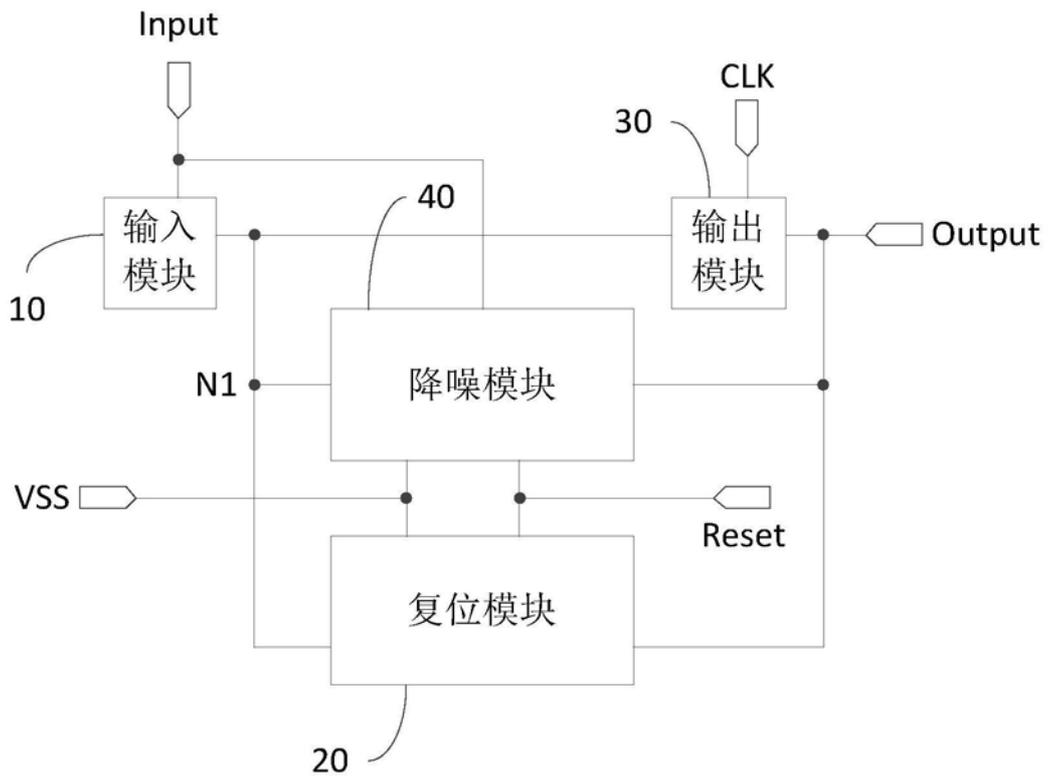


图6

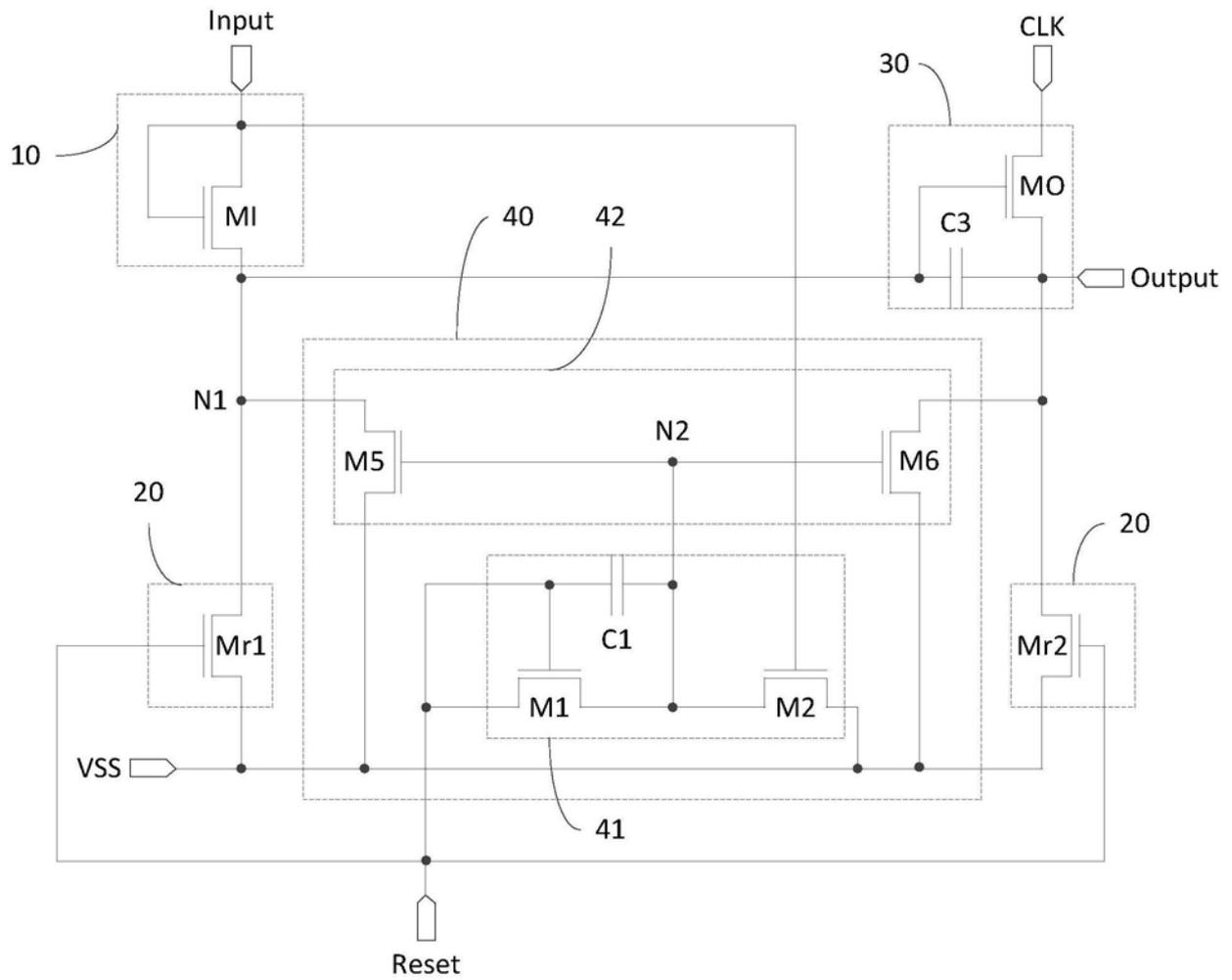


图7

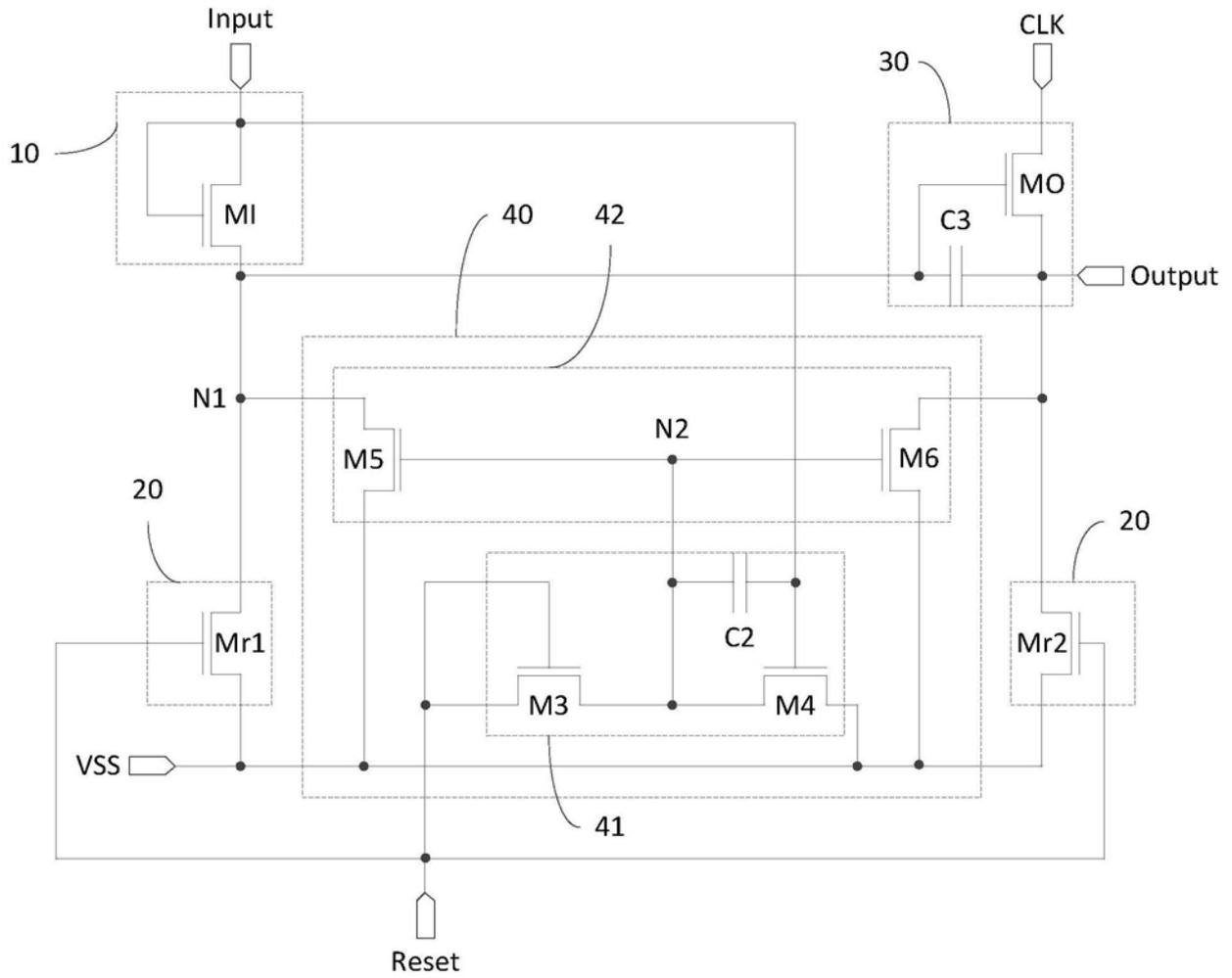


图8

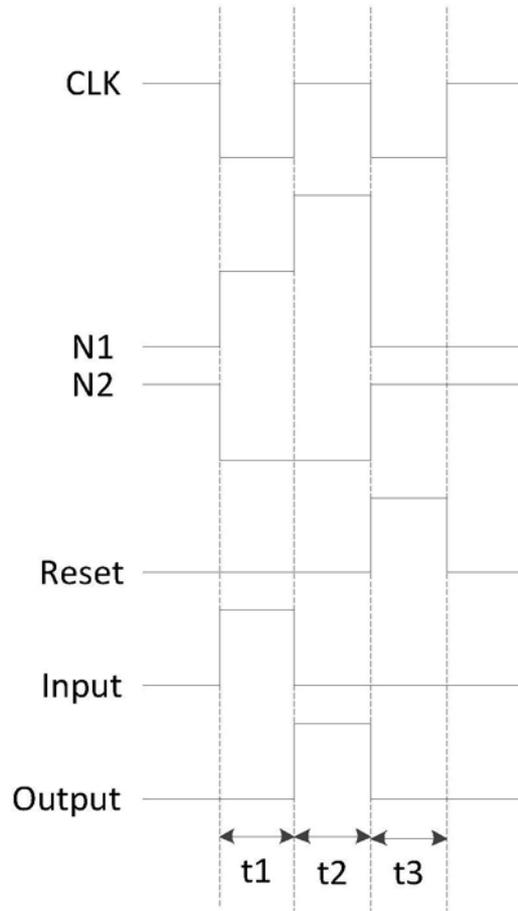


图9

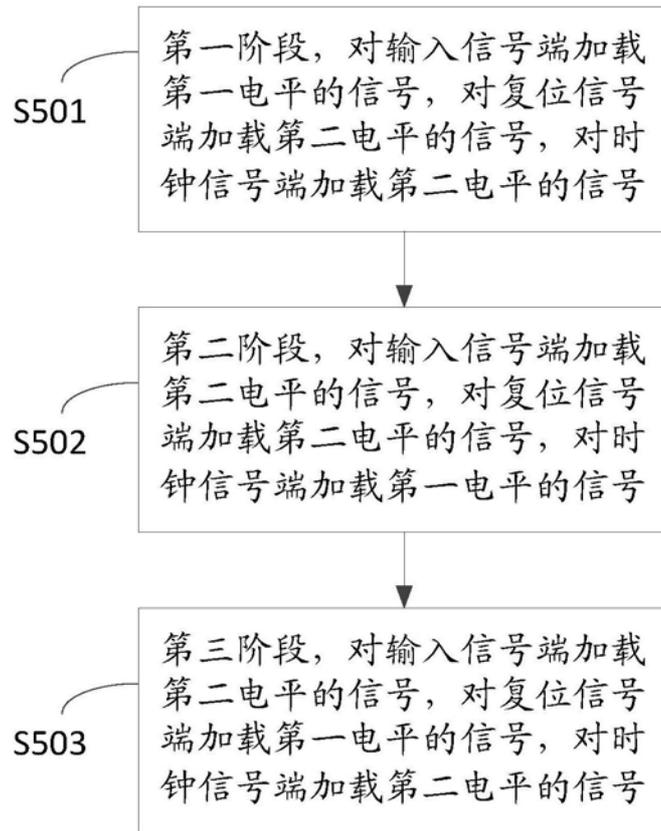


图10

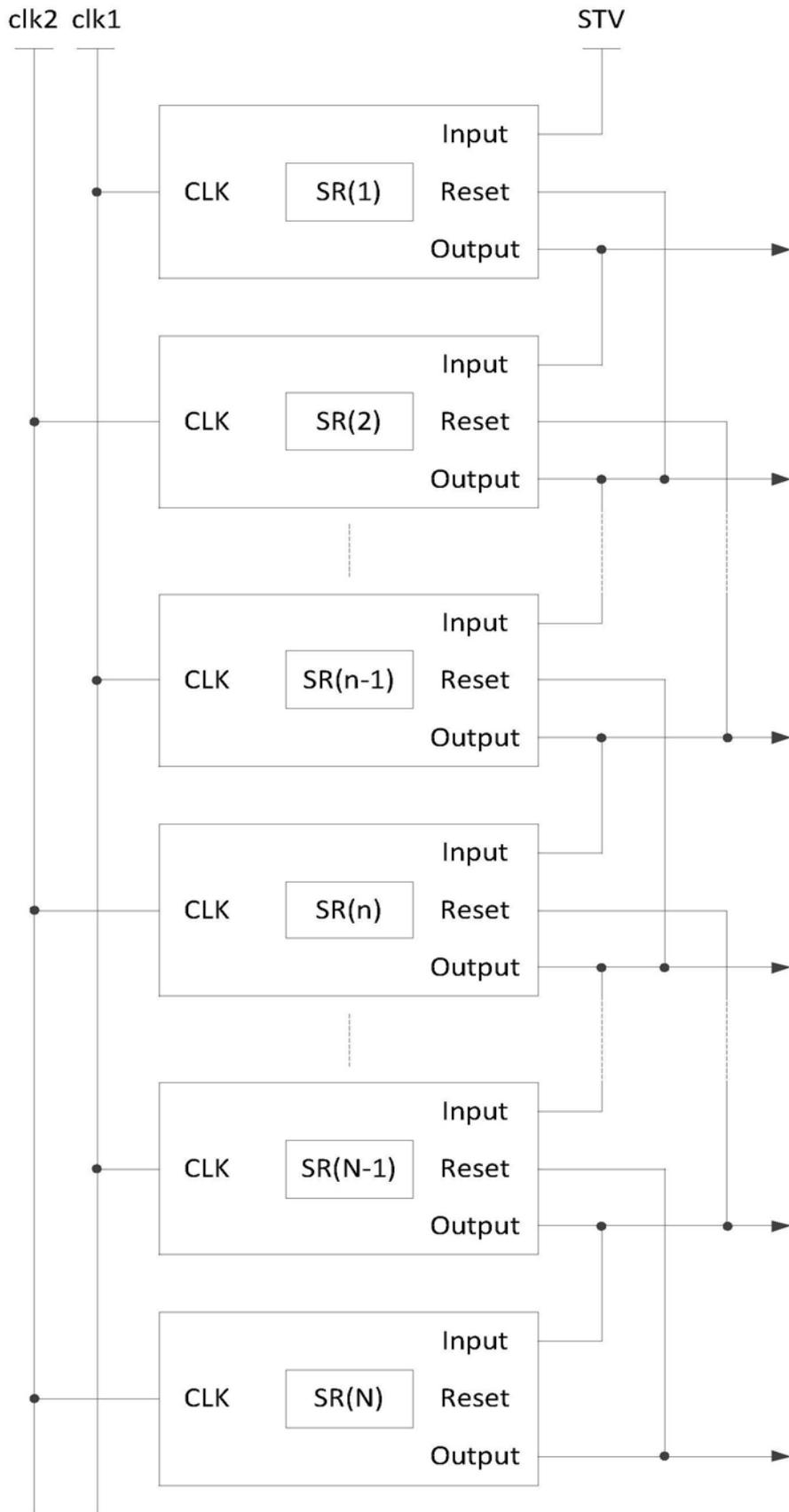


图11