



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월17일  
(11) 등록번호 10-2101836  
(24) 등록일자 2020년04월10일

(51) 국제특허분류(Int. Cl.)  
H03K 5/134 (2014.01) H03L 7/081 (2006.01)  
(21) 출원번호 10-2014-0094155  
(22) 출원일자 2014년07월24일  
심사청구일자 2019년01월10일  
(65) 공개번호 10-2016-0012560  
(43) 공개일자 2016년02월03일  
(56) 선행기술조사문헌  
JP10098357 A\*  
JP2013520799 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자 주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
임동혁  
서울특별시 송파구 오금로 370, 53동 202호 (가락동, 현대아파트)  
박재진  
경기도 성남시 분당구 내정로 55, 318동 501호 (정자동, 상록마을우성아파트)  
이승훈  
경기도 화성시 동탄반석로 231, 145동 2803호 (석우동, 예당마을롯데캐슬아파트)  
(74) 대리인  
리앤목특허법인

전체 청구항 수 : 총 10 항

심사관 : 최규돈

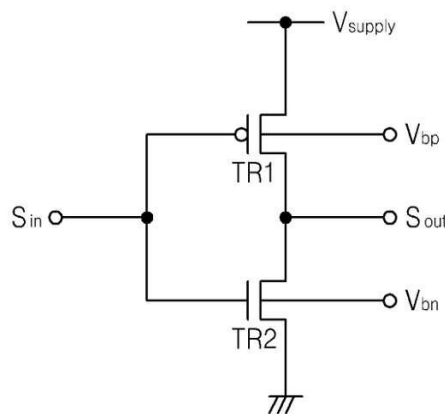
(54) 발명의 명칭 **딜레이 셀 및 이를 적용하는 지연 동기 루프 회로와 위상 동기 루프 회로**

(57) 요약

딜레이 셀 및 이를 적용하는 지연 동기 루프 회로와 위상 동기 루프 회로에 관하여 개시한다. 딜레이 셀은 제1단자는 전원 전압 단자에 연결되고, 제2단자는 출력 단자에 연결되고, 게이트 단자는 입력 단자에 연결되는 제1트랜지스터 및, 제1단자는 접지 단자에 연결되고, 제2단자는 상기 출력 단자에 연결되고, 게이트 단자는 상기 입력 단자에 연결되는 제2트랜지스터를 포함하고, 상기 제1트랜지스터 및 제2트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖고, 상기 제1트랜지스터 또는 제2트랜지스터의 적어도 하나의 바디에 지연 시간을 조절하기 위한 제어 전압을 인가하는 것을 특징으로 한다.

대표도 - 도1

10A



## 명세서

### 청구범위

#### 청구항 1

제1단자는 전원 전압 단자에 연결되고, 제2단자는 출력 단자에 연결되고, 게이트 단자는 입력 단자에 연결되는 제1트랜지스터; 및

제1단자는 접지 단자에 연결되고, 제2단자는 상기 출력 단자에 연결되고, 게이트 단자는 상기 입력 단자에 연결되는 제2트랜지스터를 포함하고,

상기 제1트랜지스터 및 제2트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖고,

상기 제1트랜지스터 및 제2트랜지스터 각각은,

바디 층;

상기 바디 층 위에 형성된 매립 절연층;

상기 매립 절연층 위에 형성된 드레인 또는 소스를 구성하는 도핑 영역들; 및

상기 매립 절연층 위의 상기 도핑 영역들 사이에 형성된 실리콘 온 인슐레이터 층;을 포함하고,

상기 제1트랜지스터 및 제2트랜지스터 중 적어도 하나의 상기 바디 층에 지연 시간을 조절하기 위한 제어 전압을 인가하는 것을 특징으로 하는 딜레이 셀.

#### 청구항 2

제1항에 있어서, 상기 제1트랜지스터는 PMOS 트랜지스터로 설정하고, 상기 제2트랜지스터는 NMOS 트랜지스터로 설정하는 것을 특징으로 하는 딜레이 셀.

#### 청구항 3

제1항에 있어서, 상기 제1트랜지스터 및 제2트랜지스터 각각은

상기 실리콘 온 인슐레이터 층 위에 형성된 게이트 절연막; 및

상기 게이트 절연막 위에 형성된 게이트 전극을 포함함을 특징으로 하는 딜레이 셀.

#### 청구항 4

제1항에 있어서, 상기 제1트랜지스터 및 제2트랜지스터 각각의 제1단자는 소스 단자로 설정하고 상기 제2단자는 드레인 단자로 설정하는 것을 특징으로 하는 딜레이 셀.

#### 청구항 5

제1항에 있어서, 상기 전원 전압 단자와 상기 제1트랜지스터의 제1단자 사이에 연결되는 제3트랜지스터 및 상기 접지 단자와 상기 제2트랜지스터의 제1단자 사이에 연결되는 제4트랜지스터를 더 포함하고,

상기 제3트랜지스터의 제1단자는 상기 전원 전압 단자에 연결되고, 제2단자는 상기 제1트랜지스터의 제1단자에 연결되고, 게이트 단자에는 제3제어 전압이 인가되고,

상기 제4트랜지스터의 제1단자는 상기 접지 단자에 연결되고, 제2단자는 상기 제2트랜지스터의 제1단자에 연결되고, 게이트 단자에는 제4제어 전압이 인가되는 것을 특징으로 하는 딜레이 셀.

#### 청구항 6

제5항에 있어서, 제5트랜지스터 및 제6트랜지스터를 더 포함하고,

상기 제5트랜지스터의 제1단자는 상기 전원 전압 단자에 연결되고, 제2단자 및 게이트 단자는 제1노드에 연결되며,

상기 제6트랜지스터의 제1단자는 접지 단자에 연결되고, 제2단자는 상기 제1노드에 연결되고, 게이트 단자에는 상기 제4제어 전압이 인가되며,

상기 제5트랜지스터의 게이트 단자는 상기 제3트랜지스터의 게이트 단자에 연결되는 구조를 갖는 것을 특징으로 하는 딜레이 셀.

**청구항 7**

기준 클럭 신호를 지연시키는 복수의 딜레이 셀들로 구성된 지연 회로;

상기 지연 회로의 출력으로부터 유도된 피드백 클럭 신호와 상기 기준 클럭 신호 사이의 위상차에 상응하는 제1 신호를 생성하는 위상 검출기; 및

상기 제1신호에 기초하여 상기 지연 회로의 지연 시간을 조절하기 위한 제1제어신호를 생성하는 제어 회로를 포함하고,

상기 지연 회로는 복수의 딜레이 셀들이 직렬로 접속되는 구조를 갖고,

상기 딜레이 셀을 구성하는 적어도 하나의 트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖고,

상기 지연 회로는,

상기 완전 공핍형 실리콘 온 인슐레이터 구조를 갖는 트랜지스터의 바디에 상기 제1제어신호를 인가하는 것을 특징으로 하는 지연 동기 루프 회로.

**청구항 8**

제7항에 있어서, 상기 제어 회로는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호를 생성시키기 위한 회로를 더 포함하고,

상기 딜레이 셀은, 게이트 단자에 상기 제2제어신호가 인가되는 전류 제어용 트랜지스터를 더 포함하는 것을 특징으로 하는 지연 동기 루프 회로.

**청구항 9**

제1제어신호의 전압에 따라서 주파수가 조절된 발진 신호를 생성하는 전압 제어 발진기;

상기 전압 제어 발진기의 출력으로부터 유도된 피드백 클럭 신호와 기준 클럭 신호 사이의 위상차에 상응하는 제1신호를 생성하는 위상 검출기; 및

상기 제1신호에 기초하여 상기 발진 신호의 주파수를 조절하기 위한 상기 제1제어신호를 생성하는 제어 회로를 포함하고,

상기 전압 제어 발진기는 복수의 딜레이 셀들이 체인 형태로 상호 연결되는 구조를 갖고, 상기 딜레이 셀은 복수의 트랜지스터들로 구성된 인버터를 포함하고,

상기 인버터를 구성하는 적어도 하나의 트랜지스터는, 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖고,

상기 전압 제어 발진기는,

상기 완전 공핍형 실리콘 온 인슐레이터 구조를 갖는 트랜지스터의 바디에 상기 제1제어신호를 인가하는 것을 특징으로 하는 위상 동기 루프 회로.

**청구항 10**

제9항에 있어서, 상기 제어 회로는 상기 제1신호에 기초하여 상기 발진 신호의 주파수를 커어스 튜닝(coarse tuning)하기 위한 커어스 제어신호와 파인 튜닝(fine tuning)하기 위한 파인 제어신호를 생성시키고,

상기 딜레이 셀은, 전류 제어용 트랜지스터를 더 포함하고,

상기 전압 제어 발진기는,

상기 딜레이 셀을 구성하는 적어도 하나의 트랜지스터의 바디에 상기 커어스 제어신호 또는 파인 제어신호 중의

하나의 신호를 선택적으로 인가하고, 선택되지 않은 나머지 하나의 신호를 상기 전류 제어용 트랜지스터의 게이트 단자에 인가하는 것을 특징으로 하는 위상 동기 루프 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 딜레이 셀 회로에 관한 것으로서, 자세하게는 넓은 전압 범위를 사용하여 딜레이 시간을 조절할 수 있는 딜레이 셀 및 이를 적용하는 지연 동기 루프 회로와 위상 동기 루프 회로에 관한 것이다.

**배경 기술**

[0002] 딜레이 셀(Delay Cell)은 집적 회로에서의 신호의 타이밍을 조절하는데 주로 이용된다. 예로서, 지연 동기 루프(Delay locked loop; DLL) 회로 및 위상 동기 루프(Phase locked loop; PLL) 회로는 모두 딜레이 셀을 포함하고 있다. 집적 회로에서의 딜레이 셀의 타이밍을 제어하는 전압 범위를 넓게 하고, 또한 딜레이 셀을 낮은 전원 전압에서 구동시키기 위한 설계 기술이 필요하게 되었다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 목적은 제어 전압의 범위를 넓히기 위한 딜레이 셀을 제공하는데 있다.  
 [0004] 본 발명의 다른 목적은 제어 전압의 범위가 넓은 딜레이 셀을 적용하는 지연 동기 루프 회로를 제공하는데 있다.  
 [0005] 본 발명의 또 다른 목적은 제어 전압의 범위가 넓은 딜레이 셀을 적용하는 위상 동기 루프 회로를 제공하는데 있다.

**과제의 해결 수단**

[0006] 본 발명의 기술적 사상의 일면에 따른 딜레이 셀은 제1단자는 전원 전압 단자에 연결되고, 제2단자는 출력 단자에 연결되고, 게이트 단자는 입력 단자에 연결되는 제1트랜지스터 및, 제1단자는 접지 단자에 연결되고, 제2단자는 상기 출력 단자에 연결되고, 게이트 단자는 상기 입력 단자에 연결되는 제2트랜지스터를 포함하고, 상기 제1트랜지스터 및 제2트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖고, 상기 제1트랜지스터 또는 제2트랜지스터의 적어도 하나의 바디에 지연 시간을 조절하기 위한 제어 전압을 인가하는 것을 특징으로 한다.  
 [0007] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터는 PMOS 트랜지스터로 설정하고, 상기 제2트랜지스터는 NMOS 트랜지스터로 설정할 수 있다.  
 [0008] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터 및 제2트랜지스터 각각은 바디 층, 상기 바디 층 위에 형성된 매립 절연층, 상기 매립 절연층 위에 형성된 드레인 또는 소스를 구성하는 도핑 영역들, 상기 매립 절연층 위의 상기 도핑 영역들 사이에 형성된 실리콘 온 인슐레이터 층, 상기 실리콘 온 인슐레이터 층 위에 형성된 게이트 절연막 및, 상기 게이트 절연막 위에 형성된 게이트 전극을 포함할 수 있다.  
 [0009] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터는 N 타입 도전형의 바디 층, 상기 바디 층 위에 형성된 매립 절연층, 상기 매립 절연층 위에 형성된 드레인 또는 소스를 구성하는 P 타입 도전형의 도핑 영역들, 상기 매립 절연층 위의 상기 도핑 영역들 사이에 형성된 실리콘 온 인슐레이터 층, 상기 실리콘 온 인슐레이터 층 위에 형성된 게이트 절연막 및, 상기 게이트 절연막 위에 형성된 게이트 전극을 포함할 수 있다.  
 [0010] 본 발명의 실시 예에 따르면, 상기 제2트랜지스터는 P 타입 도전형의 바디 층, 상기 바디 층 위에 형성된 매립 절연층, 상기 매립 절연층 위에 형성된 드레인 또는 소스를 구성하는 N 타입 도전형의 도핑 영역들, 상기 매립 절연층 위의 상기 도핑 영역들 사이에 형성된 실리콘 온 인슐레이터 층, 상기 실리콘 온 인슐레이터 층 위에 형성된 게이트 절연막 및, 상기 게이트 절연막 위에 형성된 게이트 전극을 포함할 수 있다.  
 [0011] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터 및 제2트랜지스터 각각의 제1단자는 소스 단자로 설정하고 상기 제2단자는 드레인 단자로 설정할 수 있다.

- [0012] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터 및 제2트랜지스터는 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI) 구조를 가질 수 있다.
- [0013] 본 발명의 실시 예에 따르면, 상기 제1트랜지스터의 바디에 제1제어 전압을 인가하고, 상기 제2트랜지스터의 바디에 제2제어 전압을 인가할 수 있다.
- [0014] 본 발명의 실시 예에 따르면, 상기 전원 전압 단자와 상기 제1트랜지스터의 제1단자 사이에 연결되는 제3트랜지스터 및 상기 접지 단자와 상기 제2트랜지스터의 제1단자 사이에 연결되는 제4트랜지스터를 더 포함하고, 상기 제3트랜지스터의 제1단자는 상기 전원 전압 단자에 연결되고, 제2단자는 상기 제1트랜지스터의 제1단자에 연결되고, 게이트 단자에는 제3제어 전압이 인가되고, 상기 제4트랜지스터의 제1단자는 상기 접지 단자에 연결되고, 제2단자는 상기 제2트랜지스터의 제1단자에 연결되고, 게이트 단자에는 제4제어 전압이 인가될 수 있다.
- [0015] 본 발명의 실시 예에 따르면, 제5트랜지스터 및 제6트랜지스터를 더 포함하고, 상기 제5트랜지스터의 제1단자는 상기 전원 전압 단자에 연결되고, 제2단자 및 게이트 단자는 제1노드에 연결되며, 상기 제6트랜지스터의 제1단자는 접지 단자에 연결되고, 제2단자는 상기 제1노드에 연결되고, 게이트 단자에는 상기 제4제어 전압이 인가되며, 상기 제5트랜지스터의 게이트 단자는 상기 제3트랜지스터의 게이트 단자에 연결되는 구조를 가질 수 있다.
- [0016] 본 발명의 기술적 사상의 다른 면에 따른 지연 동기 루프 회로는 기준 클럭 신호를 지연시키는 복수의 딜레이 셀들로 구성된 지연 회로, 상기 지연 회로의 출력으로부터 유도된 피드백 클럭 신호와 상기 기준 클럭 신호 사이의 위상차에 상응하는 제1신호를 생성하는 위상 검출기 및, 상기 제1신호에 기초하여 상기 지연 회로의 지연 시간을 조절하기 위한 제1제어신호를 생성하는 제어 회로를 포함하고, 상기 지연 회로는 복수의 딜레이 셀들이 직렬로 접속되는 구조를 갖고, 상기 딜레이 셀을 구성하는 적어도 하나의 트랜지스터의 바디에 상기 제1제어신호를 인가하며, 상기 딜레이 셀을 구성하는 트랜지스터는 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI) 구조를 갖는 것을 특징으로 한다.
- [0017] 본 발명의 실시 예에 따르면, 상기 딜레이 셀은 인버터 회로가 포함된 싱글 엔드 형태의 딜레이 셀 또는 차동 지연 회로 형태의 딜레이 셀 중의 어느 하나를 포함할 수 있다.
- [0018] 본 발명의 실시 예에 따르면, 상기 제어 회로는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호를 생성시키기 위한 회로를 더 포함하고, 상기 딜레이 셀을 구성하는 전류 제어용 트랜지스터의 게이트 단자에 상기 제2제어신호를 인가할 수 있다.
- [0019] 본 발명의 실시 예에 따르면, 상기 제어 회로는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호를 생성시키기 위한 회로를 더 포함하고, 상기 딜레이 셀을 구성하는 적어도 하나의 트랜지스터의 바디에 상기 제1제어신호 대신에 상기 제2제어신호를 인가하고, 상기 딜레이 셀을 구성하는 전류 제어용 트랜지스터의 게이트 단자에 상기 제1제어신호를 인가할 수 있다.
- [0020] 본 발명의 실시 예에 따르면, 상기 딜레이 셀은 제1단자는 전원 전압 단자에 연결되고, 제2단자는 출력 단자에 연결되고, 게이트 단자는 입력 단자에 연결되는 제1트랜지스터 및, 제1단자는 접지 단자에 연결되고, 제2단자는 상기 출력 단자에 연결되고, 게이트 단자는 상기 입력 단자에 연결되는 제2트랜지스터를 포함하고, 상기 제1트랜지스터 및 제2트랜지스터는 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI) 구조를 갖고, 상기 제1트랜지스터 또는 제2트랜지스터의 적어도 하나의 바디에 상기 제1제어신호와 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호 중의 어느 하나를 인가할 수 있다.
- [0021] 본 발명의 기술적 사상의 또 다른 면에 따른 위상 동기 루프 회로는 제1제어신호의 전압에 따라서 주파수가 조절된 발진 신호를 생성하는 전압 제어 발진기, 상기 전압 제어 발진기의 출력으로부터 유도된 피드백 클럭 신호와 기준 클럭 신호 사이의 위상차에 상응하는 제1신호를 생성하는 위상 검출기 및, 상기 제1신호에 기초하여 상기 발진 신호의 주파수를 조절하기 위한 상기 제1제어신호를 생성하는 제어 회로를 포함하고, 상기 전압 제어 발진기는 복수의 딜레이 셀들이 체인 형태로 상호 연결되는 구조를 갖고, 상기 딜레이 셀은 복수의 트랜지스터들로 구성된 인버터를 포함하고, 상기 인버터를 구성하는 적어도 하나의 트랜지스터의 바디에 상기 제1제어신호를 인가하는 것을 특징으로 한다.
- [0022] 본 발명의 실시 예에 따르면, 상기 제어 회로는 상기 제1신호에 기초하여 상기 발진 신호의 주파수를 커어스 튜닝(coarse tuning)하기 위한 커어스 제어신호와 파인 튜닝(fine tuning)하기 위한 파인 제어신호를 생성시키고, 상기 딜레이 셀을 구성하는 적어도 하나의 트랜지스터의 바디에 상기 커어스 제어신호 또는 파인 제어신호 중의 하나의 신호를 선택적으로 인가하고, 선택되지 않은 나머지 하나의 신호를 상기 딜레이 셀을 구성하는 전류 제

어용 트랜지스터의 게이트 단자에 인가할 수 있다.

**발명의 효과**

- [0023] 본 발명에 따르면 2개의 트랜지스터를 스택(stack)하여 딜레이 셀을 구현함으로써, 낮은 전원 전압을 사용하는 장치에서도 딜레이 셀들을 적용하는 설계를 용이하게 할 수 있는 효과가 발생된다. 예로서, 낮은 전원 전압을 사용하는 지연 동기 루프 회로 또는 위상 동기 루프 회로 등의 장치에서도 딜레이 셀들에 의한 제어 마진을 넓게 설계할 수 있는 효과가 발생된다.
- [0024] 본 발명에 따르면, 딜레이 셀을 구성하는 트랜지스터의 바디 바이어스 제어를 통하여 딜레이 시간을 조절함으로써, 트랜지스터의 게이트 바이어스 조절 방식에 비하여 제어 전압의 범위를 넓힐 수 있는 효과가 발생된다.
- [0025] 또한, 본 발명에 따르면 딜레이 셀을 구성하는 트랜지스터의 바디 바이어스 제어 방식과 트랜지스터의 게이트 바이어스 제어 방식을 함께 적용하여 딜레이 제어 효율을 향상시킬 수 있는 효과가 발생된다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 일 실시 예에 따른 딜레이 셀의 회로도이다.
- 도 2는 본 발명의 다른 실시 예에 따른 딜레이 셀의 회로도이다.
- 도 3은 본 발명의 또 다른 실시 예에 따른 딜레이 셀의 회로도이다.
- 도 4는 본 발명의 또 다른 실시 예에 따른 딜레이 셀의 회로도이다.
- 도 5는 도 1 내지 도 4에 도시된 바디 전압 제어되는 트랜지스터의 구조를 개략적으로 보여주는 단면도이다.
- 도 6은 도 1 내지 도 4에 도시된 바디 전압 제어되는 PMOS 트랜지스터의 구조를 예시적으로 보여주는 단면도이다.
- 도 7은 도 1 내지 도 4에 도시된 바디 전압 제어되는 NMOS 트랜지스터의 구조를 예시적으로 보여주는 단면도이다.
- 도 8은 도 6에 도시된 FD-SOI 구조를 갖는 PMOS 트랜지스터의 바디 제어 전압과 문턱 전압의 관계를 보여주는 그래프이다.
- 도 9는 도 7에 도시된 FD-SOI 구조를 갖는 NMOS 트랜지스터의 바디 제어 전압과 문턱 전압의 관계를 보여주는 그래프이다.
- 도 10은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 지연 동기 루프 회로의 일 예를 보여주는 구성도이다.
- 도 11은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 지연 동기 루프 회로의 다른 예를 보여주는 구성도이다.
- 도 12는 도 10 및 도 11에 도시된 지연 회로의 세부 구성을 예시적으로 보여준다.
- 도 13은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 위상 동기 루프 회로의 일 예를 보여주는 구성도이다.
- 도 14는 도 13에 도시된 전압 제어 발진기의 세부 구성을 예시적으로 보여준다.
- 도 15는 도 10, 도 11 및 도 13에 도시된 제어 회로의 세부 구성의 일 예를 보여준다.
- 도 16은 도 10, 도 11 및 도 13에 도시된 제어 회로의 세부 구성의 다른 예를 보여준다.
- 도 17은 본 발명의 실시 예에 따른 제2제어 전압으로부터 제1제어 전압을 생성시키기 위한 출력 회로를 예시적으로 보여준다.
- 도 18은 본 발명의 실시 예에 따른 지연 동기 루프 회로를 포함하는 전자 장치의 구성도이다.
- 도 19는 본 발명의 실시 예에 따른 위상 동기 루프 회로를 포함하는 전자 장치의 구성도이다.

**발명을 실시하기 위한 구체적인 내용**



- [0027] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다. 본 발명의 실시 예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하거나 축소하여 도시한 것이다.
- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않은 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 본 발명에 따른 기술적 사상의 딜레이 셀은 딜레이 셀을 구성하는 하나 이상의 트랜지스터의 바디에 제어 전압을 인가함으로써 딜레이 셀의 동작 속도를 제어한다.
- [0031] 도 1은 본 발명의 일 실시 예에 따른 딜레이 셀(10A)의 회로도이다.
- [0032] 도 1을 참조하면, 딜레이 셀(10A)은 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)를 포함한다.
- [0033] 제1트랜지스터(TR1)의 제1단자는 전원 전압( $V_{supply}$ ) 단자에 연결되고, 제2단자는 출력 단자(Sout)에 연결되고, 게이트 단자는 입력 단자(Sin)에 연결된다. 그리고, 제2트랜지스터(TR2)의 제1단자는 접지 단자에 연결되고, 제2단자는 출력 단자(Sout)에 연결되고, 게이트 단자는 입력 단자(Sin)에 연결된다.
- [0034] 예로서, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조로 설계한다. 다른 예로서, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)를 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조로 설계할 수 있다.
- [0035] 그리고, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)의 적어도 하나의 바디에는 지연 시간을 조절하기 위한 제어 전압이 인가된다. 예로서, 도 1에 도시된 본 발명의 실시 예에서는 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 지연 시간을 조절하기 위한 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )을 인가하였다. 즉, 제1트랜지스터(TR1)의 바디에 제1제어 전압( $V_{bp}$ )을 인가하고, 제1트랜지스터(TR2)의 바디에 제2제어 전압( $V_{bn}$ )을 인가하였다.
- [0036] 예로서, 제1트랜지스터(TR1)를 PMOS 트랜지스터로 설계하고, 제2트랜지스터(TR2)를 NMOS 트랜지스터로 설계할 수 있다. 세부적으로, PMOS 트랜지스터인 제1트랜지스터(TR1)의 소스 단자를 전원 전압( $V_{supply}$ ) 단자에 연결하고, 드레인 단자를 출력 단자(Sout)에 연결하고, 게이트 단자를 입력 단자(Sin)에 연결할 수 있다. 그리고, NMOS 트랜지스터인 제2트랜지스터(TR2)의 소스 단자를 접지 단자에 연결하고, 드레인 단자를 출력 단자(Sout)에 연결하고, 게이트 단자를 입력 단자(Sin)에 연결할 수 있다.
- [0037] 도 1에 도시된 딜레이 셀(10A)은 인버터(Inverter) 회로로서 입력 단자(Sin)의 신호가 반전되어 출력 단자(Sout)로 출력된다. 그리고, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 인가되는 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )에 의하여 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)의 동작 속도가 제어된다. 즉, 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )에 따라서 딜레이 셀(10A)의 지연 시간이 조절된다.
- [0038] 참고적으로, NMOS 트랜지스터의 경우에 바디 전압이 높아질수록 문턱 전압이 낮아지고, PMOS 트랜지스터의 경우에 바디 전압이 낮아질수록 문턱 전압도 낮아진다. 이에 따라서, 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압( $V_{bp}$ )을 낮추고, 제2제어 전압( $V_{bn}$ )을 높이면 딜레이 셀(10A)의 지연 시간이 감소하게 된다. 반대로, 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압( $V_{bp}$ )을 높이고, 제2제어 전압( $V_{bn}$ )을 낮추면 딜레이 셀(10A)의 지연 시간이 증가하게 된다.

- [0039] 도 1의 딜레이 셀(10A)은 2개의 트랜지스터를 스택(stack)하여 구현함으로써, 낮은 전원 전압에서도 딜레이 셀(10A)을 이용하는 회로 설계를 용이하게 할 수 있다. 또한, 딜레이 셀(10A)을 구성하는 트랜지스터의 바디 바이어스 제어를 통하여 딜레이 시간을 조절할 수 있으므로, 트랜지스터의 게이트 바이어스 조절 방식에 비하여 제어 전압의 범위를 넓힐 수 있다.
- [0040] 도 2는 본 발명의 다른 실시 예에 따른 딜레이 셀(10B)의 회로도이다.
- [0041] 도 2를 참조하면, 딜레이 셀(10B)은 제1 내지 제4트랜지스터(TR1 ~TR4)를 포함한다.
- [0042] 제1트랜지스터(TR1)의 제1단자는 A 노드(Nd\_A)에 연결되고, 제2단자는 출력 단자(Sout)에 연결되고, 게이트 단자는 입력 단자(Sin)에 연결된다. 제2트랜지스터(TR2)의 제1단자는 B 노드(Nd\_B)에 연결되고, 제2단자는 출력 단자(Sout)에 연결되고, 게이트 단자는 입력 단자(Sin)에 연결된다. 제3트랜지스터(TR3)의 제1단자는 전원 전압( $V_{supply}$ ) 단자에 연결되고, 제2단자는 A 노드(Nd\_A)에 연결되고, 게이트 단자에는 제3제어 전압( $V_{c1}$ )이 인가된다. 그리고, 제4트랜지스터(TR4)의 제1단자는 접지 단자에 연결되고, 제2단자는 B 노드(Nd\_B)에 연결되고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )이 인가된다.
- [0043] 예로서, 도 2의 딜레이 셀(10B)에서 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조를 갖도록 설계한다. 다른 예로서, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)는 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0044] 또 다른 예로서, 제1 내지 제4트랜지스터(TR1 ~ TR4)를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조로 설계할 수 있다. 다른 예로서, 제1 내지 제4트랜지스터(TR1 ~ TR4)를 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0045] 그리고, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2)의 적어도 하나의 바디에 지연 시간을 조절하기 위한 제어 전압을 인가한다. 예로서, 도 2에 도시된 본 발명의 실시 예에서는 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 지연 시간을 조절하기 위한 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )을 인가하였다. 즉, 제1트랜지스터(TR1)의 바디에 제1제어 전압( $V_{bp}$ )을 인가하고, 제1트랜지스터(TR2)의 바디에 제2제어 전압( $V_{bn}$ )을 인가한다.
- [0046] 예로서, 제1트랜지스터(TR1) 및 제3트랜지스터(TR3)를 PMOS 트랜지스터로 설계하고, 제2트랜지스터(TR2) 및 제4트랜지스터(TR4)를 NMOS 트랜지스터로 설계할 수 있다.
- [0047] 세부적으로, PMOS 트랜지스터인 제1트랜지스터(TR1)의 소스 단자를 A 노드(Nd\_A)에 연결하고, 드레인 단자를 출력 단자(Sout)에 연결하고, 게이트 단자를 입력 단자(Sin)에 연결한다. NMOS 트랜지스터인 제2트랜지스터(TR2)의 소스 단자를 B 노드(Nd\_B)에 연결하고, 드레인 단자를 출력 단자(Sout)에 연결하고, 게이트 단자를 입력 단자(Sin)에 연결한다. PMOS 트랜지스터인 제3트랜지스터(TR3)의 소스 단자를 전원 전압( $V_{supply}$ ) 단자에 연결하고, 드레인 단자를 A 노드(Nd\_A)에 연결하고, 게이트 단자에는 제3제어 전압( $V_{c1}$ )을 인가한다. 그리고, NMOS 트랜지스터인 제4트랜지스터(TR4)의 소스 단자를 접지 단자에 연결하고, 드레인 단자를 B 노드(Nd\_B)에 연결하고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )을 인가한다.
- [0048] 도 2에 도시된 딜레이 셀(10B)은 인버터(Inverter) 회로로서 입력 단자(Sin)의 신호가 반전되어 출력 단자(Sout)로 출력된다. 제3,4트랜지스터(TR3, TR4)의 게이트 단자에 인가되는 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )에 따라서 딜레이 셀(10B)에 흐르는 전류가 조절된다. 이에 따라서, 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )에 따라서 딜레이 셀(10B)의 지연 시간이 조절된다. 또한, 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 인가되는 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )에 따라서도 딜레이 셀(10A)의 지연 시간이 조절된다.
- [0049] 참고적으로, 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )을 고정된 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압( $V_{bp}$ )을 낮추고, 제2제어 전압( $V_{bn}$ )을 높이면 딜레이 셀(10B)의 지연 시간이 감소하게 된다. 반대로, 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )을 고정된 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압( $V_{bp}$ )을 높이고, 제2제어 전압( $V_{bn}$ )을 낮추면 딜레이 셀(10B)의 지연 시간이 증가하게 된다.
- [0050] 그리고, 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )을 고정된 상태에서 현재 설정되어 있는 게이트 전압을 기준으로 제3제어 전압( $V_{c1}$ )을 낮추고, 제4제어 전압( $V_{c2}$ )을 높이면 딜레이 셀(10B)의 지연 시간이 감소하게 된다. 반대로, 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )을 고정된 상태에서 현재 설정되어 있는 게이트 전압을 기준으로 제3제어 전압( $V_{c1}$ )을 높이고, 제4제어 전압( $V_{c2}$ )을 낮추면 딜레이 셀(10B)의 지연 시간이 증가하게 된다.



어 전압( $V_{bp}$ ,  $V_{bn}$ )을 고정된 상태에서 현재 설정되어 있는 게이트 전압을 기준으로 제3제어 전압( $V_{c1}$ )을 높이고, 제4제어 전압( $V_{c2}$ )을 낮추면 딜레이 셀(10B)의 지연 시간이 증가하게 된다.

- [0051] 예로서, 딜레이 셀(10B)에서 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )과 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )을 함께 제어하여 딜레이 셀(10B)의 지연 시간을 조절할 수도 있다.
- [0052] 도 3은 본 발명의 또 다른 실시 예에 따른 딜레이 셀(10C)의 회로도이다.
- [0053] 도 3을 참조하면, 딜레이 셀(10C)은 제1 내지 제6트랜지스터( $TR_1 \sim TR_6$ )를 포함한다.
- [0054] 제1트랜지스터( $TR_1$ )의 제1단자는 A 노드( $Nd_A$ )에 연결되고, 제2단자는 출력 단자( $Sout$ )에 연결되고, 게이트 단자는 입력 단자( $Sin$ )에 연결된다. 제2트랜지스터( $TR_2$ )의 제1단자는 B 노드( $Nd_B$ )에 연결되고, 제2단자는 출력 단자( $Sout$ )에 연결되고, 게이트 단자는 입력 단자( $Sin$ )에 연결된다. 제3트랜지스터( $TR_3$ )의 제1단자는 전원 전압( $V_{supply}$ ) 단자에 연결되고, 제2단자는 A 노드( $Nd_A$ )에 연결되고, 게이트 단자는 C 노드( $Nd_C$ )에 연결된다. 제4트랜지스터( $TR_4$ )의 제1단자는 접지 단자에 연결되고, 제2단자는 B 노드( $Nd_B$ )에 연결되고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )이 인가된다. 제5트랜지스터( $TR_5$ )의 제1단자는 전원 전압( $V_{supply}$ ) 단자에 연결되고, 제2단자 및 게이트 단자는 C 노드( $Nd_C$ )에 연결된다. 그리고, 제6트랜지스터( $TR_6$ )의 제1단자는 접지 단자에 연결되고, 제2단자 및 게이트 단자는 C 노드( $Nd_C$ )에 연결되고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )이 인가된다.
- [0055] 예로서, 도 3의 딜레이 셀(10C)에서 제1트랜지스터( $TR_1$ ) 및 제2트랜지스터( $TR_2$ )를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조를 갖도록 설계한다. 다른 예로서, 제1트랜지스터( $TR_1$ ) 및 제2트랜지스터( $TR_2$ )는 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0056] 또 다른 예로서, 제1 내지 제6트랜지스터( $TR_1 \sim TR_6$ )를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조로 설계할 수 있다. 다른 예로서, 제1 내지 제6트랜지스터( $TR_1 \sim TR_6$ )를 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0057] 그리고, 제1트랜지스터( $TR_1$ ) 및 제2트랜지스터( $TR_2$ )의 적어도 하나의 바디에 지연 시간을 조절하기 위한 제어 전압을 인가한다. 예로서, 도 3에 도시된 본 발명의 실시 예에서는 제1트랜지스터( $TR_1$ ) 및 제2트랜지스터( $TR_2$ ) 각각의 바디에 지연 시간을 조절하기 위한 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )을 인가하였다. 즉, 제1트랜지스터( $TR_1$ )의 바디에 제1제어 전압( $V_{bp}$ )을 인가하고, 제1트랜지스터( $TR_2$ )의 바디에 제2제어 전압( $V_{bn}$ )을 인가하였다.
- [0058] 예로서, 제1트랜지스터( $TR_1$ ), 제3트랜지스터( $TR_3$ ) 및 제5트랜지스터( $TR_5$ )를 PMOS 트랜지스터로 설계하고, 제2트랜지스터( $TR_2$ ), 제4트랜지스터( $TR_4$ ) 및 제6트랜지스터( $TR_6$ )를 NMOS 트랜지스터로 설계할 수 있다.
- [0059] 세부적으로, PMOS 트랜지스터인 제1트랜지스터( $TR_1$ )의 소스 단자를 A 노드( $Nd_A$ )에 연결하고, 드레인 단자를 출력 단자( $Sout$ )에 연결하고, 게이트 단자를 입력 단자( $Sin$ )에 연결한다. NMOS 트랜지스터인 제2트랜지스터( $TR_2$ )의 소스 단자를 B 노드( $Nd_B$ )에 연결하고, 드레인 단자를 출력 단자( $Sout$ )에 연결하고, 게이트 단자를 입력 단자( $Sin$ )에 연결한다. PMOS 트랜지스터인 제3트랜지스터( $TR_3$ )의 소스 단자를 전원 전압( $V_{supply}$ ) 단자에 연결하고, 드레인 단자를 A 노드( $Nd_A$ )에 연결하고, 게이트 단자를 A 노드( $Nd_A$ )에 연결한다. NMOS 트랜지스터인 제4트랜지스터( $TR_4$ )의 소스 단자를 접지 단자에 연결하고, 드레인 단자를 B 노드( $Nd_B$ )에 연결하고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )을 인가한다. PMOS 트랜지스터인 제5트랜지스터( $TR_5$ )의 소스 단자를 전원 전압( $V_{supply}$ ) 단자에 연결하고, 드레인 단자 및 게이트 단자를 C 노드( $Nd_C$ )에 연결한다. 그리고, NMOS 트랜지스터인 제6트랜지스터( $TR_6$ )의 소스 단자를 접지 단자에 연결하고, 드레인 단자를 C 노드( $Nd_C$ )에 연결하고, 게이트 단자에는 제4제어 전압( $V_{c2}$ )을 인가한다.
- [0060] 도 3에 도시된 딜레이 셀(10C)은 인버터(Inverter) 회로로서 입력 단자( $Sin$ )의 신호가 반전되어 출력 단자( $Sout$ )로 출력된다. 제6트랜지스터( $TR_6$ )의 게이트 단자에 인가되는 제4제어 전압( $V_{c2}$ )에 따라서 딜레이 셀(10C)에 흐르는 전류가 조절된다. 이에 따라서, 제4제어 전압( $V_{c2}$ )에 따라서 딜레이 셀(10C)의 지연 시간이 조절된다. 또한, 제1트랜지스터( $TR_1$ ) 및 제2트랜지스터( $TR_2$ ) 각각의 바디에 인가되는 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ )에 따라서 도 딜레이 셀(10A)의 지연 시간이 조절된다.
- [0061] 참고적으로, 제4제어 전압( $V_{c2}$ )을 고정된 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압( $V_b$

p)을 낮추고, 제2제어 전압(Vbn)을 높이면 딜레이 셀(10C)의 지연 시간이 감소하게 된다. 반대로, 제4제어 전압(V<sub>c2</sub>)을 고정한 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제1제어 전압(Vbp)을 높이고, 제2제어 전압(Vbn)을 낮추면 딜레이 셀(10C)의 지연 시간이 증가하게 된다.

- [0062] 그리고, 제1,2제어 전압(Vbp, Vbn)을 고정한 상태에서 현재 설정되어 있는 게이트 전압을 기준으로 제4제어 전압(V<sub>c2</sub>)을 높이면 딜레이 셀(10C)의 지연 시간이 감소하게 된다. 반대로, 제1,2제어 전압(Vbp, Vbn)을 고정한 상태에서 현재 설정되어 있는 게이트 전압을 기준으로 제4제어 전압(V<sub>c2</sub>)을 낮추면 딜레이 셀(10C)의 지연 시간이 증가하게 된다.
- [0063] 예로서, 딜레이 셀(10C)에서 제1,2제어 전압(Vbp, Vbn)과 제4제어 전압(V<sub>c2</sub>)을 함께 제어하여 딜레이 셀(10C)의 지연 시간을 조절할 수도 있다.
- [0064] 도 4는 본 발명의 또 다른 실시 예에 따른 차동(differential) 지연 회로 형태의 딜레이 셀(10D)의 회로도이다.
- [0065] 도 4를 참조하면, 딜레이 셀(10D)은 제7 내지 제11트랜지스터(TR7 ~TR11)를 포함한다.
- [0066] 제7트랜지스터(TR7), 제8트랜지스터(TR8) 및 제11트랜지스터(TR11)를 NMOS 트랜지스터로 설계하고, 제9트랜지스터(TR9) 및 제10트랜지스터(TR10)를 PMOS 트랜지스터로 설계한다.
- [0067] 예로서, 도 4의 딜레이 셀(10D)에서 제7트랜지스터(TR7) 및 제8트랜지스터(TR8)를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조를 갖도록 설계한다. 다른 예로서, 제7트랜지스터(TR7) 및 제8트랜지스터(TR8)를 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0068] 또 다른 예로서, 제7 내지 제11트랜지스터(TR7 ~ TR11)를 완전 공핍형 실리콘 온 인슐레이터(Fully Depleted Silicon On Insulator; FD-SOI)구조로 설계할 수 있다. 다른 예로서, 제7 내지 제11트랜지스터(TR1 ~ TR6)를 초박형 바디 산화막(UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조를 갖도록 설계할 수 있다.
- [0069] 제7트랜지스터(TR1)의 소스 단자를 F 노드(Nd\_F)에 연결하고, 드레인 단자를 D 노드(Nd\_D)에 연결하고, 게이트 단자를 입력 단자(Sin)에 연결한다. 제8트랜지스터(TR)의 소스 단자를 F 노드(Nd\_F)에 연결하고, 드레인 단자를 E 노드(Nd\_E)에 연결하고, 게이트 단자를 반전된 입력 단자(/Sin)에 연결한다. 제9트랜지스터(TR9)의 소스 단자를 전원 전압(V<sub>supply</sub>) 단자에 연결하고, 드레인 단자를 D 노드(Nd\_D)에 연결하고, 게이트 단자에는 제3제어 전압(V<sub>c1</sub>)을 인가한다. 제10트랜지스터(TR10)의 소스 단자를 전원 전압(V<sub>supply</sub>) 단자에 연결하고, 드레인 단자를 E 노드(Nd\_E)에 연결하고, 게이트 단자에는 제3제어 전압(V<sub>c1</sub>)을 인가한다. 그리고, 제11트랜지스터(TR11)의 소스 단자를 접지 단자에 연결하고, 드레인 단자를 F 노드(Nd\_F)에 연결하고, 게이트 단자에는 제4제어 전압(V<sub>c2</sub>)을 인가한다.
- [0070] 또한, 제7트랜지스터(TR7) 및 제8트랜지스터(TR8) 각각의 바디에 지연 시간을 조절하기 위한 제2제어 전압(Vbn)을 인가한다.
- [0071] 위의 회로에서 E 노드(Nd\_E)를 출력 단자(Sout)로 설정하고, D 노드(Nd\_D)를 반전된 출력 단자(/Sout)로 설정할 수 있다. 제9트랜지스터(TR9) 및 제10트랜지스터(TR10)는 부하(load)로서 동작하고, 제11트랜지스터(TR11)는 전류원 역할을 한다.
- [0072] 따라서, 제2제어 전압(Vbn), 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)에 따라서 딜레이 셀(10D)의 지연 시간이 조절될 수 있다.
- [0073] 참고적으로, 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 고정한 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제2제어 전압(Vbn)을 높이면 딜레이 셀(10D)의 지연 시간이 감소하게 된다. 반대로, 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 고정한 상태에서 현재 설정되어 있는 바디 전압을 기준으로 제2제어 전압(Vbn)을 낮추면 딜레이 셀(10D)의 지연 시간이 증가하게 된다.
- [0074] 그리고, 제2제어 전압(Vbn) 및 제4제어 전압(V<sub>c2</sub>)을 고정한 상태에서 현재 설정되어 있는 제3제어 전압(V<sub>c1</sub>)을 낮추면 딜레이 셀(10D)의 지연 시간이 감소하게 된다. 반대로, 제2제어 전압(Vbn) 및 제4제어 전압(V<sub>c2</sub>)을 고정

한 상태에서 제5제어 전압( $V_{c3}$ )을 높이면 딜레이 셀(10D)의 지연 시간이 증가하게 된다.

- [0075] 예로서, 딜레이 셀(10D)에서 제2제어 전압( $V_{bn}$ ), 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )을 함께 제어하여 딜레이 셀(10D)의 지연 시간을 조절할 수도 있다.
- [0076] 도 5는 도 1 내지 도 4에 도시된 바디 전압 제어되는 트랜지스터의 구조를 개략적으로 보여주는 단면도이다.
- [0077] 도 5에 도시된 트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖는다. 세부적으로, FD-SOI 구조의 트랜지스터는 바디 층(51), 바디 층(51) 위에 형성된 매립 절연층(52), 매립 절연(Buried oxide) 층(52) 위에 형성된 드레인 또는 소스를 구성하는 도핑 영역들(53A, 53B), 매립 절연층(52) 위의 도핑 영역들(53A, 53B) 사이에 형성된 실리콘 온 인슐레이터(SOI) 층(54), 실리콘 온 인슐레이터 층(54) 위에 형성된 게이트 절연막(55), 게이트 절연막(55) 위에 형성된 게이트 전극(56) 및 바디 층(51) 위에 형성된 바디 전극(57)으로 구성된다.
- [0078] 참고적으로, 도 5에 도시된 참조부호 58A 및 58B는 동일 실리콘 기판 상에 형성되는 인접된 소자들 간의 간섭을 방지하기 위한 절연 영역에 해당된다.
- [0079] 이와 같은, FD-SOI 구조의 트랜지스터는 매립 절연층(52) 아래에 위치한 바디 층(51)에 인가되는 전압에 따라서 채널이 형성되는 SOI 층(54)에서의 에너지 밴드에 영향을 끼친다. SOI 층(54)에서의 에너지 밴드의 변화는 FD-SOI 구조의 트랜지스터의 문턱 전압을 변화시킨다. 이에 따라서, 바디 전극(57)에 인가되는 전압에 따라서 문턱 전압을 변경시킬 수 있다. 특히, 초박형 바디 산화막(Ultra thin body and buried oxide; UTBB) 완전 공핍형 실리콘 온 인슐레이터 (FD-SOI)구조의 트랜지스터에서는 매립 절연층(52)이 얇기 때문에 바디 전극(57)에 인가되는 전압에 따라서 문턱 전압을 쉽게 제어할 수 있게 된다.
- [0080] FD-SOI 구조의 트랜지스터는 바디 층(51)이 소스 또는 드레인을 형성하는 도핑 영역들(53A, 53B)들과 직접적으로 접해있지 않기 때문에 바디 전극(57)에 인가되는 전압의 범위를 넓게 사용할 수 있다.
- [0081] FD-SOI 구조의 NMOS 트랜지스터의 경우에는 바디 전압이 높아질수록 문턱 전압이 낮아지고, FD-SOI 구조의 PMOS 트랜지스터의 경우에는 바디 전압이 낮아질수록 문턱 전압도 낮아진다.
- [0082] 도 6은 도 1 내지 도 4에 도시된 바디 전압 제어되는 PMOS 트랜지스터의 구조를 예시적으로 보여주는 단면도이다.
- [0083] 도 6에 도시된 PMOS 트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖는다. 세부적으로, FD-SOI 구조의 PMOS 트랜지스터는 P 타입 도전형 기판(61), P형 기판(61) 위에 형성된 N형의 도펀트가 주입된 N-웰(62), N-웰(62) 상부에 형성된 매립 절연층(63), 매립 절연층(63) 위에 형성된 드레인 또는 소스를 구성하는 P+ 타입 도전형의 도핑 영역들(64A, 64B), 매립 절연층(63) 위의 도핑 영역들(64A, 64B) 사이에 형성된 실리콘 온 인슐레이터(SOI) 층(65), 실리콘 온 인슐레이터 층(65) 위에 형성된 게이트 절연막(66), 게이트 절연막(66) 위에 형성된 게이트 전극(67) 및 N-웰(62) 위에 형성된 바디 전극(68)으로 구성된다. 여기에서, N-웰(62)은 도 5의 바디 층(51)에 해당된다.
- [0084] 참고적으로, 도 6에 도시된 참조부호 69A 및 69B는 동일 실리콘 기판 상에 형성되는 인접된 소자들 간의 간섭을 방지하기 위한 절연 영역에 해당된다.
- [0085] 도 7은 도 1 내지 도 4에 도시된 바디 전압 제어되는 NMOS 트랜지스터의 구조를 예시적으로 보여주는 단면도이다.
- [0086] 도 7에 도시된 NMOS 트랜지스터는 완전 공핍형 실리콘 온 인슐레이터(FD-SOI) 구조를 갖는다. 세부적으로, FD-SOI 구조의 NMOS 트랜지스터는 P 타입 도전형 기판(71), P형 기판(71) 위에 형성된 N형의 도펀트가 주입된 N-웰(72), N-웰(72) 위에 형성된 P형의 도펀트가 주입된 P-웰(73), P-웰(73) 상부에 형성된 매립 절연층(74), 매립 절연층(74) 위에 형성된 드레인 또는 소스를 구성하는 N+ 타입 도전형의 도핑 영역들(75A, 75B), 매립 절연층(74) 위의 도핑 영역들(75A, 75B) 사이에 형성된 실리콘 온 인슐레이터(SOI) 층(76), 실리콘 온 인슐레이터 층(76) 위에 형성된 게이트 절연막(77), 게이트 절연막(77) 위에 형성된 게이트 전극(78) 및 P-웰(73) 위에 형성된 바디 전극(79)으로 구성된다. 여기에서, P-웰(73)은 도 5의 바디 층(51)에 해당된다.
- [0087] 참고적으로, 도 7에 도시된 참조부호 80A 및 80B는 동일 실리콘 기판 상에 형성되는 인접된 소자들 간의 간섭을 방지하기 위한 절연 영역에 해당된다.

- [0088] 도 8은 도 6에 도시된 FD-SOI 구조를 갖는 PMOS 트랜지스터의 바디 제어 전압과 문턱 전압의 관계를 보여주는 그래프이다.
- [0089] 도 8을 참조하면, FD-SOI 구조를 갖는 PMOS 트랜지스터의 바디에 인가되는 제어 전압( $V_{bp}$ )에 비례하여 문턱 전압( $V_{th}$ )이 변화된다는 사실을 보여준다. 즉, PMOS 트랜지스터의 바디에 인가되는 제어 전압( $V_{bp}$ )이 상승할수록 문턱 전압( $V_{th}$ )도 높아지고, 제어 전압( $V_{bp}$ )이 감소할수록 문턱 전압( $V_{th}$ )도 낮아진다.
- [0090] 도 9는 도 7에 도시된 FD-SOI 구조를 갖는 NMOS 트랜지스터의 바디 제어 전압과 문턱 전압의 관계를 보여주는 그래프이다.
- [0091] 도 9를 참조하면, FD-SOI 구조를 갖는 NMOS 트랜지스터의 바디에 인가되는 제어 전압( $V_{bn}$ )에 반비례하여 문턱 전압( $V_{th}$ )이 변화된다는 사실을 보여준다. 즉, PMOS 트랜지스터의 바디에 인가되는 제어 전압( $V_{bn}$ )이 상승할수록 문턱 전압( $V_{th}$ )이 낮아지고, 제어 전압( $V_{bp}$ )이 감소할수록 문턱 전압( $V_{th}$ )이 높아진다.
- [0092] 도 1 내지 도 4에 도시된 본 발명의 실시 예들에 따른 딜레이 셀들은 다양한 전자 장치에 적용될 수 있다. 예로서, 본 발명의 실시 예들에 따른 딜레이 셀들은 지연 동기 루프(delay locked loop; DLL) 회로 또는 위상 동기 루프(phase locked loop; PLL)에 적용될 수 있다.
- [0093] 도 10은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 지연 동기 루프 회로의 일 예(100A)를 보여주는 구성도이다.
- [0094] 도 10을 참조하면, 지연 동기 루프 회로(100A)는 위상 검출기(110), 제어 회로(120) 및 지연 회로(130)를 포함한다. 지연 회로(130)에는 도 1 내지 도 4에 도시된 딜레이 셀들(10A ~ 10D) 중의 적어도 하나의 딜레이 셀이 포함될 수 있다.
- [0095] 위상 검출기(110)는 지연 회로(130)의 출력으로부터 유도된 피드백 클럭 신호(CLK\_fb)와 기준 클럭 신호(CLK\_ref) 사이의 위상차에 상응하는 제1신호를 생성한다. 위의 제1신호는 위상 제어신호(UP 신호, DOWN 신호)가 될 수 있다.
- [0096] 예로서, 위상 검출기(110)는 다음과 같이 UP 신호 및 DOWN 신호를 생성시킬 수 있다.
- [0097] DOWN 신호는 기준 클럭 신호(CLK\_ref)의 첫 번째 상승 에지를 수신하면 로직 '1'로 세팅되고, UP 신호는 피드백 클럭 신호(CLK\_fb)의 첫 번째 상승 에지를 수신하면 로직 '1'로 세팅된다. DOWN 신호와 UP 신호는 각각 기준 클럭 신호(CLK\_ref)와 피드백 클럭 신호(CLK\_fb)의 이어지는 상승 에지를 수신하면 로직 '0'으로 세팅된다. 피드백 클럭 신호(CLK\_fb)의 상승 에지 이전에 기준 클럭 신호(CLK\_ref)의 상승 에지가 검출되면, DOWN 신호는 피드백 클럭 신호(CLK\_fb)의 다음 상승 에지가 검출될 때까지 지연 회로(130)의 지연을 증가시키기 위하여 로직 '1'로 변화될 수 있다. 반대로 피드백 클럭 신호(CLK\_fb)의 상승 에지가 기준 클럭 신호(CLK\_ref)의 상승 에지 이전에 검출되면 UP 신호는 기준 클럭 신호(CLK\_ref)의 다음 상승 에지가 검출되지 전까지 지연 회로(130)의 지연을 감소시키기 위하여 로직 '1'로 변화될 수 있다.
- [0098] 제어 회로(120)는 위상 검출기(110)로부터 입력된 제1신호에 기초하여 지연 회로(130)의 지연 시간을 조절하기 위한 제1제어신호를 생성한다. 예로서, 제어 회로(120)는 UP 신호에 따라서 제1제어신호의 전압을 증가시키고, DOWN 신호에 따라서 제1제어신호의 전압을 감소시킨다.
- [0099] 제어 회로(120)는 위상 검출기(110)로부터 입력된 제1신호에 기초하여 지연 회로(130)의 지연 시간을 커어스 튜닝(coarse tuning)하기 위한 커어스 제어신호와 파인 튜닝(fine tuning)하기 위한 파인 제어신호를 생성시킬 수도 있다. 예로서, 커어스 제어신호는 지연 동기 루프 회로가 초기화되거나 기준 클럭 신호(CLK\_ref)가 변경될 때 생성되고, 파인 제어신호는 지연 동기 루프 회로가 안정화된 상태에서 생성되도록 설계할 수 있다.
- [0100] 제어 회로(120)는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호를 생성시키기 위한 회로를 더 포함할 수 있다.
- [0101] 예로서, 제어 회로(120)는 제1제어신호에 기초하여 제1제어 전압( $V_{bp}$ ) 및 제2제어 전압( $V_{bn}$ )을 각각 생성시킬 수 있다. 예로서, 제1 제어신호의 전압에 비례하는 제2제어 전압( $V_{bn}$ )과 제1제어신호의 전압에 반비례하는 제1 제어 전압( $V_{bp}$ )을 생성시킬 수 있다.
- [0102] 다른 예로서, 제어 회로(120)는 제2제어신호에 기초하여 제1제어 전압( $V_{bp}$ ) 및 제2제어 전압( $V_{bn}$ )을 각각 생성시킬 수 있다. 예로서, 제2제어신호의 전압에 비례하는 제2제어 전압( $V_{bn}$ )과 제1제어신호의 전압에 반비례하는



제1제어 전압(V<sub>bp</sub>)을 생성시킬 수 있다.

- [0103] 또 다른 예로서, 제어 회로(120)는 제1제어신호 또는 제2제어신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수 있다. 예로서, 제1제어신호 또는 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 제1제어신호 또는 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)과 제1제어신호 또는 제2제어신호의 전압에 반비례하는 제3제어 전압(V<sub>c1</sub>)을 생성시킬 수도 있다.
- [0104] 또 다른 예로서, 제어 회로(120)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제1제어 전압(V<sub>bp</sub>) 및 제2제어 전압(V<sub>bn</sub>)을 각각 생성시킬 수 있다. 예로서, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제2제어 전압(V<sub>bn</sub>)과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제1제어 전압(V<sub>bp</sub>)을 생성시킬 수 있다.
- [0105] 또 다른 예로서, 제어 회로(120)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수 있다. 예로서, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제3제어 전압(V<sub>c1</sub>)을 생성시킬 수도 있다.
- [0106] 지연 회로(130)는 제1제어 전압(V<sub>bp</sub>), 제2제어 전압(V<sub>bn</sub>), 제3제어 전압(V<sub>c1</sub>) 또는 제4제어 전압(V<sub>c2</sub>) 중의 적어도 하나에 기초하여 기준 클럭 신호(CLK<sub>ref</sub>)를 지연시킨다.
- [0107] 지연 회로(130)는 전압 제어 지연 회로로서, 도 1 내지 도 4에 도시된 딜레이 셀들(10A ~ 10D) 중의 적어도 하나의 딜레이 셀로 구성될 수 있다. 지연 회로(130)는 제어 회로(120)로부터 입력된 제1제어 전압(V<sub>bp</sub>) 또는 제2제어 전압(V<sub>bn</sub>)에 기초하여 딜레이 셀을 구성하는 트랜지스터의 바디 전압을 조절하여 기준 클럭 신호(CLK<sub>ref</sub>)의 지연 시간을 조절할 수 있다.
- [0108] 지연 회로(130)에서 출력되는 최종 클럭 신호(CLK<sub>out</sub>)는 피드백 클럭 신호(CLK<sub>fb</sub>)로서 위상 검출기(110)로 피드백 된다.
- [0109] 도 11은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 지연 동기 루프 회로의 다른 예(100B)를 보여주는 구성도이다.
- [0110] 도 11을 참조하면, 지연 동기 루프 회로(100B)는 위상 검출기(110), 제어 회로(120), 지연 회로(130) 및 복사 지연 회로(140)를 포함한다.
- [0111] 지연 동기 루프 회로(100B)는 도 10에 도시된 지연 동기 루프 회로(100A)에 비하여 복사 지연 회로(140)가 추가된다. 위상 검출기(110), 제어 회로(120) 및 지연 회로(130)는 도 10에서 설명하였으므로, 중복된 설명은 피하기로 한다.
- [0112] 복사 지연 회로(140)는 클럭 버퍼 회로(도면에 미도시)를 통한 지연과 선로 경유 지연을 포함하는 시스템 상의 지연을 보상하기 위한 회로이다. 이는 지연 모델링 회로로서 구현될 수 있다. 즉, 복사 지연 회로(140)는 지연 회로(130)에서 출력되는 최종 클럭 신호(CLK<sub>out</sub>)를 지연 모델링 회로를 이용하여 추가적으로 지연시킨 후에 위상 검출기(110)로 출력한다.
- [0113] 이에 따라서, 위상 검출기(110)는 복사 지연 회로(140)에서 출력된 피드백 클럭 신호(CLK<sub>fb</sub>)와 기준 클럭 신호(CLK<sub>ref</sub>) 사이의 위상차에 상응하는 제1신호를 생성한다.
- [0114] 도 12는 도 10 및 도 11에 도시된 지연 회로(130)의 세부 구성을 예시적으로 보여준다.
- [0115] 도 12를 참조하면, 지연 회로(130)는 n(n은 2 이상의 정수)개의 딜레이 셀들(130-1 ~ 130-n)이 직렬로 접속되는 회로 구성을 갖는다. 제1딜레이 셀(130-1)의 입력 단자에는 기준 클럭 신호(CLK<sub>ref</sub>)가 인가되고, 제n딜레이 셀(130-n)의 출력 단자로는 출력 클럭 신호(CLK<sub>out</sub>)가 출력된다. 예로서, 제2딜레이 셀(130-2)의 입력 단자에는 이전 스테이지의 제1딜레이 셀(130-1)의 출력 단자가 접속되고, 제2딜레이 셀(130-2)의 출력 단자에는 다음 스테이지의 제3딜레이 셀(130-3)의 입력 단자가 접속된다. 이와 같은 방식으로 n개의 딜레이 셀들(130-1 ~ 130-n)이 직렬로 접속된다.

- [0116] 예로서, 딜레이 셀들(130-1 ~ 130-n) 각각은 도 1에 도시된 딜레이 셀(10A)이 적용될 수 있다. 지연 회로(130)를 n개의 딜레이 셀(10A)들로 구성하는 경우에, 각각의 딜레이 셀(10A)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 참고적으로, 제1,2제어 전압(Vbp, Vbn)은 도 10 또는 도 11의 제어 회로(120)로부터 지연 회로(130)에 제공된다.
- [0117] 다른 예로서, 딜레이 셀들(130-1 ~ 130-n) 각각은 도 2에 도시된 딜레이 셀(10B)이 적용될 수 있다. 지연 회로(130)를 n개의 딜레이 셀(10B)들로 구성하는 경우에, 각각의 딜레이 셀(10B)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 그리고, 제3트랜지스터(TR3) 및 제4트랜지스터(TR4)의 게이트 단자에 각각 제3제어 전압(Vc1) 및 제4제어 전압(Vc2)이 인가된다. 참고적으로, 제1,2제어 전압(Vbp, Vbn) 및 제3,4제어 전압(Vc1, Vc2)은 도 10 또는 도 11의 제어 회로(120)로부터 지연 회로(130)에 제공된다.
- [0118] 또 다른 예로서, 딜레이 셀들(130-1 ~ 130-n) 각각은 도 3에 도시된 딜레이 셀(10C)이 적용될 수 있다. 지연 회로(130)를 n개의 딜레이 셀(10C)들로 구성하는 경우에, 각각의 딜레이 셀(10C)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 그리고, 제6트랜지스터(TR6)의 게이트 단자에 제4제어 전압(Vc2)이 인가된다. 참고적으로, 제1,2제어 전압(Vbp, Vbn) 및 제4제어 전압(Vc2)은 도 10 또는 도 11의 제어 회로(120)로부터 지연 회로(130)에 제공된다.
- [0119] 또 다른 예로서, 딜레이 셀들(130-1 ~ 130-n) 각각은 도 4에 도시된 딜레이 셀(10D)이 적용될 수 있다. 지연 회로(130)를 n개의 딜레이 셀(10D)들로 구성하는 경우에, 각각의 딜레이 셀(10D)에 포함된 제7트랜지스터(TR7) 및 제8트랜지스터(TR8) 각각의 바디에 제2제어 전압(Vbn)이 인가된다. 그리고, 제9트랜지스터(TR9) 및 제10트랜지스터(TR10)의 게이트 단자에 제3제어 전압(Vc1)이 인가되고, 제11트랜지스터(TR11)의 게이트 단자에 제4제어 전압(Vc2)이 인가된다. 참고적으로, 제2제어 전압(Vbn) 및 제3,4제어 전압(Vc1, Vc2)은 도 10 또는 도 11의 제어 회로(120)로부터 지연 회로(130)에 제공된다. 예로서, 제3,4제어 전압(Vc1, Vc2) 중의 어느 하나 또는 모두를 고정 전압으로 설정할 수도 있다.
- [0120] 도 13은 본 발명의 실시 예들에 따른 딜레이 셀이 적용되는 위상 동기 루프 회로(200)의 일 예를 보여주는 구성도이다.
- [0121] 도 13을 참조하면, 위상 동기 루프 회로(200)는 위상 검출기(210), 제어 회로(220), 전압 제어 발진기(230) 및 분주기(240)를 포함한다. 전압 제어 발진기(230)에는 도 1 내지 도 4에 도시된 딜레이 셀들(10A ~ 10D) 중의 적어도 하나의 딜레이 셀이 포함될 수 있다.
- [0122] 위상 검출기(210)는 전압 제어 발진기(230)의 출력으로부터 유도된 피드백 클럭 신호(CLK\_fb)와 기준 클럭 신호(CLK\_ref) 사이의 위상차에 상응하는 제1신호를 생성한다. 위의 제1신호는 위상 제어신호(UP 신호, DOWN 신호)가 될 수 있다. 위상 제어신호(UP 신호, DOWN 신호)는 도 10의 위상 검출기(110)와 같은 방식으로 생성시킬 수 있다.
- [0123] 제어 회로(220)는 위상 검출기(210)로부터 입력된 제1신호에 기초하여 전압 제어 발진기(230)의 지연 시간을 조절하기 위한 제1제어신호를 생성한다. 예로서, 제어 회로(220)는 UP 신호에 따라서 제1제어신호의 전압을 증가시키고, DOWN 신호에 따라서 제1제어신호의 전압을 감소시킨다.
- [0124] 제어 회로(220)는 위상 검출기(210)로부터 입력된 제1신호에 기초하여 전압 제어 발진기(230)의 지연 시간을 커스 튜닝(coarse tuning)하기 위한 커스 제어신호와 파인 튜닝(fine tuning)하기 위한 파인 제어신호를 생성시킬 수도 있다.
- [0125] 제어 회로(220)는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 보상하기 위한 제2제어신호를 생성시키기 위한 회로를 더 포함할 수 있다.
- [0126] 예로서, 제어 회로(220)는 제1제어신호에 기초하여 제1제어 전압(Vbp) 및 제2제어 전압(Vbn)을 각각 생성시킬 수 있다. 예로서, 제1제어신호의 전압에 비례하는 제2제어 전압(Vbn)과 제1제어신호의 전압에 반비례하는 제1제어 전압(Vbp)을 생성시킬 수 있다.
- [0127] 다른 예로서, 제어 회로(220)는 제2제어신호에 기초하여 제1제어 전압(Vbp) 및 제2제어 전압(Vbn)을 각각 생성시킬 수 있다. 예로서, 제2제어신호의 전압에 비례하는 제2제어 전압(Vbn)과 제1제어신호의 전압에 반비례하는



제1제어 전압(Vbp)을 생성시킬 수 있다.

- [0128] 또 다른 예로서, 제어 회로(220)는 제1제어신호 또는 제2제어신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수 있다. 예로서, 제1제어신호 또는 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 제1제어신호 또는 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)과 제1제어신호 또는 제2제어신호의 전압에 반비례하는 제3제어 전압(V<sub>c1</sub>)을 생성시킬 수도 있다.
- [0129] 또 다른 예로서, 제어 회로(220)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제1제어 전압(Vbp) 및 제2제어 전압(Vbn)을 각각 생성시킬 수 있다. 예로서, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제2제어 전압(Vbn)과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제1제어 전압(Vbp)을 생성시킬 수 있다.
- [0130] 또 다른 예로서, 제어 회로(220)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수 있다. 예로서, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제3제어 전압(V<sub>c1</sub>)을 생성시킬 수도 있다.
- [0131] 전압 제어 발진기(230)는 제1제어 전압(Vbp), 제2제어 전압(Vbn), 제3제어 전압(V<sub>c1</sub>) 또는 제4제어 전압(V<sub>c2</sub>) 중의 적어도 하나에 기초하여 발진 신호의 주파수를 조절한다.
- [0132] 전압 제어 발진기(230)는 링 오실레이터 회로로서, 도 1 내지 도 4에 도시된 딜레이 셀들(10A ~ 10D) 중의 하나의 타입의 딜레이 셀들로 구성될 수 있다. 전압 제어 발진기(230)는 제어 회로(220)로부터 입력된 제1제어 전압(Vbp) 또는 제2제어 전압(Vbn)에 기초하여 딜레이 셀을 구성하는 트랜지스터의 바디 전압을 조절하여 발진 신호의 주파수를 조절할 수 있다. 전압 제어 발진기(230)에서 출력되는 발진 신호는 최종 클럭 신호(CLK<sub>out</sub>)가 된다.
- [0133] 분주기(240)는 전압 제어 발진기(230)로부터 최종 클럭 신호(CLK<sub>out</sub>)를 입력하고, 최종 클럭 신호(CLK<sub>out</sub>)를 주파수 분주 처리한다. 분주기(240)에서 분주 처리된 출력은 피드백 클럭 신호(CLK<sub>fb</sub>)로서 위상 검출기(210)로 피드백 된다. 예로서, 분주기(240)는 최종 클럭 신호(CLK<sub>out</sub>)의 주파수가 1GHz인 경우에 10분주 처리하여 100MHz의 피드백 클럭 신호(CLK<sub>fb</sub>)를 생성할 수 있다.
- [0134] 도 14는 도 13에 도시된 전압 제어 발진기(230)의 세부 구성을 예시적으로 보여준다.
- [0135] 도 14를 참조하면, 전압 제어 발진기(230)는 n(n은 2 이상의 정수)개의 딜레이 셀들(230-1 ~ 230-n)이 링 형태로 접속되는 회로 구성을 갖는다. 제1딜레이 셀(230-1)의 입력 단자에는 이전 스테이지의 제n딜레이 셀(230-n)의 출력 단자가 접속되고, 제1딜레이 셀(230-1)의 출력 단자에는 다음 스테이지의 제2딜레이 셀(230-2)의 입력 단자가 접속된다. 이와 같은 방식으로 n개의 딜레이 셀들(130-1 ~ 230-n)이 링 형태로 접속된다.
- [0136] 예로서, 딜레이 셀들(230-1 ~ 230-n) 각각은 도 1에 도시된 딜레이 셀(10A)이 적용될 수 있다. 전압 제어 발진기(230)를 n개의 딜레이 셀(10A)들로 구성하는 경우에, 각각의 딜레이 셀(10A)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 참고적으로, 제1,2제어 전압(Vbp, Vbn)은 도 13의 제어 회로(220)로부터 전압 제어 발진기(230)에 제공된다.
- [0137] 다른 예로서, 딜레이 셀들(230-1 ~ 230-n) 각각은 도 2에 도시된 딜레이 셀(10B)이 적용될 수 있다. 전압 제어 발진기(230)를 n개의 딜레이 셀(10B)들로 구성하는 경우에, 각각의 딜레이 셀(10B)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 그리고, 제3트랜지스터(TR3) 및 제4트랜지스터(TR4)의 게이트 단자에 각각 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)이 인가된다. 참고적으로, 제1,2제어 전압(Vbp, Vbn) 및 제3,4제어 전압(V<sub>c1</sub>, V<sub>c2</sub>)은 도 13의 제어 회로(220)로부터 전압 제어 발진기(230)에 제공된다.
- [0138] 또 다른 예로서, 딜레이 셀들(230-1 ~ 230-n) 각각은 도 3에 도시된 딜레이 셀(10C)이 적용될 수 있다. 전압 제어 발진기(230)를 n개의 딜레이 셀(10C)들로 구성하는 경우에, 각각의 딜레이 셀(10C)에 포함된 제1트랜지스터(TR1) 및 제2트랜지스터(TR2) 각각의 바디에 제1,2제어 전압(Vbp, Vbn)이 인가된다. 그리고, 제6트랜지스터

(TR6)의 게이트 단자에 제4제어 전압( $V_{c2}$ )이 인가된다. 참고적으로, 제1,2제어 전압( $V_{bp}$ ,  $V_{bn}$ ) 및 제4제어 전압( $V_{c2}$ )은 도 13의 제어 회로(220)로부터 전압 제어 발진기(230)에 제공된다.

- [0139] 또 다른 예로서, 딜레이 셀들(130-1 ~ 130-n) 각각은 도 4에 도시된 딜레이 셀(10D)이 적용될 수 있다. 전압 제어 발진기(230)를 n개의 딜레이 셀(10D)들로 구성하는 경우에, 각각의 딜레이 셀(10D)에 포함된 제7트랜지스터(TR7) 및 제8트랜지스터(TR8) 각각의 바디에 제2제어 전압( $V_{bn}$ )이 인가된다. 그리고, 제9트랜지스터(TR9) 및 제10트랜지스터(TR10)의 게이트 단자에 제3제어 전압( $V_{c1}$ )이 인가되고, 제11트랜지스터(TR11)의 게이트 단자에 제4제어 전압( $V_{c2}$ )이 인가된다. 참고적으로, 제2제어 전압( $V_{bn}$ ) 및 제3,4제어 전압( $V_{c1}$ ,  $V_{c2}$ )은 도 13의 제어 회로(220)로부터 전압 제어 발진기(230)에 제공된다. 예로서, 제3,4제어 전압( $V_{c1}$ ,  $V_{c2}$ ) 중의 어느 하나 또는 모두를 고정 전압으로 설정할 수도 있다.
- [0140] 도 15는 도 10, 도 11 및 도 13에 도시된 제어 회로의 세부 구성의 일 예(120A 또는 220A)를 보여준다.
- [0141] 도 15를 참조하면, 제어 회로(120A 또는 220A)는 차지 펌프(120-1), 루프 필터(120-2) 및 후처리부(120-3A)를 포함한다.
- [0142] 차지 펌프(120-1)는 위상 제어신호인 UP 신호 또는 DOWN 신호에 따라서 충전 동작 또는 방전 동작을 수행함으로써 출력 전압을 조절한다. 세부적으로, 차지 펌프(120-1)는 UP 신호가 제1논리 상태를 갖는 경우에 출력 단자에 충전 루프를 형성시킴으로써 출력 전압을 증가시킨다. 그리고, 차지 펌프(120-1)는 DOWN 신호가 제1논리 상태를 갖는 경우에 출력 단자에 방전 루프를 형성시킴으로써 출력 전압을 감소시킨다. 예로서, 제1논리 상태는 로직 '1'이 될 수 있다. 다른 예로서, 제1논리 상태는 로직 '0'이 될 수도 있다.
- [0143] 루프 필터(120-2)는 차지 펌프(120-1)로부터 출력되는 신호의 특정 주파수 대역을 필터링 처리하여 출력한다. 예로서, 루프 필터(120-2)는 저역 통과 필터 또는 대역 통과 필터의 특성을 갖도록 설계할 수 있다. 루프 필터(120-2)에서 출력되는 신호는 제1제어신호가 된다. 제1제어신호는 루프 필터(120-2)로부터 후처리부(120-3)로 출력된다.
- [0144] 후처리부(120-3A)는 루프 필터(120-2)로부터 입력된 제1제어신호에 기초하여 제1제어 전압( $V_{bp}$ ) 및 제2제어 전압( $V_{bn}$ )을 각각 생성시킬 수 있다.
- [0145] 예로서, 후처리부(120-3A)는 제1제어신호의 전압에 비례하는 제2제어 전압( $V_{bn}$ )과 제1제어신호의 전압에 반비례하는 제1제어 전압( $V_{bp}$ )을 생성시킬 수 있다.
- [0146] 다른 예로서, 후처리부(120-3A)는 제1제어신호의 전압에 비례하는 제2제어 전압( $V_{bn}$ )을 생성시킨 후에, 제2제어 전압( $V_{bn}$ )을 이용하여 제2제어 전압( $V_{bn}$ )에 반비례하는 제1제어 전압( $V_{bp}$ )을 생성시킬 수 있다.
- [0147] 또 다른 예로서, 후처리부(120-3A)는 커어스 튜닝(coarse tuning)하기 위한 커어스 제어신호와 파인 튜닝(fine tuning)하기 위한 파인 제어신호를 생성시킨 후에, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제1제어 전압( $V_{bp}$ ) 및 제2제어 전압( $V_{bn}$ )을 각각 생성시킬 수 있다. 세부적으로, 후처리부(120-3A)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제2제어 전압( $V_{bn}$ )과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제1제어 전압( $V_{bp}$ )을 생성시킬 수 있다.
- [0148] 또 다른 예로서, 설계 옵션으로서, 후처리부(120-3A)는 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호에 기초하여 제3제어 전압( $V_{c1}$ ) 및 제4제어 전압( $V_{c2}$ )을 각각 생성시킬 수 있다. 예로서, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압( $V_{c2}$ )을 생성시킬 수 있다. 또한, 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 비례하는 제4제어 전압( $V_{c2}$ )과 커어스 제어신호 또는 파인 제어신호 중의 어느 하나의 신호의 전압에 반비례하는 제3제어 전압( $V_{c1}$ )을 생성시킬 수도 있다.
- [0149] 도 16은 도 10, 도 11 및 도 13에 도시된 제어 회로의 세부 구성의 다른 예(120B 또는 220B)를 보여준다.
- [0150] 도 16을 참조하면, 제어 회로(120B 또는 220B)는 차지 펌프(120-1), 루프 필터(120-2), 후처리부(120-3B) 및 PVT 보상 회로(120-4)를 포함한다.
- [0151] 차지 펌프(120-1) 및 루프 필터(120-2)는 도 15에서 이미 설명하였으므로, 중복된 설명은 피하기로 한다.

- [0152] PVT 보상 회로(120-4)는 공정, 전압 또는 온도 중의 적어도 하나의 변화를 감지한 후에, 공정, 전압 또는 온도 변화에 기초한 지연 특성을 보상하기 위하여 감지된 변화에 기초한 제2제어신호를 생성시킨다.
- [0153] 후처리부(120-3B)는 루프 필터(120-2)로부터 입력된 제1제어신호 및 PVT 보상 회로(120-4)로부터 입력된 제2제어신호를 이용하여 딜레이 셀의 지연 시간을 조절하기 위한 다양한 제어 전압들을 생성시킨다.
- [0154] 예로서, 후처리부(120-3B)는 제1제어신호에 기초하여 제1제어 전압(V<sub>bp</sub>) 및 제2제어 전압(V<sub>bn</sub>)을 각각 생성시키고, 제2제어신호에 기초하여 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 제2제어신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수도 있다. 세부적으로, 제1제어신호의 전압에 비례하는 제2제어 전압(V<sub>bn</sub>)과 제1제어신호의 전압에 반비례하는 제1제어 전압(V<sub>bp</sub>)을 생성시킬 수 있다. 그리고, 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 제2제어신호의 전압에 비례하는 제4제어 전압(V<sub>c2</sub>)과 제2제어신호의 전압에 반비례하는 제3제어 전압(V<sub>c1</sub>)을 생성시킬 수도 있다.
- [0155] 다른 예로서, 후처리부(120-3B)는 제2제어신호에 기초하여 제1제어 전압(V<sub>bp</sub>) 및 제2제어 전압(V<sub>bn</sub>)을 각각 생성시키고, 제1제어신호에 기초하여 제4제어 전압(V<sub>c2</sub>)을 생성시킬 수 있다. 또한, 제1제어신호에 기초하여 제3제어 전압(V<sub>c1</sub>) 및 제4제어 전압(V<sub>c2</sub>)을 각각 생성시킬 수도 있다.
- [0156] 그리고, 후처리부(120-3B)는 도 15의 후처리부(120-3A)에서 설명한 바와 같이, 커어스 제어신호 또는 파인 제어신호에 기초하여 다양한 제어 전압들을 생성시킬 수 있다.
- [0157] 도 17은 본 발명의 실시 예에 따른 제2제어 전압(V<sub>bn</sub>)으로부터 제1제어 전압(V<sub>bp</sub>)을 생성시키기 위한 출력 회로(121)를 예시적으로 보여준다. 참고적으로, 출력 회로(121)는 도 10 및 도 11의 제어 회로(120) 또는 도 15 및 16의 후처리부(120-3A, 120-3B)에 포함될 수 있다.
- [0158] 도 17을 참조하면, 출력 회로(121)는 연산 증폭기(A1)와 복수의 저항들(R1, R2)을 포함한다.
- [0159] 연산 증폭기(A1)의 네거티브 입력 단자(-)와 제2제어 전압(V<sub>bn</sub>)이 공급되는 단자 사이에 제1저항(R1)이 연결되고, 네거티브 입력 단자(-)와 출력 단자에 제1저항(R1)이 연결된다. 그리고, 연산 증폭기(A1)의 포지티브 입력 단자(+)에는 초기 설정된 직류 전압을 인가한다. 예로서, 연산 증폭기(A1)의 포지티브 입력 단자(+)에는 전원 전압(V<sub>supply</sub>)의 1/2에 해당되는 전압을 인가할 수 있다.
- [0160] 이에 따라서, 연산 증폭기(A1) 출력 단자의 전압인 제1제어 전압(V<sub>bp</sub>)은 수학적 식 1과 같이 표현된다.

**수학적 식 1**

[0161] 
$$V_{bp} = -\frac{R2}{R1} (V_{bn} - V_{supply}/2) + V_{supply}/2$$

- [0162] 수학적 식 1을 참조하면, 제1제어 전압(V<sub>bp</sub>)이 상승하면 제2제어 전압(V<sub>bn</sub>)은 하강하고, 제1제어 전압(V<sub>bp</sub>)이 하강하면 제2제어 전압(V<sub>bn</sub>)은 상승한다.
- [0163] 따라서, 연산 증폭기(A1)에서 출력되는 제1제어 전압(V<sub>bp</sub>)은 제2제어 전압(V<sub>bn</sub>)에 따라서 반비례하게 변화된다.
- [0164] 도 18은 본 발명의 실시 예에 따른 지연 동기 루프 회로를 포함하는 전자 장치(1000)의 구성도이다.
- [0165] 도 18을 참조하면, 전자 장치(1000)는 지연 동기 루프 회로(1100) 및 내부 회로(1200)를 포함한다.
- [0166] 지연 동기 루프 회로(1100)는 도 10에 도시된 지연 동기 루프 회로(100A) 또는 도 11에 도시된 지연 동기 루프 회로(100B)가 적용될 수 있다.
- [0167] 내부 회로(1200)는 지연 동기 루프 회로(1100)로부터 입력되는 최종 클럭 신호(CLK<sub>out</sub>)를 이용하여 신호 처리를 수행한다. 예로서, 내부 회로(1200)는 반도체 메모리 회로, 메모리 카드 회로, 휴대폰 회로, 카메라 회로, 컴퓨터 회로, 통신 기기 회로 등과 같은 각종 전자 기기의 회로들이 포함될 수 있다.
- [0168] 도 19는 본 발명의 실시 예에 따른 위상 동기 루프 회로를 포함하는 전자 장치(2000)의 구성도이다.
- [0169] 도 19를 참조하면, 전자 장치(2000)는 위상 동기 루프 회로(2100) 및 내부 회로(2200)를 포함한다.

[0170] 위상 동기 루프 회로(2100)는 도 13에 도시된 위상 동기 루프 회로(200)가 적용될 수 있다.

[0171] 내부 회로(2200)는 위상 동기 루프 회로(2100)로부터 입력되는 최종 클럭 신호(CLK\_out)를 이용하여 신호 처리를 수행한다. 예로서, 내부 회로(2200)는 반도체 메모리 회로, 메모리 카드 회로, 휴대폰 회로, 카메라 회로, 컴퓨터 회로, 통신 기기 회로 등과 같은 각종 전자 기기의 회로들이 포함될 수 있다.

[0172] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

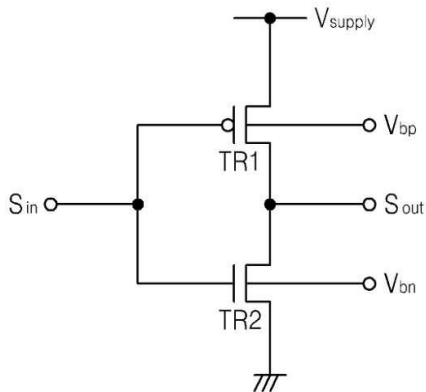
**부호의 설명**

- [0173] 100A, 100B, 1100 : 지연 동기 루프 회로      110, 210 : 위상 검출기
- 120, 220 : 제어 회로      120-1 : 차지 펌프
- 120-2 : 루프 회로      120-3A, 120-3B : 후처리부
- 120-4 : PVT 보상 회로      130 : 지연 회로
- 140 : 복사 지연 회로      200, 2100 : 위상 동기 루프 회로
- 230 : 전압 제어 발진기      240 : 분주기
- 1000, 2000 : 전자 장치      1200, 2200 : 내부 회로

**도면**

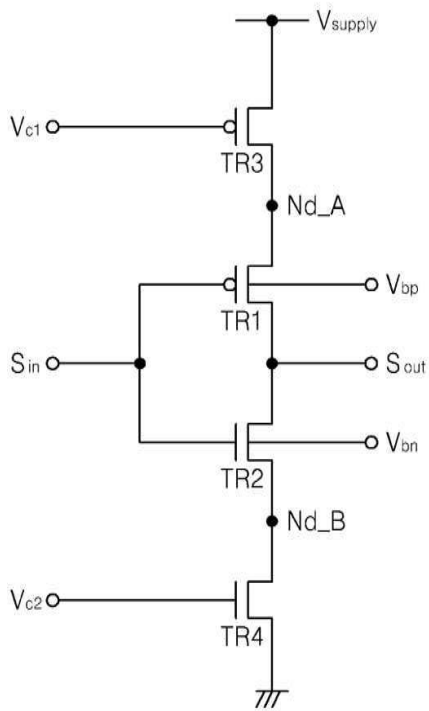
**도면1**

10A



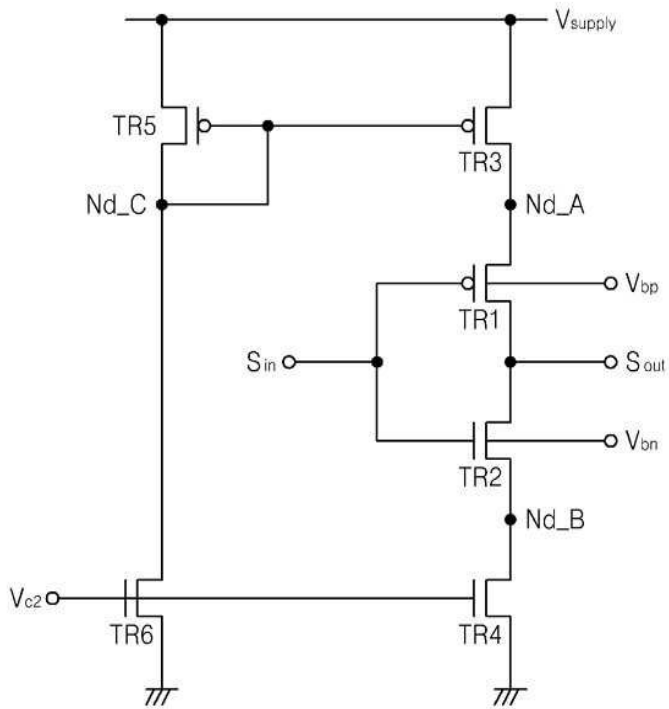
도면2

10B



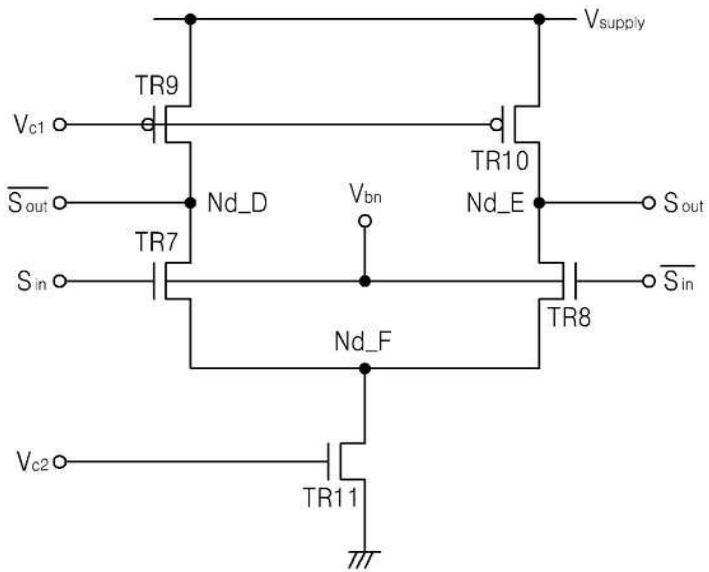
도면3

10C

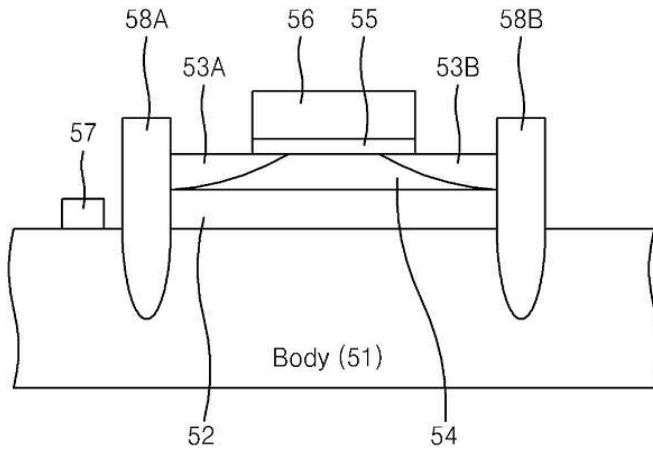


도면4

10D

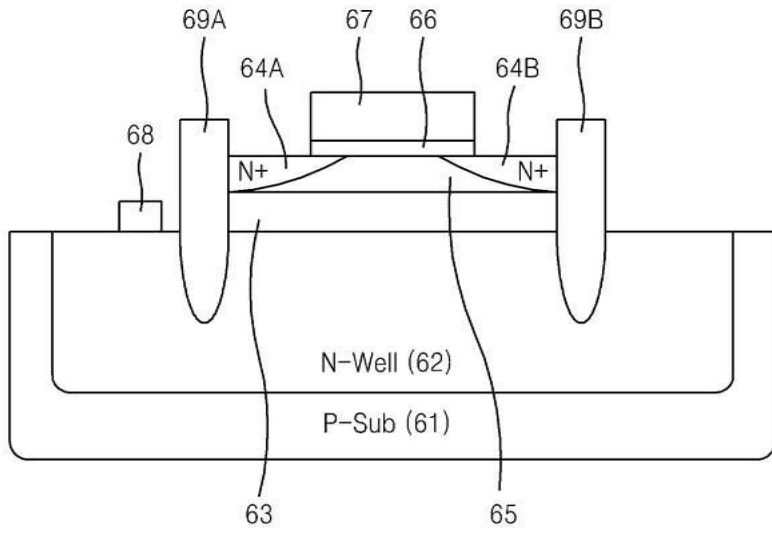


도면5

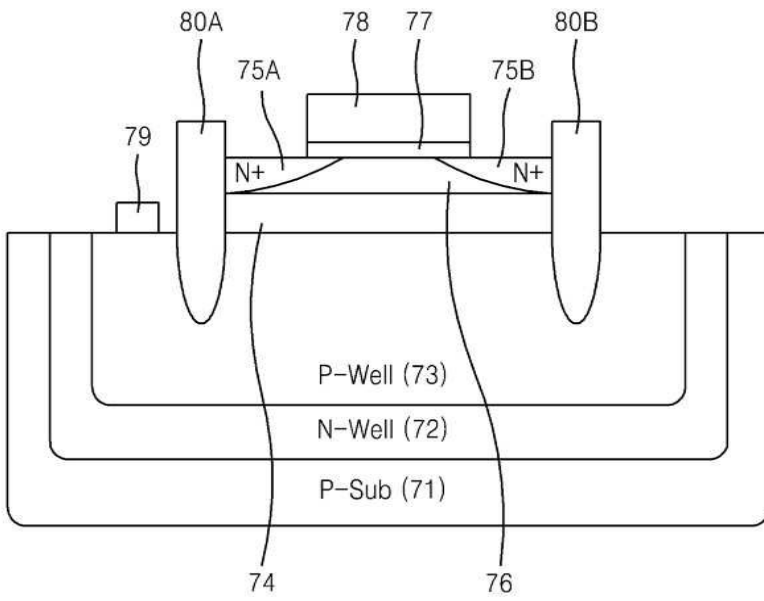




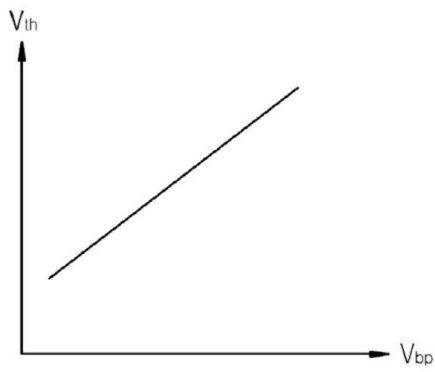
도면6



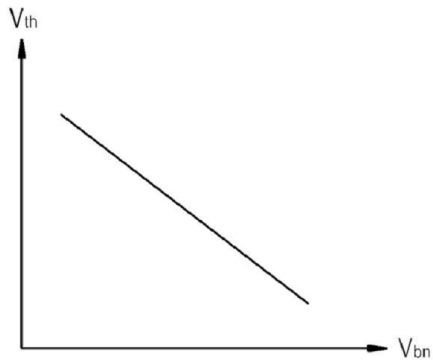
도면7



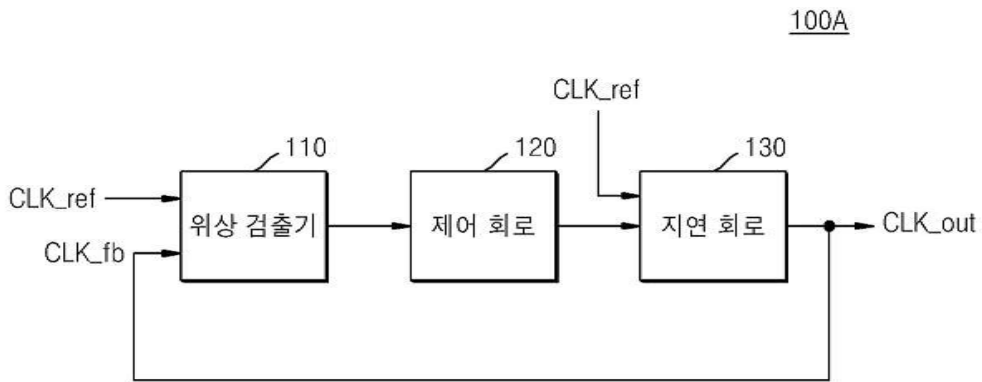
도면8



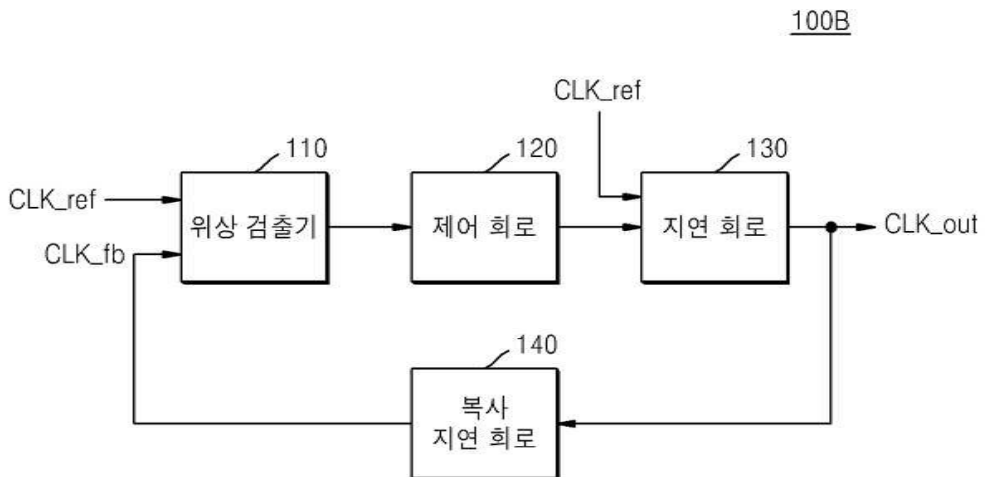
도면9



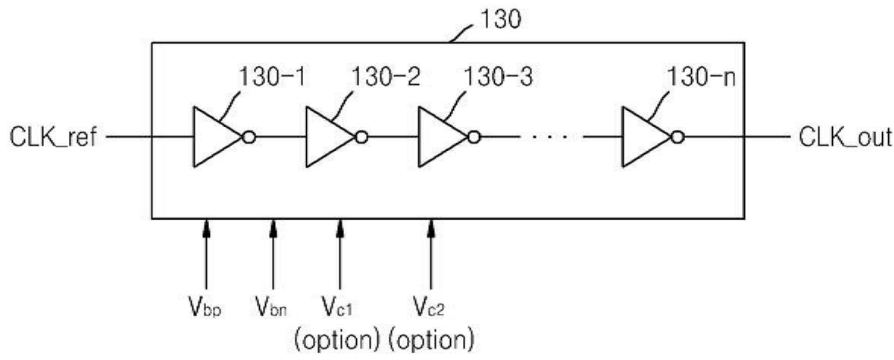
도면10



도면11

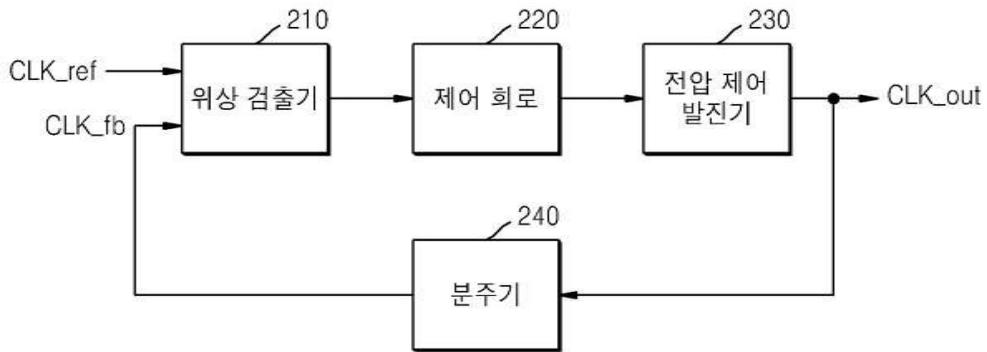


도면12

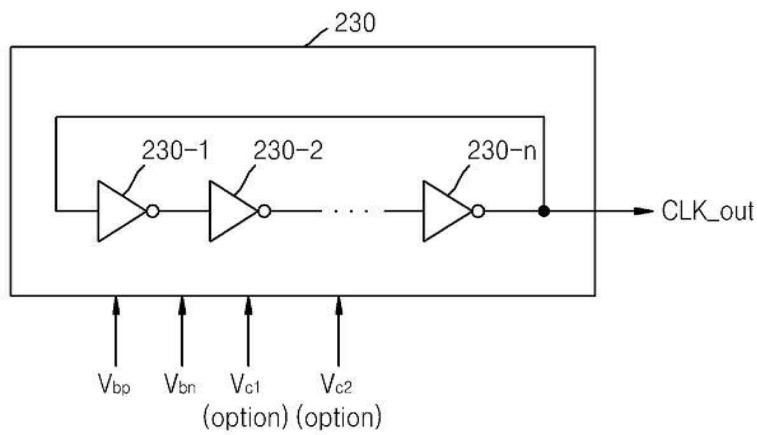


도면13

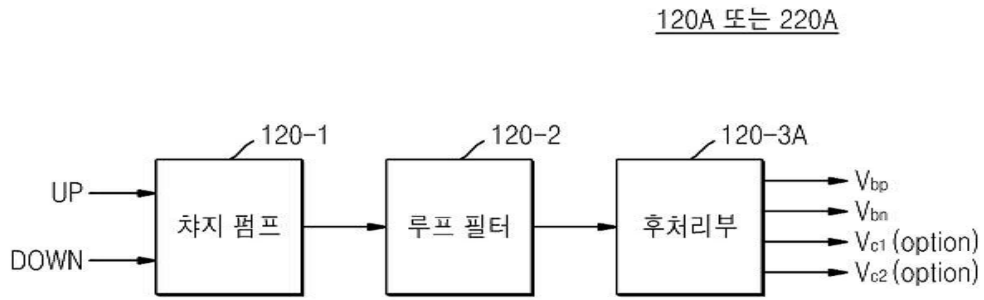
200



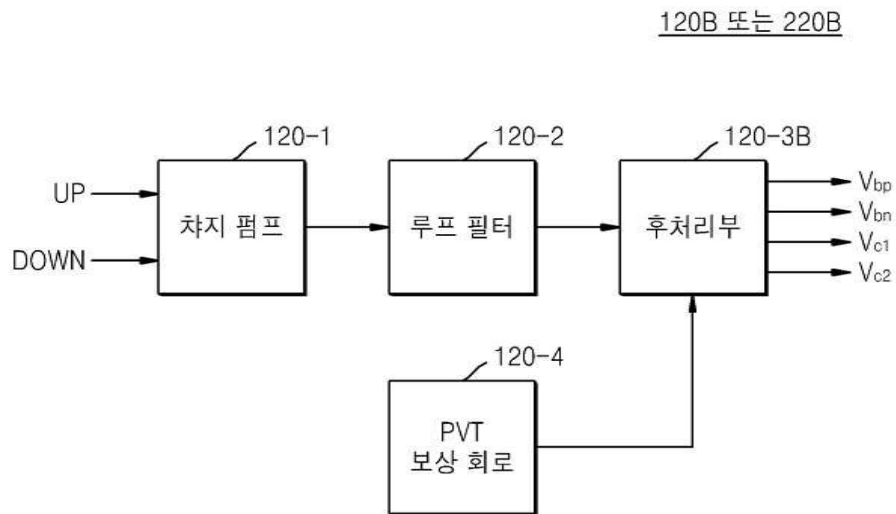
도면14



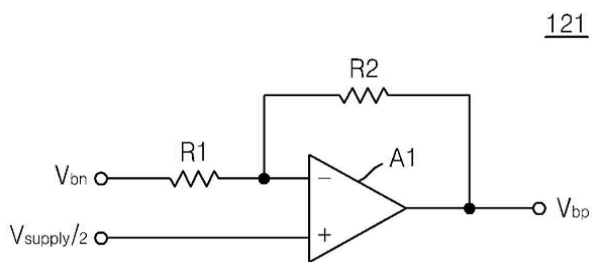
도면15



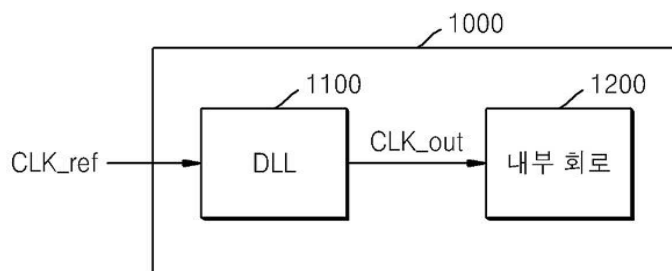
도면16



도면17



도면18



도면19

