

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월28일 10-0564628 2006년03월21일
--	-------------------------------------	--

(21) 출원번호	10-2004-0044493	(65) 공개번호	10-2005-0119411
(22) 출원일자	2004년06월16일	(43) 공개일자	2005년12월21일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	정진국 인천광역시 부평구 갈산2동 주공1단지 107동 513호
(74) 대리인	리엔목록특허법인 이해영

심사관 : 김기현

(54) 스플릿 게이트형 플래쉬 메모리 소자 및 그 제조방법

요약

프로그램 동작 시에 인접한 비선택 메모리 셀도 함께 프로그램이 되는 디스터번스 문제를 방지할 수 있는 스플릿 게이트형 플래쉬 메모리 소자 및 그 제조방법에 대하여 개시한다. 본 발명의 일 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자는 소자 격리용 절연막에 의하여 활성 영역이 정의되어 있는 벌크 실리콘 기판, 벌크 실리콘 기판 상에 형성되어 있는 실리콘 에피층을 가진다. 소오스 영역과 드레인 영역은 벌크 실리콘 기판과 실리콘 에피층 모두에 형성되지만, 채널은 실리콘 에피층에만 형성된다. 그리고, 벌크 실리콘 기판의 소오스 영역과 드레인 영역 사이에는 디스터번스 방지용 절연막이 더 형성되어서, 소오스 영역과 드레인 영역을 서로 격리시킨다. 실리콘 에피층 상에 형성되는 부유 게이트, 제어 게이트 및 절연막 등은 종래 기술에 따른 스플릿 게이트형 플래쉬 메모리 소자의 그것과 동일할 수 있다.

대표도

도 2b

색인어

반도체, 비휘발성, 플래쉬 메모리, 스플릿 게이트, 디스터번스

명세서

도면의 간단한 설명

도 1a에는 종래 기술에 따른 스플릿 게이트형 플래쉬 메모리 소자의 메모리 셀 어레이를 보여주는 평면도이다.

도 1b는 도 1a의 XX'라인을 따라 절취한 개략적인 단면도이다.

도 2a는 본 발명의 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자의 메모리 셀 어레이를 보여주는 평면도이다.

도 2b는 도 2a의 YY'라인을 따라 절취한 개략적인 단면도이다.

도 3a 내지 도 7은 본 발명의 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자의 제조방법을 설명하기 위한 도면으로서,

도 3a는 1쌍의 메모리 셀에 대한 STI막 및 디스터번스 방지용 절연막의 레이아웃을 보여주기 위한 평면도이고,

도 3b는 도 3a의 YY'라인을 따라 절취한 개략적인 단면도이고,

도 4 내지 도 7은 도 3b의 결과물 상에 스플릿 게이트형 플래쉬 메모리 소자의 제조 방법을 공정 순서에 따라 순차적으로 도시한 개략적인 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 반도체 메모리 소자 및 그 제조방법에 대한 것으로서, 보다 구체적으로는 디스터번스 문제(disturbance problem)가 생기는 것을 방지할 수 있는 스플릿 게이트형 플래쉬 메모리 소자 및 그 제조방법에 관한 것이다.

비휘발성 반도체 메모리 소자는 전기적으로 데이터의 소거와 기록이 가능하고 전원이 공급되지 않아도 데이터의 보존이 가능하다. 이러한 특성으로 인하여 현재 이동 통신 시스템, 메모리 카드 등을 포함하는 다양한 분야에서 그 응용이 증가하는 추세에 있다. 이러한 비휘발성 메모리 소자 가운데 플래쉬(flash) 메모리 소자는 셀 단위의 프로그램이 가능하며, 블록 또는 섹터 단위의 소거가 가능한 메모리 소자이다. 플래쉬 메모리 소자를 구성하는 트랜지스터는 부유 게이트(floating gate)를 포함하는 것과 전하 트랩층(electron trap layer)을 포함하는 것이 있는데, 전자의 예로서 스택 게이트 트랜지스터(stacked gate transistor)와 스플릿 게이트 트랜지스터(split gate transistor) 등이 있다.

도 1a에는 종래 기술에 따른 스플릿 게이트 트랜지스터를 갖는 플래쉬 메모리 소자(이하, 스플릿 게이트형 플래쉬 메모리 소자)의 개략적인 평면도가 도시되어 있으며, 도 1b에는 도 1a의 XX' 라인을 따라 취한 개략적인 단면도가 도시되어 있다. 도 1b는 한 쌍의 메모리 셀에 대한 개략적인 단면도이다.

먼저 도 1a 및 도 1b를 참조하면, 반도체 기판(10)은 소자격리영역 예컨대 얇은 트렌치 격리(STI)막에 의하여 활성 영역(active region)이 정의되어 있다. 그리고, 스플릿 게이트형 플래쉬 메모리 소자는 반도체 기판(10), 보다 정확하게는 활성 영역의 소정 영역에 소오스 영역(source region, 15)이 형성되어 있다. 소오스 영역(15)은 한 쌍의 메모리 셀에 대한 공통 소오스(common source)이다. 그리고, 소오스 영역(15)은 횡방향으로 인접한 소오스 영역(15)과 길게 연장되어서 공통 소오스 라인(common source line)을 형성한다.

그리고, 소오스 영역(15) 양측에 인접한 반도체 기판(10) 상에 한 쌍의 부유 게이트(20)가 배치되어 있다. 부유 게이트(20)의 상부면은 게이트간 절연막(25)에 의해 덮여져 있다. 부유 게이트(20)들의 소오스 영역(15) 반대편 측벽들은 각각 제어 게이트(control gate, 30)로 덮여진다. 제어 게이트(30)는 부유 게이트(20) 측벽으로부터 연장되어 일 방향으로는 게이트간 절연막(25)의 상부면을 덮고, 다른 방향으로는 부유 게이트(20)의 소오스 영역(15) 반대편에 인접한 반도체 기판(10)의 일부를 덮는다. 제어 게이트(30)는 상기 공통 소오스 라인에 평행하게 횡방향으로 길게 연장되도록 형성되어 있으며, 횡방향으로 연장된 제어 게이트(30)들은 워드 라인으로서의 역할을 한다.

제어 게이트(30)에 인접한 반도체 기판(10) 내에는 드레인 영역(35)이 배치되어 있다. 드레인 영역(35)은 제어 게이트(30) 하부에 일부 중첩될 수 있다. 드레인 영역(35)은 콘택에 의하여 비트 라인(미도시)과 연결된다. 부유 게이트(20) 및 반도체 기판(10) 사이에는 커플링 절연막(40)이 형성되고, 제어 게이트(30)와 반도체 기판(10) 사이에는 부유 게이트(20)의 하부

로부터 확장된 커플링 절연막(40) 및 부유 게이트(20)의 측벽으로부터 확장된 터널 절연막(45)이 중첩되어 있다. 터널 절연막(45)은 제어 게이트(30) 모양대로 패터닝되어 있다. 제어 게이트(30) 하부의 커플링 절연막(40) 및 터널 절연막(45)은 MOS 트랜지스터의 게이트 절연막으로서의 역할을 한다.

그리고, 스플릿 게이트형 플래쉬 메모리 소자는 제어 게이트(30)의 양 측벽 및 부유 게이트(20)와 게이트간 절연막(25)의 소오스 영역(15)쪽 측벽에 형성되어 있는 스페이서(50)를 더 포함할 수 있다. 상기 스페이서(50)는 필수적인 구성 요소는 아니며, 일반적으로 플래쉬 소자와 논리 소자가 통합된 소자(merged device)일 경우에 부수적으로 형성될 수 있다.

이와 같이 스플릿 게이트형 플래쉬 메모리 소자에서는 부유 게이트(20)와 제어 게이트(30)가 분리된 구조를 갖는다. 부유 게이트(20)는 외부와 전기적으로 완전히 절연된 고립 구조를 갖는데, 상기 플래쉬 메모리 소자는 부유 게이트(20)로의 전자 주입(프로그램)과 방출(소거)에 따라 셀의 전류가 변하는 성질을 이용하여 데이터를 저장한다.

예를 들어, 도 1b의 선택 셀에만 프로그램하는 경우를 살펴보면, 소오스 영역(15)에 9V 이상의 고전압(V_G)을 인가하고, 드레인 영역(35)에 적절한 전압(V_{D1}) 예컨대 0V의 전압을 인가한다. 그리고 선택 셀의 제어 게이트(30)에 문턱 전압 또는 그 이상의 전압(V_{G1})을 인가하며, 비선택 셀의 제어 게이트(30)에는 0V의 전압을 인가한다. 이 경우, 선택 셀의 제어 게이트(30)에 인접한 부유 게이트(20) 하부의 반도체 기판(10)에서 핫 전자(hot electron)가 커플링 절연막(40)을 통과하여 부유 게이트(20) 내로 주입되지만, 비 선택 셀에서는 이러한 현상이 일어나지 않는 것이 원칙이다.

그런데, 스플릿 게이트형 플래쉬 메모리 소자는 선택 셀의 프로그램시에 비선택 셀에도 프로그램이 되는 문제, 즉 디스터번스 문제가 발생할 수 있다. 디스터번스 문제는 프로그램 시에 스플릿 게이트형 플래쉬 메모리 소자의 공통 소오스 영역(15)에 고전압이 인가되고, 소오스 영역(15)의 일부가 부유 게이트(20)의 일부와 중첩되어 있는 구조이기 때문에 발생한다. 보다 구체적으로 설명하면, 비록 비선택 셀의 제어 게이트(30)에 문턱 전압을 인가하지 않더라도 소오스 영역(15)에 인가된 고전압에 의하여, 공핍 영역(depletion area)이 소오스 영역(15)의 양 측면으로 확장된다. 아울러 상기 소오스 영역(15)에 커플링된 비선택 셀의 부유 게이트(20)에도 일정한 전압이 인가되는 것과 같은 효과가 나타난다. 그 결과, 비선택 셀의 채널 하부의 반도체 기판(10)을 통하여 공핍 영역(depletion area)이 확장됨에 따라서 펀치 스루우(punch through)가 발생함으로써, 비선택 셀도 선택 셀과 함께 프로그램이 되어 버리는 문제점이 초래된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 소오스 영역을 공유하는 메모리 셀 간에 디스터번스 문제가 발생하는 것을 해결할 수 있는 스플릿 게이트형 플래쉬 메모리 소자 및 그것의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자는 소자 격리용 절연막에 의하여 활성 영역이 정의되어 있는 벌크 실리콘 기판을 가진다. 상기 벌크 실리콘 기판 상에는 실리콘 에피층이 형성되어 있는데, 상기 실리콘 에피층은 활성 영역의 벌크 실리콘 기판 상에만 형성되어 있는 것이 바람직하다. 그리고, 소오스 영역과 드레인 영역은 상기 벌크 실리콘 기판 및 상기 실리콘 에피층에 형성되어 있고, 채널 영역은 상기 소오스 영역 및 상기 드레인 영역 사이의 상기 실리콘 에피층으로만 한정되어 있다.

그리고, 상기 플래쉬 소자는 디스터번스 방지용 절연막을 가지는데, 상기 소오스 영역 및 상기 드레인 영역 사이의 상기 벌크 실리콘 기판에 형성되어 있다. 상기 벌크 실리콘 기판의 소오스 영역과 상기 드레인 영역은 상기 디스터번스 방지용 절연막에 의하여 서로 격리되어 있는 것이 바람직하다. 이 경우 상기 디스터번스 방지용 절연막은 상기 소자 격리용 절연막과 서로 연결되어 있을 수 있다.

상기 플래쉬 소자의 다른 구성 요소들은 종래 기술에 따른 스플릿 게이트형 플래쉬 메모리 소자의 구조와 동일할 수 있다. 예를 들어, 상기 플래쉬 소자는 상기 에피층 상에 형성되어 있는 커플링 절연막, 상기 소오스 영역의 일부와 중첩되도록 상기 게이트 절연층 상에 형성되어 있는 부유 게이트, 상기 소오스 영역 반대편 상기 부유 게이트의 일부와 중첩되어 있으며, 상기 드레인 영역 쪽으로 연장되도록 형성되어 있는 제어 게이트, 상기 부유 게이트와 상기 제어 게이트 사이에 형성되어 있는 게이트간 절연막 및 적어도 상기 부유 게이트의 측벽과 상기 제어 게이트 사이에 개재되어 있는 터널 절연막을 포함할 수 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자의 제조방법은 먼저 벌크 실리콘 기판에 활성 영역을 정의하는 소자 격리용 절연막과 상기 활성 영역 내에 디스터번스 방지용 절연막을 형성한다. 상기 소자 격리용 절연막과 상기 디스터번스 방지용 절연막은 동시에 형성하는 것이 바람직하다. 그리고, 상기 벌크 실리콘 기판의 상기 활성 영역 상에 실리콘 에피층을 형성하는데, 상기 실리콘 에피층은 스플릿 게이트 트랜지스터의 채널 영역이 되는 물질층이다.

후속 공정은 종래 기술에 따른 플래쉬 소자의 제조방법과 동일할 수 있다. 예를 들어, 열산화 공정을 사용하여 상기 결과물 즉, 노출된 벌크 실리콘 기판 및 실리콘 에피층 상에 커플링 절연막을 형성한다. 계속해서, 상기 커플링 절연막 상에 부유 게이트를 형성하는데, 상기 부유 게이트의 일부는 상기 디스터번스 방지용 절연막과 중첩되도록 한다. 그리고, 열산화 공정과 화학기상증착법을 사용하여 적어도 상기 부유 게이트의 측벽에 터널 절연막으로서 실리콘 산화막을 형성한다. 계속해서, 이온 주입 공정을 사용하여 상기 벌크 실리콘 기판의 상기 활성 영역 및 상기 실리콘 에피층에 상기 부유 게이트의 일부와 중첩하는 소오스 영역을 형성한다. 그리고, 상기 게이트간 절연막 및 상기 터널 절연막을 개재하고서 상기 부유 게이트의 일부와 중첩되도록 제어 게이트를 형성하고, 상기 디스터번스 방지용 절연막에 대하여 상기 소오스 영역의 반대쪽 상기 벌크 실리콘 기판의 상기 활성 영역 및 상기 실리콘 에피층에 드레인 영역을 형성한다. 소오스 영역과 드레인 영역은 이 분야의 통상적인 공정 순서를 사용하여 다른 방법으로 실시할 수도 있다. 임의적인 공정이지만, 드레인을 형성한 다음에는 상기 제어 게이트의 양 측벽 및 상기 부유 게이트의 상기 소오스 영역 쪽의 상기 터널 절연막 상에 스페이서를 형성하는 공정을 더 수행할 수도 있다.

기타 실시예들의 구체적인 사항들은 후술하는 실시예의 상세한 설명 및 첨부 도면들에 포함되어 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것들이다. 도면에 있어서, 층의 두께 및/또는 영역들의 크기 등은 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

도 2a에는 본 발명의 바람직한 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자의 메모리 셀 어레이가 개략적으로 도시되어 있으며, 도 2b는 도 2a의 YY'라인을 따라 절취한 개략적인 단면도가 도시되어 있다.

도 2a 및 도 2b를 참조하면, 반도체 기판 예를 들어, 벌크 실리콘 기판(110)에는 종래와 동일한 레이아웃의 소자격리영역에 의하여 활성영역이 한정되어 있다. 예를 들어, 소자격리영역은 도시된 바와 같이 직사각형 모양의 소자격리용 절연막이 횡방향 및 종방향으로 어레이되어 있는 레이아웃일 수 있다. 횡방향으로 서로 인접한 소자 격리용 절연막 사이의 벌크 실리콘 기판(110) 영역이 스플릿 게이트 트랜지스터가 형성될 메모리 셀의 활성 영역이다. 상기 소자 격리용 절연막은 예컨대, STI막인 것이 바람직하다.

그리고, 활성영역의 벌크 실리콘 기판(110)에는 디스터번스 방지용 절연막(112)이 형성되어 있다. 디스터번스 방지용 절연막(112)은 스플릿 게이트 트랜지스터의 채널 영역(후술함)의 하부에 위치하여, 프로그램 동작 시에 비선택 셀의 소오스 영역(115)과 드레인 영역(135)이 펀치스로우가 되는 현상을 방지하는 역할을 한다. 디스터번스 방지용 절연막(112)은 실리콘산화막, 실리콘질화막, 실리콘산화질화막 등의 절연 물질로 형성되거나 이들의 복합막일 수 있다. 바람직하게는, 디스터번스 방지용 절연막(112)은 소자 격리용 절연막과 동일한 물질로 형성한다.

전술한 바와 같이, 디스터번스 방지용 절연막(112)은 펀치스로우를 방지하는 역할을 한다. 이를 위해서는, 디스터번스 방지용 절연막(112)은 채널 영역 하부의 벌크 실리콘 기판(110)에 형성되어서, 소오스 영역(115)과 드레인 영역(135)을 완전히 격리시킬 수 있어야 한다. 따라서, 디스터번스 방지용 절연막(112)은 횡방향으로 인접한 소자격리용 절연막과 서로 연결되고, 펀치스로우의 발생을 방지하기에 충분한 깊이를 가지는 것이 바람직하다.

계속해서 도 2a 및 도 2b를 참조하면, 벌크 실리콘 기판(110) 상에는 실리콘 에피층(118)이 형성되어 있다. 실리콘 에피층(118)은 소자 격리 영역 상에는 형성되지 않고, 활성 영역 상에만 형성되어 있는 것이 바람직하다. 실리콘 에피층(118)은 스플릿 게이트 트랜지스터에서 채널 영역으로서의 역할을 하기 위한 물질막이므로, 그 두께는 디자인 룰 및 소자의 동작 특성에 따라서 달라질 수 있다.

벌크 실리콘 기판(110) 및 실리콘 에피층(118)의 소정 영역에는 소오스 영역(115)과 드레인 영역(135)이 형성되어 있다. P형 벌크 실리콘 기판(110)을 사용할 경우에는 소오스 영역(115)과 드레인 영역(135)은 P 또는 As 등의 불순물 이온이 주

입된 영역이다. 소오스 영역(115)은 한 쌍의 메모리 셀에 대한 공통 소오스가 되며, 소오스 영역(115)은 횡방향으로 길게 연장되어 공통 소오스 라인을 형성한다. 본 발명의 실시예에 의하면, 벌크 실리콘 기관(110) 내의 소오스 영역(115)과 드레인 영역(135)은 디스터번스 방지용 절연막(112)에 의하여 서로 격리되어 있지만, 실리콘 에피층(118) 내의 소오스 영역(115)과 드레인 영역(135)은 이격되어 있을 뿐, 서로 격리되어 있지는 않다. 소오스 영역(115)과 드레인 영역(135) 사이의 실리콘 에피층(118)이 스플릿 게이트 트랜지스터의 채널 영역이다.

계속해서 도 2a 및 도 2b를 참조하면, 실리콘 에피층(118) 상에는 커플링 절연막(140)을 개재하고서 부유 게이트(120a, F/G)가 형성되어 있다. 부유 게이트(120a)는 폴리 실리콘으로 형성하는 것이 바람직하며, 커플링 절연막(140)은 실리콘 산화막으로 형성하는 것이 바람직하다. 부유 게이트(120a)는 소오스 영역(115)과 그 일부가 중첩되도록 배치된다. 그리고, 커플링 절연막(140)은 부유 게이트(120a)의 하부 뿐만이 아니라 채널 영역의 상부를 덮도록 길게 연장되어 있지만, 외부 회로와의 전기적인 접속을 위하여 소오스 영역(115)과 드레인 영역(135)의 상면은 노출시키도록 형성되어 있다. 그리고, 부유 게이트(120a)의 상부에는 게이트간 절연막(125)이 더 형성되어 있을 수가 있다.

계속해서 도 2a 및 도 2b를 참조하면, 터널 절연막(145a)을 개재하고서 부유 게이트(120a)의 일부와 중첩되도록 제어 게이트(130)가 형성되어 있다. 제어 게이트(130)는 폴리 실리콘이나 금속 등의 도전성 물질로 형성하는 것이 바람직하고, 터널 절연막(145a)은 실리콘 산화물로 형성하는 것이 바람직하다. 제어 게이트(130)는 드레인 영역(135) 쪽의 부유 게이트(120a)의 일부분과 중첩되어 있으며, 드레인 영역(135) 쪽으로 연장되어 있다. 제어 게이트(130)는 횡방향으로 인접한 메모리 셀의 제어 게이트와 서로 연결되어서, 플래쉬 소자의 워드 라인(W/L)으로서의 역할을 한다. 터널 절연막(145a)도 상기 제어 게이트(130)와 동일한 형태로 형성되어 있다. 제어 게이트(130)의 일부와 부유 게이트(120a)의 상면 사이에는 터널링 절연막(145a) 및 게이트간 절연막(125)이 개재되어 있으며, 제어 게이트(130)와 부유 게이트(120a)의 드레인 영역 쪽의 측벽 사이에는 터널링 절연막(145a)만이 개재되어 있다. 그리고, 제어 게이트(130)의 나머지 부분과 실리콘 에피층(118) 사이에는 커플링 절연막(140) 및 터널링 절연막(145a)이 개재되어 있다. 이 커플링 절연막(140)과 터널링 절연막(145a)은 함께 스플릿 게이트 트랜지스터의 게이트 절연막으로서의 역할을 한다.

계속해서 도 2a 및 도 2b를 참조하면, 제어 게이트(130)의 양 측벽 및 부유 게이트(120a)의 소오스 영역(115)쪽 측벽 상에는 스페이서(150)가 더 형성되어 있을 수 있다. 상기 스페이서(150)는 스플릿 게이트형 플래쉬 소자의 필수적인 구성 요소는 아니다. 그러나, 하나의 반도체 기관에 스플릿 게이트형 플래쉬 소자와 논리 소자(logic device)가 통합되어 있는 소자인 경우에는, 논리 소자의 형성 공정과 연계되어 있기 때문에 도시된 것과 같은 스페이서(150)가 형성되어 있을 수 있다. 스페이서(150)는 통상적으로 실리콘 질화물로 형성한다.

본 발명의 실시예에 따른 스플릿 게이트형 플래쉬 소자는 디스터번스 현상이 생기지 않는다. 예를 들어, 도 2b의 선택 셀에 프로그램하는 경우를 가정해보자. 이 경우, 소오스 영역(115, V_s)에는 약 9V의 고전압이 인가되며, 선택 셀의 제어 게이트(130, V_{G1})에는 문턱 전압이 인가되지만, 비선택 셀의 제어 게이트(130, V_{G2})에는 전압을 인가하지 않는다. 그리고, 드레인 영역(135, V_{D1} 및 V_{D2})에는 외부로부터 0V의 전압을 인가하는데, 실제로는 소자의 특성상 드레인 영역(135)에는 약 0.4V 정도의 전압이 인가될 수 있다. 전술한 바와 같이, 종래 기술에 의한 플래쉬 소자에서는 소오스 영역(115)에 가해지는 고전압 및 이와 커플링 되어 있는 부유 게이트(120a)의 전압에 의하여, 채널 영역의 하부로 펀치스로우가 나타났다. 그러나, 본 발명에서는 채널 영역 하부의 벌크 실리콘 기관(110)에 디스터번스 방지용 절연막(112)을 형성함으로써, 이러한 펀치스로우 현상을 방지할 수가 있다.

이하에서는 도 3a 내지 도 7을 참조하여, 본 발명의 바람직한 실시예에 따른 스플릿 게이트형 플래쉬 메모리 소자의 제조 방법에 대하여 설명한다. 본 실시예에 따라 제조된 최종적인 결과물은 도 2b에 도시된 것과 동일하다.

도 3a 및 도 3b를 참조하면, 반도체 기관 즉 벌크 실리콘 기관(110)에 소자 격리용 절연막과 디스터번스 방지용 절연막(112)을 형성하는 공정을 실시한다. 예를 들어, 소자 격리용 절연막과 디스터번스 방지용 절연막(112)은 종래의 STI 형성 공정에서 동시에 형성할 수 있다. 이를 위하여, 먼저 벌크 실리콘 기관(110)을 식각하여 트렌치를 형성한다. 트렌치는 종래와 동일한 소자격리영역 뿐만이 아니라 활성 영역의 일부에도 형성한다. 트렌치가 형성될 활성 영역(도 3a의 112에 해당하는 부분)은 스플릿 게이트 트랜지스터의 채널 영역에 상응하는 곳으로서, 그 트렌치의 길이(L)는 소오스 영역(도 2b의 115)과 드레인 영역(도 2b의 135) 사이의 거리와 같거나 이보다 더 작을 수 있다. 그러나, 활성 영역에 형성될 상기 트렌치의 폭(W)은 채널의 폭과 같아서 STI막 형성을 위한 트렌치와 서로 연결되는 것이 바람직하다. 이것은 후속 공정에서 형성될 소오스 영역과 드레인 영역을 완전히 격리시키기 위해서이다. 트렌치를 형성한 다음에는, 종래의 STI 공정과 마찬가지로 실리콘산화막, 실리콘질화막 또는 실리콘산화질화막 등을 형성하거나 이들의 복합막과 같은 절연 물질을 사용하여 트렌치를 매립한다. 그 결과, 소자격리용 절연막으로 이루어진 소자격리영역에 의하여 활성 영역이 한정되며, 벌크 실리콘 기관(110)의 활성 영역에는 디스터번스 방지용 절연막(112)이 형성된다.

도 4를 참조하면, 디스터번스 방지용 절연막(112)이 형성된 벌크 실리콘 기판(110) 상에 실리콘 에피층(118) 및 커플링 절연막(140)을 순차적으로 형성한다. 실리콘 에피층(118)은 트랜지스터의 채널 영역을 형성하기 위한 것이므로, 활성 영역 상에만 형성되고 소자격리영역 상에는 형성하지 않는 것이 바람직하다. 이를 위하여, 통상적인 실리콘 에피택셜 성장(Silicon Epitaxial Growth, SEG)법을 이용하여 벌크 실리콘 기판의 전면에 막을 성장시킨 다음, 포토리소그래피 공정을 사용하여 불필요한 부분은 선택적으로 식각하여 제거할 수 있다.

실리콘 에피층(118) 형성한 이후의 공정은 종래 기술과 동일한 공정 순서로 진행할 수 있다. 예를 들어, 커플링 절연막(140)은 실리콘산화막으로 형성하는 것이 바람직하다. 이를 위하여, 통상적인 열 산화 공정을 실시하여 적어도 실리콘 에피층(118)의 전면에 열산화막을 성장시킬 수 있다. 열산화막(140)은 도 2b의 도시된 스플릿 게이트 트랜지스터의 게이트 산화막 역할을 하는 막보다 얇은 두께로 형성하는 것이 바람직하다.

도 5를 참조하면, 커플링 절연막(140) 상에 부유 게이트(도 2의 120a) 형성을 위한 제1 폴리실리콘막(120)을 증착한다. 그리고, 제1 폴리실리콘막(120)의 상부에 하드 마스크막을 형성한 다음에 이를 패터닝하여 하드 마스크막 패턴(122)을 형성한다. 하드 마스크막 패턴(122)은 폴리실리콘과 실리콘산화막에 대하여 식각 선택비가 큰 물질 즉, 실리콘질화막으로 형성하는 것이 바람직하다. 하드 마스크막 패턴(122)은 부유 게이트(120a)가 형성될 영역의 제1 폴리실리콘막(120)을 노출시킨다.

도 6을 참조하면, 부유 게이트(120a)를 형성하기 위한 공정을 실시한다. 이를 위하여, 먼저 상기 도 5의 결과물에 대하여 열산화 공정을 실시한다. 그 결과, 하드 마스크막 패턴(122)에 의하여 노출된 제1 폴리실리콘막(120)이 산화하여, 그 상부에 타원형 산화막 즉 게이트간 절연막(125)이 생긴다. 다음으로, 이 분야의 통상적인 실리콘 질화막 제거 공정을 사용하여 하드 마스크막 패턴(122)을 제거한다. 계속해서, 상기 게이트간 절연막(125)을 식각 마스크로 사용하여 제1 폴리실리콘막(120)을 식각한다. 그 결과, 게이트간 절연막(125)의 하부에 부유 게이트(120a)가 형성된다.

도 7을 참조하면, 터널링 절연막(145), 소오스 영역(115) 및 제어 게이트(130)를 형성하기 위한 공정을 실시한다. 먼저, 터널링 절연막(145)은 통상적으로 실리콘 산화막으로 형성하는데, 터널링 절연막(145)은 예를 들어, 열산화 공정을 실시하여 형성한 실리콘 열산화막과 CVD 공정을 사용하여 증착한 CVD 산화막의 이중막일 수 있다. 실리콘 열산화막과 CVD 산화막은 이 분야의 통상적인 기술을 사용한다.

계속해서, 소오스 영역(115)이 형성될 부분을 제외한 나머지 부분을 포토레지스트 패턴 등으로 마스크한 다음에 이온 주입 공정을 실시한다. P형 실리콘 기판(110)을 사용한 경우에는, 이온 주입 공정에서는 P 또는 As 이온 등을 주입할 수 있다. 이온을 벌크 실리콘 기판(110)과 실리콘 에피층(118)의 소정 영역에 주입한 다음에는 열처리를 하여 주입된 이온을 확산시킨다. 이것은 도 7에 도시된 바와 같이 소오스 영역(115)의 일부가 부유 게이트(120a)와 중첩되도록 하기 위한 공정이다.

그리고, 상기 결과물 상에 제2 폴리실리콘막 또는 금속막과 같은 도전체막을 형성한 다음, 패터닝하여 도시된 것과 같은 제어 게이트(130)를 형성한다.

계속해서, 임의적인 공정이지만 스페이서(도 2b의 150 참조) 형성 공정을 실시한다. 전술한 바와 같이, 스페이서(150) 형성 공정은 플래쉬 메모리 소자와 로직 소자가 통합된 소자인 경우에 불가피하게 추가되는 공정이다. 하지만, 디자인 룰이 지금보다 더 작아져서, 플래쉬 메모리 소자의 소오스/드레인 영역의 구조도 LDD 구조로 제작할 경우에는 스페이서 형성 공정이 필수적인 공정이 될 수도 있다.

상기한 스페이서 형성 공정을 실시하기 이전에 또는 그 이후에 드레인 영역(135)을 형성하기 이온 주입 공정을 실시한다. 이온 주입 공정에서는 소오스 영역(115) 형성 공정과 마찬가지로 P 또는 As 이온을 사용할 수 있으며, 드레인 영역이 형성될 부분만 노출시키도록 포토레지스트 패턴을 형성한 다음, 벌크 실리콘 기판(110) 및 실리콘 에피층(118)에 이온을 주입한다.

계속해서, 제어 게이트(130) 및 스페이서 등을 마스크로 사용하여 적어도 소오스 영역(115)과 드레인 영역(135)의 상부에 형성되어 있는 절연막을 제거하면, 도 2b에 도시되어 있는 것과 같은 스플릿 게이트형 플래쉬 메모리 소자가 만들어진다.

발명의 효과

본 발명에 의하면, 소오스 영역과 드레인 영역 사이에 디스터번스 방지용 절연막을 더 형성한다. 따라서, 프로그램 동작시에 비록 소오스 영역에 고전압이 인가되더라도 공핍 영역의 확장에 따른 펀치쓰로우를 방지할 수 있으며, 그 결과 디스터번스 문제가 발생하는 것을 방지할 수가 있다.

아울러, 상기한 디스터번스 방지용 절연막을 STI 공정과 연계시켜서 형성할 수 있기 때문에 공정도 간소화시킬 수가 있다.

(57) 청구의 범위

청구항 1.

소자 격리용 절연막에 의하여 활성 영역이 정의되어 있는 벌크 실리콘 기판;

상기 벌크 실리콘 기판 상에 형성되어 있는 실리콘 에피층;

상기 벌크 실리콘 기판 및 상기 실리콘 에피층에 형성되어 있는 소오스 영역 및 드레인 영역;

상기 소오스 영역 및 상기 드레인 영역 사이의 상기 실리콘 에피층에 형성되어 있는 채널 영역;

상기 소오스 영역 및 상기 드레인 영역 사이의 상기 벌크 실리콘 기판에 형성되어 있는 디스터번스 방지용 절연막;

상기 에피층 상에 형성되어 있는 커플링 절연막;

상기 소오스 영역의 일부와 중첩되도록 상기 게이트 절연층 상에 형성되어 있는 부유 게이트;

상기 소오스 영역 반대편 상기 부유 게이트의 일부와 중첩되어 있으며, 상기 드레인 영역 쪽으로 연장되도록 형성되어 있는 제어 게이트;

상기 부유 게이트와 상기 제어 게이트 사이에 형성되어 있는 게이트간 절연막; 및

적어도 상기 부유 게이트의 측벽과 상기 제어 게이트 사이에 개재되어 있는 터널 절연막을 포함하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 2.

제1항에 있어서,

상기 디스터번스 방지용 절연막에 의하여 상기 벌크 실리콘 기판의 상기 소오스 영역과 상기 드레인 영역은 서로 격리되어 있는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 3.

제2항에 있어서,

상기 디스터번스 방지용 절연막과 상기 소자 격리용 절연막은 동시에 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 4.

제3항에 있어서,

상기 소자 격리용 절연막은 STI막인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 5.

제2항에 있어서,

상기 디스터번스 방지용 절연막과 상기 소자 격리용 절연막은 서로 연결되어 있는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 6.

제1항에 있어서,

상기 실리콘 에피층은 상기 벌크 실리콘 기판의 상기 활성 영역 상부에만 형성되어 있는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 7.

제1항에 있어서,

상기 게이트간 절연막은 타원형 산화막인 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 8.

제1항에 있어서,

상기 플래쉬 메모리 소자는 상기 제어 게이트의 양 측벽 및 상기 부유 게이트의 상기 소오스 영역 쪽의 상기 터널 절연막 상에 형성되어 있는 스페이서를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자.

청구항 9.

벌크 실리콘 기판에 활성 영역을 정의하는 소자 격리용 절연막과 상기 활성 영역 내에 디스터번스 방지용 절연막을 형성하는 단계;

상기 벌크 실리콘 기판의 상기 활성 영역 상에 실리콘 에피층을 형성하는 단계;

적어도 상기 실리콘 에피층 상에 커플링 절연막을 형성하는 단계;

상기 커플링 절연막 상에 부유 게이트와 게이트간 절연막을 형성하는 단계;

적어도 상기 부유 게이트의 측벽에 터널 절연막을 형성하는 단계;

이온 주입 공정을 사용하여 상기 벌크 실리콘 기판의 상기 활성 영역 및 상기 실리콘 에피층에 상기 부유 게이트의 일부와 중첩하는 소오스 영역을 형성하는 단계;

상기 게이트간 절연막 및 상기 터널 절연막을 개재하고서 상기 부유 게이트의 일부와 중첩되도록 제어 게이트를 형성하는 단계; 및

상기 디스터번스 방지용 절연막에 대하여 상기 소오스 영역의 반대쪽 상기 벌크 실리콘 기판의 상기 활성 영역 및 상기 실리콘 에피층에 드레인 영역을 형성하는 단계를 포함하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 10.

제9항에 있어서,

상기 디스터번스 방지용 절연막에 의하여 상기 벌크 실리콘 기판의 상기 소오스 영역과 상기 드레인 영역은 서로 격리되도록 상기 디스터번스 방지용 절연막을 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 11.

제10항에 있어서,

상기 소자 격리용 절연막은 STI공정을 사용하여 형성하고, 상기 디스터번스 방지용 절연막과 상기 STI 공정에서 동시에 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 12.

제11항에 있어서, 상기 STI 공정에서는,

상기 벌크 실리콘 기판을 식각하여 상기 벌크 실리콘 기판에 소자 격리용 트렌치 및 디스터번스 방지용 트렌치를 동시에 형성하는 단계; 및

상기 소자 격리용 트렌치 및 상기 디스터번스 방지용 트렌치에 동시에 절연 물질을 매립하여 상기 소자 격리용 절연막 및 상기 디스터번스 방지용 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 13.

제12항에 있어서,

상기 소자 격리용 트렌치와 상기 디스터번스 방지용 트렌치는 서로 연결되도록 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 14.

제9항에 있어서, 상기 커플링 절연막 형성 단계는,

상기 실리콘 에피층이 형성된 결과물을 열산화시켜서 수행하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 15.

제9항에 있어서,

상기 게이트간 절연막은 타원형 실리콘 산화막으로 형성하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 16.

제15항에 있어서, 상기 부유 게이트 및 상기 게이트간 절연막 형성 단계는,

상기 커플링 산화막 상에 폴리 실리콘막 및 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막을 패터닝하여 상기 부유 게이트가 형성될 부분의 상기 폴리 실리콘막을 노출시키는 단계;

상기 노출된 폴리 실리콘막을 열산화시켜서 상기 게이트간 절연막을 형성하는 단계;

잔류하는 상기 실리콘 질화막을 제거하는 단계; 및

상기 게이트간 절연막을 식각 마스크로 사용하여 상기 폴리 실리콘막을 건식 식각함으로써 상기 부유 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

청구항 17.

제9항에 있어서, 상기 터널 절연막 형성 단계는,

열산화 공정을 이용하여 상기 결과물의 전면에 제1 터널 절연막을 형성하는 단계; 및

화학기상증착법을 이용하여 상기 제1 터널 절연막 상에 제2 터널 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

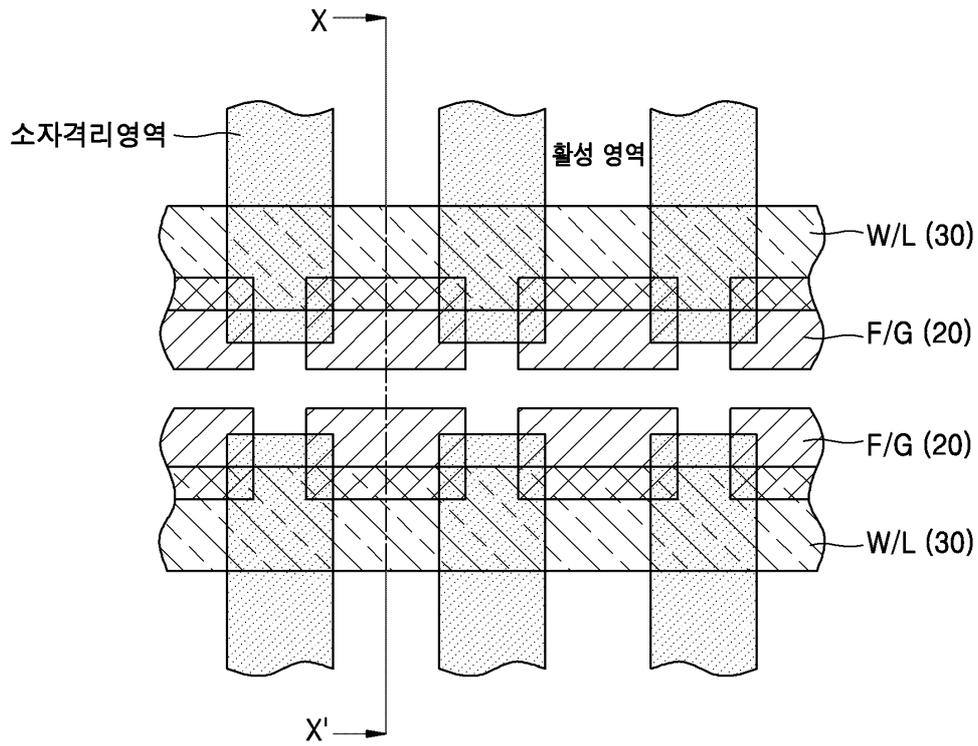
청구항 18.

제9항에 있어서, 상기 드레인 영역 형성 단계 이후에,

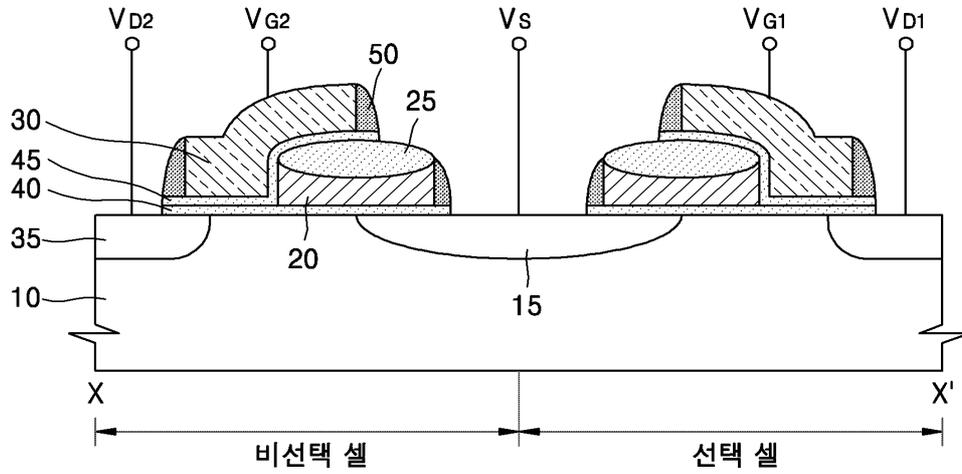
상기 제어 게이트의 양 측벽 및 상기 부유 게이트의 상기 소오스 영역 쪽 측벽상에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 플래쉬 메모리 소자의 제조방법.

도면

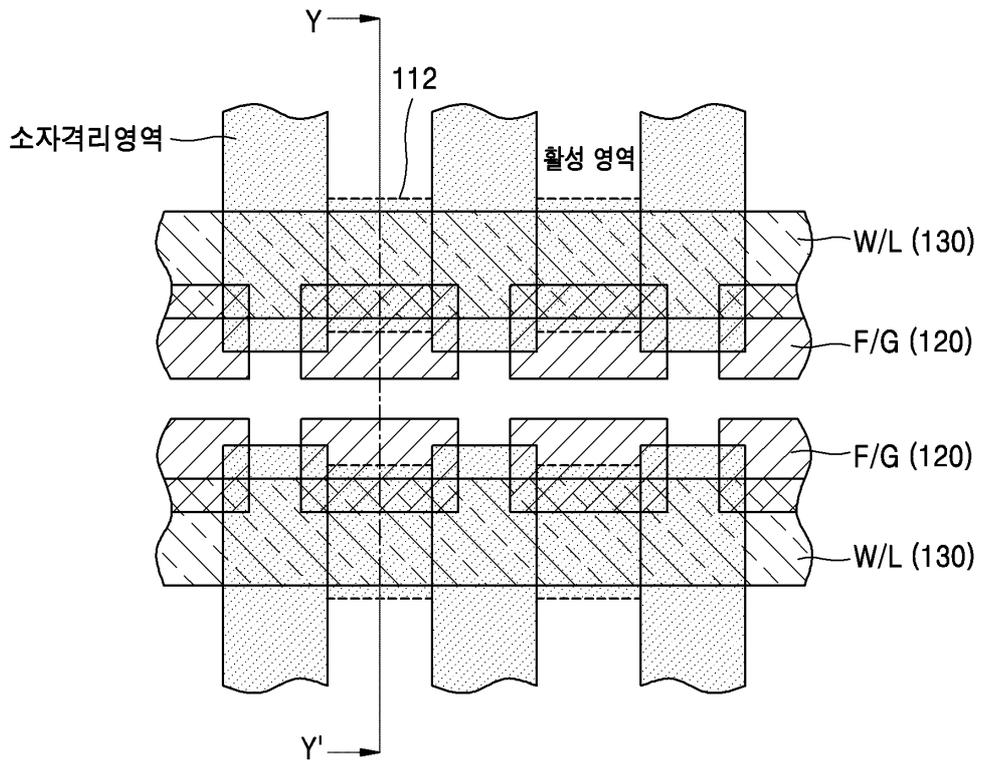
도면1a



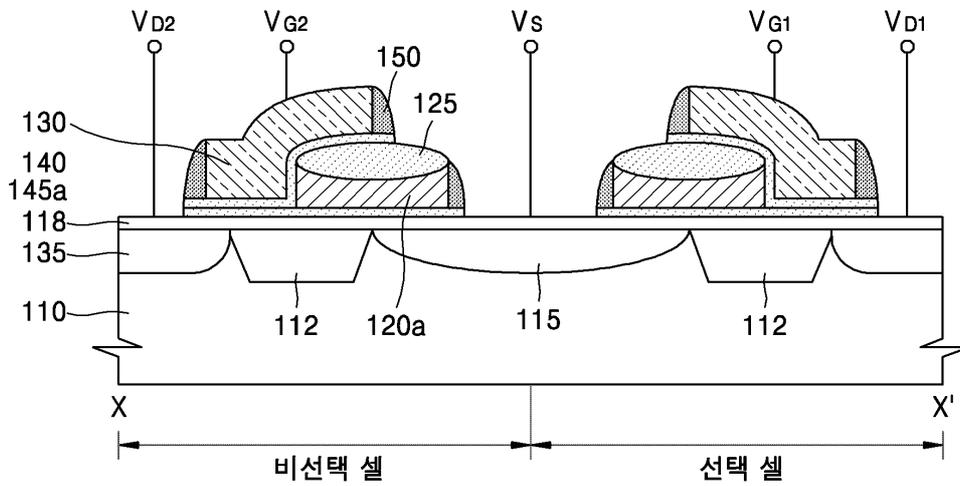
도면1b



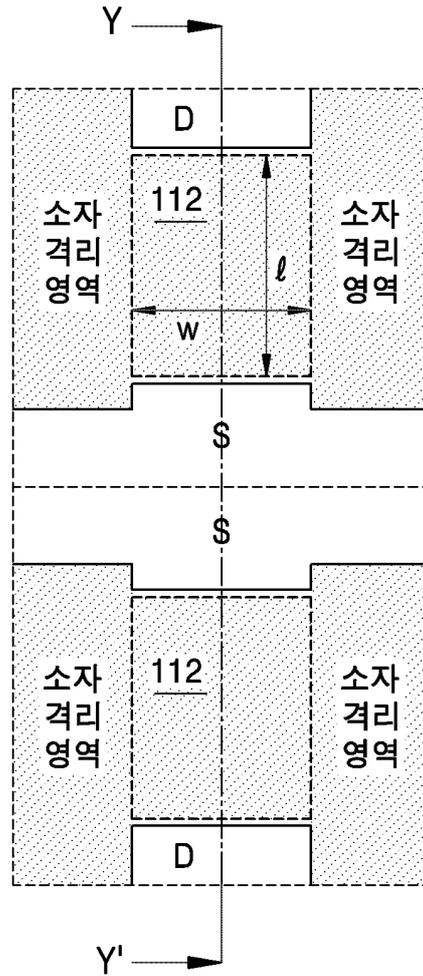
도면2a



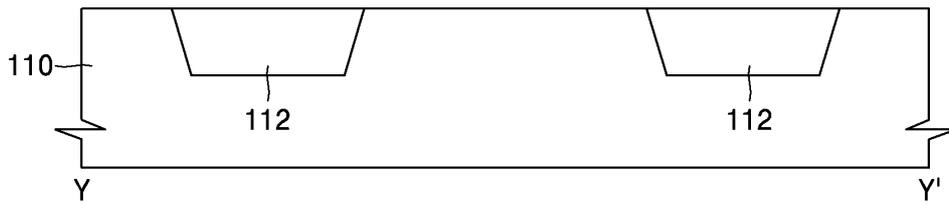
도면2b



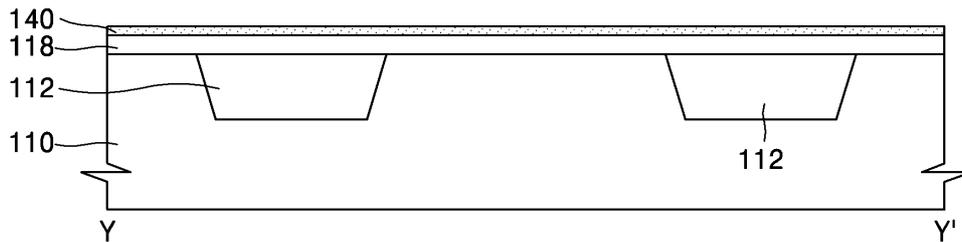
도면3a



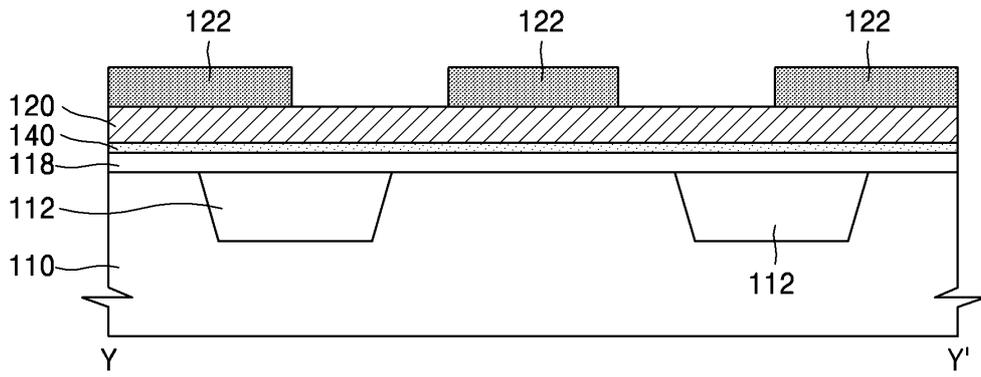
도면3b



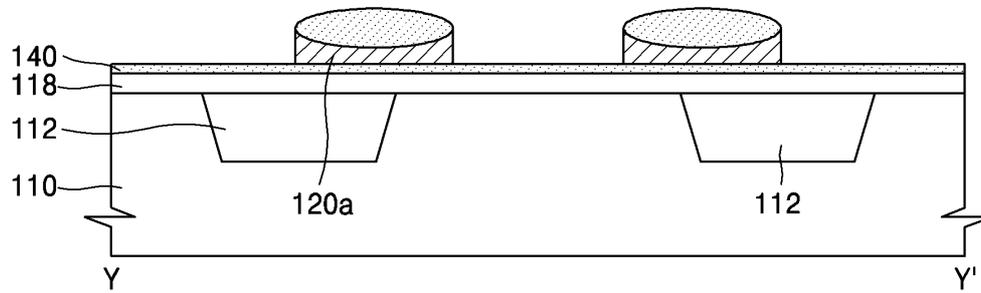
도면4



도면5



도면6



도면7

