

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4031777号

(P4031777)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 5 B
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 4 6 1
HO 1 L 27/10 (2006.01)	

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2004-143958 (P2004-143958)	(73) 特許権者	000005821
(22) 出願日	平成16年5月13日(2004.5.13)		松下電器産業株式会社
(62) 分割の表示	特願2003-568697 (P2003-568697) の分割		大阪府門真市大字門真1006番地
原出願日	平成15年2月14日(2003.2.14)	(74) 代理人	100077931
(65) 公開番号	特開2004-274075 (P2004-274075A)		弁理士 前田 弘
(43) 公開日	平成16年9月30日(2004.9.30)	(74) 代理人	100094134
審査請求日	平成16年5月13日(2004.5.13)		弁理士 小山 廣毅
(31) 優先権主張番号	特願2002-36086 (P2002-36086)	(74) 代理人	100110939
(32) 優先日	平成14年2月14日(2002.2.14)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体層に、メモリセルトランジスタとキャパシタとを有するDRAMメモリセルを設けてなる半導体装置であって、

上記メモリセルトランジスタは、

上記半導体層の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極と、

上記半導体層内において上記ゲート電極の両側方に設けられたソース拡散層及びドレイン拡散層と、

上記ゲート電極の両側面をそれぞれ覆う第1のサイドウォールとを有しており、

上記キャパシタは、

上記半導体層を掘り込んで形成されたキャパシタ用トレンチを埋める下部と、上記ゲート電極の一方の側面と対向する上部とを有するプレート電極と、

上記キャパシタ用トレンチの壁面に沿って上記プレート電極の下方に形成され、上記プレート電極の下部と上記半導体層との間に介在する容量絶縁膜と、

上記プレート電極の上部の側面を覆う絶縁膜からなる第2のサイドウォールとを有しており、

上記第1及び第2のサイドウォールによって上記ソース拡散層全体が覆われ、

さらに、

上記メモリセルトランジスタ及び上記キャパシタを覆う層間絶縁膜と、

10

20

上記層間絶縁膜の上に形成された複数のビット線と、
上記層間絶縁膜の上において、上記複数のビット線同士の間介在する、上記ビット線とは共通の導体膜から形成されたシールド線と、
上記層間絶縁膜を貫通して、上記シールド線と上記プレート電極とを互いに接続する接続部材とを備えていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、
 上記キャパシタのプレート電極と上記メモリセルトランジスタのゲート電極とは、共通の導体膜から形成されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、
 上記ゲート絶縁膜と上記容量絶縁膜とは、共通の絶縁膜を用いて形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 2 記載の半導体装置において、
 上記半導体層の上に設けられた他のゲート絶縁膜と、
 前記他のゲート絶縁膜の上に設けられた他のゲート電極と、
 上記半導体層内において上記他のゲート電極の両側方に設けられた他のソース拡散層及び他のドレイン拡散層とを有するロジックトランジスタを備え、
 上記ロジックトランジスタの他のゲート電極は、上記キャパシタのプレート電極及び上記メモリセルトランジスタのゲート電極と共通の導体膜から形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、
 上記ゲート絶縁膜と上記他のゲート絶縁膜と上記容量絶縁膜とは、共通の絶縁膜を用いて形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に DRAM をロジックチップに混載する所謂 DRAM 混載ロジック LSI に適用されるものである。

【背景技術】

【0002】

近年、小型化と大容量のメモリー容量と高速のデータ転送速度とが要求されるマルチメディア機器向けに、高性能ロジック回路と DRAM メモリ部とを混載した DRAM 混載デバイスが実用化されている。DRAM 混載デバイスは、DRAM メモリセルの情報記憶部であるキャパシタが半導体基板のトレンチ内に設けられているトレンチ型キャパシタ型と、半導体基板の主面の上方にキャパシタや電極が三次元的に積み上げられているスタックキャパシタ型とに大きく分けられる。

【0003】

一方、より簡便にメモリセルを形成できるデバイスとして、ゲート絶縁膜を容量絶縁膜として用い、ゲート電極をプレート電極として用いた、所謂プレーナ型 (MOS 構造) の DRAM 及びロジック回路を混載したデバイスが最近改めて注目を集めている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来の DRAM 混載ロジック回路については、それぞれ以下のような不具合があった。

【0005】

上記トレンチ型キャパシタ型やスタック型の DRAM 混載デバイスを製造するための

10

20

30

40

50

ロセスにおいては、メモリセルトランジスタに加えてメモリセルキャパシタを形成するために複雑な工程が追加されている。その結果、設計変更などのための開発期間や、デバイスの製造に要する期間が長期化する上に、デバイスの歩留まり向上が益々困難となり、製造コストも高くなるという不具合があった。

【0006】

また、プレーナ型のDRAM混載デバイスについては、これを製造するためのプロセスは短く単純であるが、メモリセルのサイズがスタックキャパシタ型やトレンチ型キャパシタ型よりも大きくなってしまいうために、大容量のDRAMをロジック回路に混載することが困難になってしまうという不具合があった。

【0007】

本発明の目的は、複雑な工程を追加することなく、簡便に所望の容量のDRAMをロジック回路に混載したデバイスを実現するための半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明の半導体装置は、半導体層に、メモリセルトランジスタとキャパシタとを有するDRAMメモリセルを設けてなる半導体装置であって、上記メモリセルトランジスタ及び上記メモリセルキャパシタとを覆う層間絶縁膜と、上記層間絶縁膜の上に形成された複数のビット線と、上記層間絶縁膜の上において、上記複数のビット線同士の間介在する、上記ビット線とは共通の導体膜から形成されたシールド線と、上記層間絶縁膜を貫通して、上記シールド線と上記プレート電極とを互いに接続する接続部材とを備え、上記メモリセルトランジスタは、上記半導体層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記半導体層内において上記ゲート電極の両側方に設けられたソース拡散層及びドレイン拡散層と、上記ゲート電極の側面を覆う第1のサイドウォールとを有しており、上記キャパシタは、上記半導体層を掘り込んで形成されたキャパシタ用トレンチを埋める下部と、上記ゲート電極と対向する上部とを有するプレート電極と、上記キャパシタ用トレンチの壁面に沿って上記プレート電極の下方に形成され、上記プレート電極の下部と上記半導体層との間に介在する容量絶縁膜と、上記プレート電極の上部の側面を覆う絶縁膜からなる第2のサイドウォールとを有しており、上記第1及び第2のサイドウォールによって上記ソース拡散層全体が覆われている。

【0009】

これにより、基板上の段差が小さいトレンチキャパシタ構造を有しながら、小面積で大容量を有するDRAMメモリセルが得られる。しかも、第1及び第2のサイドウォールによってソース拡散層が覆われているので、ソース拡散層のシリサイド化や不純物の侵入が抑制されるので、メモリセルのリーク電流を抑制することが可能になる。

【0010】

そして、上記メモリセルトランジスタ及び上記メモリセルキャパシタとを覆う層間絶縁膜と、上記層間絶縁膜の上に形成された複数のビット線と、上記層間絶縁膜の上において、上記複数のビット線同士の間介在する、上記ビット線とは共通の導体膜から形成されたシールド線と、上記層間絶縁膜を貫通して、上記シールド線と上記プレート電極とを互いに接続する接続部材とを備えていることより、シールド線がプレートコンタクトによってプレート電極に接続されているので、シールド線を介してプレート電極の電位を固定することが可能になる。よって、プレート電極の電位が頻繁に変化するのを抑制することができ、容量絶縁膜への電荷保持能力を高めることができる。しかも、シールド線は、ビット線と共通の導体膜から形成されているので、この構造を採用することによって製造工程の増大を招くものではない。

【0011】

上記キャパシタのプレート電極と上記メモリセルトランジスタのゲート電極とは、共通の導体膜から形成されていることにより、製造工程の簡素化による製造コストの低減と、メモリサイズの縮小が可能になる。

【0012】

10

20

30

40

50

上記半導体層の上に設けられたゲート電極と、上記半導体層内に設けられたソース・ドレイン領域とを有するロジックトランジスタを備え、上記ロジックトランジスタのゲート電極は、上記キャパシタのプレート電極及び上記メモリセルトランジスタのゲート電極と共通の導体膜から形成されていることにより、いわゆるDRAM・ロジック混載型の半導体装置を安価に提供することができる。

【0013】

上記ゲート絶縁膜と上記容量絶縁膜とは、共通の絶縁膜を用いて形成されていることにより、製造コストの低減を図ることができる。

【発明の効果】

【0014】

本発明によれば、工程数の増加を極力抑制しながら、ソース拡散層を介するリーク電流を抑制することなどができ、よって、記憶保持機能の高いメモリ部を備えた半導体装置及びその製造方法を実現することができる。

【発明を実施するための最良の形態】

【0015】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置のうちメモリ部の構成を示す平面図である。図2(a)、(b)は、それぞれ図1に示すIIa-IIa線における断面図及びIIb-IIb線における断面図である。なお、図2(a)においては、半導体装置のメモリ領域R_{memo}及びロジック回路領域R_{logic}における断面構造が示されているが、図1及び図2(b)においては、ロジック回路領域R_{logic}における平面構造及び断面構造の図示は省略されている。

【0016】

図1及び図2(a)、(b)に示すように、本実施形態の半導体装置は、p型のシリコン基板10と、シリコン基板10のメモリ領域R_{memo}に設けられたpウエル11aと、シリコン基板10のロジック回路領域R_{logic}に設けられたnウエル11b及びpウエル11cと、メモリ領域R_{memo}のpウエル11aの底部を囲む深部nウエル11dとを有しており、いわゆるトリプルウエル構造を有している。また、メモリ領域R_{memo}における活性領域を区画するシャロートレンチ分離12aと、ロジック回路領域R_{logic}における活性領域を区画するシャロートレンチ分離12bとを備えている。

【0017】

そして、メモリ領域R_{memo}においては、pウエル11aの上に、ゲート電極16a、ゲート絶縁膜14a、絶縁膜サイドウォール25a、低濃度のn型不純物を含む低濃度ドレイン拡散層17b、高濃度のn型不純物を含む高濃度ドレイン拡散層17a、ソース拡散層18及びシリサイド層16dを有するメモリセルトランジスタT_{rm}と、プレート電極16b、ストレージノードとして機能するn型拡散層19、容量絶縁膜15及び絶縁膜サイドウォール25bを有するトレンチ型キャパシタC_{pt}とが設けられている。ここで、高濃度ドレイン拡散層17a及び低濃度ドレイン拡散層17bによってドレイン拡散層が構成され、高濃度ドレイン拡散層17a、低濃度ドレイン拡散層17b及びシリサイド層16dにより、メモリセルトランジスタのドレイン領域が構成されている。一方、ソース拡散層18は、全体的に低濃度のn型不純物を含む低濃度不純物拡散層のみによって構成されている。また、ソース拡散層18は2つの絶縁膜サイドウォール25a、25bによって覆われていることから、ソース拡散層18の上にはシリサイド層が形成されていないので、ソース領域はソース拡散層18のみによって構成されている。

【0018】

また、ロジック回路領域R_{logic}においては、ゲート電極16c、ゲート絶縁膜14b、絶縁膜サイドウォール26及びp型ソース・ドレイン拡散層19を有するpチャネル型MISトランジスタ(pMIS)と、ゲート電極16c、ゲート絶縁膜14b、絶縁膜サイドウォール26及びn型ソース・ドレイン拡散層20を有するnチャネル型MISトランジスタ(nMIS)とが設けられている。

10

20

30

40

50

【0019】

そして、基板全体には層間絶縁膜30が堆積されており、層間絶縁膜30を貫通してメモリ領域R memoのメモリセルトランジスタT_{rm}の高濃度ドレイン拡散層17aに接続されるビット線コンタクト31と、ビット線コンタクト31に接続され層間絶縁膜30の上に延びるビット線32とが設けられている。このメモリ領域R memoの構造は、いわゆるオープンビット線構造である。

【0020】

なお、ロジック回路領域R logcにおいても、層間絶縁膜30を貫通してソース・ドレイン拡散層19, 20に到達するソースコンタクト及びドレインコンタクトや、層間絶縁膜30を貫通してゲート電極16cにコンタクトするゲートコンタクトなどが設けられているが、これらの部材は本発明の本質に関わる部分ではないので、図示が省略されている。

10

【0021】

ここで、本実施形態の第1の特徴は、ソース拡散層18が2つのサイドウォール25a, 25bによって覆われていること、そして、その結果、ソース拡散層18の上にはシリサイド層が形成されないこと、ソース領域には高濃度ドレイン拡散層17aと同程度に高濃度の不純物を含む拡散層は存在せず、低濃度ドレイン拡散層17bと同程度に低濃度の不純物を含むソース拡散層18のみが存在することである。また、本実施形態の第2の特徴は、メモリ領域R memoにおける層間絶縁膜30の上に、ビット線32とほぼ平行に延びるシールド線33と、層間絶縁膜30を貫通してシールド線33とプレート電極16bとを接続するプレートコンタクト31とが設けられており、このシールド線33がビット線32と同じ配線層に設けられている点である。そして、シールド線33はさらに上層の配線(図示せず)に接続されていて、この上層の配線からシールド線33を介してプレート電極16bに、電源電圧V_{DD}と接地電圧V_{SS}との間の中間電圧(例えばV_{DD}/2)を印加するように構成されている。シールド線33は、特にオープンビット線構造において必要な部材であり、元来、両側のビット線32同士の電氣的信号の干渉を抑制するために設けられている。

20

【0022】

本実施形態では、ソース拡散層18が2つの絶縁膜サイドウォール25a, 25bによって覆われているので、サイドウォール形成後の工程で、ソース拡散層18がシリサイド化されたり、各種不純物がソース拡散層18に侵入するのを抑制することができる。そして、この各種不純物の侵入を抑制することができたり、ソース拡散層18の上にはシリサイド層が形成されないことにより、ソース拡散層18を介するリークが低減される。

30

【0023】

また、シールド線33がプレートコンタクト34によってプレート電極16bに接続され、シールド線33を介してプレート電極16bの電位が固定される。つまり、本実施形態により、プレート電極16bの電位が頻繁に変化するのを抑制することができ、容量絶縁膜への電荷保持能力を高めることができる。そして、このシールド線33は、後述するように、ビット線32と同じ導体膜からパターンングされるものである。この構造を採用することによって製造工程の増大を招くものではない。よって、本実施形態により、いわゆるオープンビット線方式のレイアウトを採りながら、プレート電極16bの電位が頻繁に変化するのを抑制することができる。また、プレート電極16bがメモリセルトランジスタのゲート電極16aと共通の導体膜から形成されているので、メモリセルサイズの縮小が可能になる。

40

【0024】

次に、本発明の第1の実施形態における半導体装置の製造方法について説明する。図3(a)~(e)及び図4(a)~(d)は、本実施形態における半導体装置の製造工程を示す断面図である。ただし、図3(a)~(e)及び図4(a)~(d)においては、メモリ領域R memoのみを図示して、ロジック回路領域R logcの図示は省略する。

【0025】

まず、図3(a)に示す工程で、p型のシリコン基板10の上に、例えば厚みが200

50

nmのSiO₂膜を形成した後、キャパシタ用トレンチを形成しようとする領域を開口したレジストマスク(図示せず)を形成する。そして、レジストマスクを用いてSiO₂膜をパターニングすることにより、酸化膜マスク51を形成する。そして、酸化膜マスク51を用いたドライエッチングにより、シリコン基板10にキャパシタ用トレンチ52を形成する。

【0026】

次に、図3(b)に示す工程で、熱酸化により、シリコン基板10のうち露出している部分(キャパシタ用トレンチ52の壁面)の上に、厚み約20nmの注入保護用酸化膜53を形成する。この注入保護用酸化膜53は、キャパシタ用トレンチ52のエッジ部を丸めるとともに、その表面を清浄化、平滑化するためのものである。次に、酸化膜マスク51を注入マスクとして用い、砒素イオン(A^{s+})を注入して、ストレージノードとなるn型拡散層19を形成する。

10

【0027】

次に、図3(c)に示す工程で、酸化膜マスク51及び注入保護用酸化膜53を除去した後、基板上に、厚み20nmの熱酸化膜であるシリコン酸化膜55と、厚み95nmのシリコン窒化膜54とを順次形成した後、シリコン窒化膜54のうちトレンチの上方に位置する部分を平坦にする。

【0028】

次に、図3(d)に示す工程で、シリコン窒化膜54の上に、シャロートレンチを形成しようとする領域を開口したレジストマスク(図示せず)を形成し、レジストマスクを用いて、ドライエッチングを行なって、窒化膜マスク54a及び下敷き酸化膜55aを形成する。さらに、窒化膜マスク54a等をマスクとして用いてドライエッチングを行なうことにより、シリコン基板10にシャロートレンチ56を形成する。このとき、図示しないが、ロジック回路領域R_{logic}においても、シャロートレンチを形成する。

20

【0029】

次に、図3(e)に示す工程で、基板上に、シリコン酸化膜(図示せず)を堆積した後、CMPにより、シリコン酸化膜と窒化膜マスク54aとを平坦化する。これにより、シャロートレンチ56内にシリコン酸化膜が埋め込まれて、シャロートレンチ分離12aが形成される。このとき、ロジック回路領域R_{logic}にも、図2(a)に示すようなシャロートレンチ分離12bが形成される。その後、ウエットエッチングにより窒化膜マスク54aを選択的に除去した後、さらに、ウエットエッチングにより下敷き酸化膜55aを除去する。その際、シャロートレンチ分離12aの表面部もエッチングされるが、全体の厚みに対してわずかの厚み分がエッチングされるだけである。さらに、ロジック回路領域R_{logic}の一部を覆うレジストマスク(図示せず)を用いて、シリコン基板10のうちメモリ領域R_{memo}とロジック回路領域R_{logic}の一部とにリンイオン(P⁺)の注入を行なって、メモリ領域R_{memo}とロジック回路領域R_{logic}の一部とに亘って深部nウエル11d(図2(a)参照)を形成する。さらに、ロジック回路領域R_{logic}のpチャネル型トランジスタ形成領域を覆うレジストマスク(図示せず)を用いて、シリコン基板10のうちメモリ領域R_{memo}とロジック回路領域R_{logic}の一部とにボロンイオン(B⁺)の注入を行なって、メモリ領域R_{memo}のpウエル11aと、ロジック回路領域R_{logic}のpウエル11c(図2(a)参照)とを形成する。また、メモリ領域R_{memo}と、ロジック回路領域R_{logic}のnチャネル型トランジスタ形成領域とを覆うレジストマスク(図示せず)を用いて、リンイオン(P⁺)の注入を行なって、ロジック回路領域R_{logic}にnウエル11b(図2(a)参照)を形成する。なお、図2(a)には図示されていないが、メモリ領域R_{memo}及びロジック回路領域R_{logic}において、シャロートレンチ分離12a, 12bの直下方にはチャンネルストップ用の不純物が注入され、トランジスタのチャンネル領域下方にはパンチスルーストップ用の不純物が注入される。

30

40

【0030】

なお、本実施形態では、シャロートレンチ分離12aを形成した後に、深部ウエル11d, pウエル11a, 11c及びnウエル11bを形成したが、図3(a)に示すキャパ

50

シタ用トレンチ52を形成する前にこれらの各ウエルを形成してもよい。

【0031】

次に、図4(a)に示す工程で、メモリ領域R_{memo}の容量絶縁膜15及びゲート絶縁膜14a、ロジック回路領域R_{logic}のゲート絶縁膜14bとなる厚み2~6nmの熱酸化膜を形成した後、その上に、厚み200nmのポリシリコン膜を堆積する。その後、ポリシリコン膜及び熱酸化膜をパターニングすることにより、メモリ領域R_{memo}に、トレンチ型キャパシタの容量絶縁膜15及びプレート電極16bと、メモリセルトランジスタのゲート絶縁膜14a及びゲート電極16aとを形成する。また、図4(a)には図示されていないが、ロジック回路領域R_{logic}には、pチャネル型MISトランジスタ及びnチャネル型MISトランジスタのゲート絶縁膜14b及びゲート電極16cを形成する(図2(a)参照)。なお、ポリシリコン膜のパターニングに先立って、ポリシリコン膜のうち、pチャネル型MISトランジスタ及びnチャネル型MISトランジスタの双方、あるいはpチャネル型MISトランジスタのゲート電極となる部分に、ゲート電極抵抗を下げるための不純物イオンの注入を行なってもよい。

10

【0032】

その後、メモリ領域R_{memo}のメモリセルトランジスタ及びロジック回路領域R_{logic}のnチャネル型MISトランジスタにエクステンション用濃度の砒素イオンを注入する。これにより、メモリ領域R_{memo}においては低濃度ドレイン拡散層17b及びソース拡散層18が形成され、ロジック回路領域R_{logic}においてはnチャネル型MISトランジスタのエクステンション領域が形成される。このとき、メモリセルトランジスタのソース拡散層18は、ストレージノードであるn型拡散層19とオーバーラップするように形成される。また、図示されていないが、ロジック回路領域R_{logic}においては、pチャネル型MISトランジスタのエクステンション用濃度のフッ化ボロンイオンを注入して、pチャネル型MISトランジスタのエクステンション領域を形成する。

20

【0033】

次に、図4(b)に示す工程で、基板上の全面にシリコン酸化膜及びシリコン窒化膜を順次堆積した後、異方性エッチングを行ない、メモリセルトランジスタのゲート電極16aの側面上に絶縁膜サイドウォール25aを形成する。このとき、トレンチ型キャパシタのプレート電極16bの側面上にも、絶縁膜サイドウォール25bが形成される。そして、メモリセルトランジスタのソース拡散層18は、2つの絶縁膜サイドウォール25a、25bによって覆われる。また、ロジック回路領域R_{logic}において、pチャネル型MISトランジスタ及びnチャネル型MISトランジスタの各ゲート電極16cの側面上にも絶縁膜サイドウォール26が形成される(図2(a)参照)。その後、ゲート電極16a、絶縁膜サイドウォール25a、25bをマスクにして、ヒ素イオン(A^{s+})の注入を行ない、メモリ領域R_{memo}の低濃度ドレイン拡散層17b及びその下方の領域に、高濃度ドレイン拡散層17aを形成する。ただし、メモリセルトランジスタのソース拡散層18は、2つの絶縁膜サイドウォール25a、25bによって覆われているので、この工程で、ソース拡散層18には高濃度のn型不純物がドーブされず、高濃度ソース拡散層は形成されない。

30

【0034】

また、ロジック回路領域R_{logic}においても、pチャネル型MISトランジスタ及びnチャネル型MISトランジスタの高濃度ソース・ドレイン拡散層用の不純物イオンを注入して、ソース・ドレイン拡散層19、20(図2(a)参照)を形成する。

40

【0035】

次に、図4(c)に示す工程で、各層の低抵抗化のためのサリサイド工程を行なう。このとき、メモリ領域R_{memo}において、ゲート電極16a、プレート電極16bの上部がコバルトシリサイド層になり、ドレイン拡散層17aの上部がコバルトシリサイド層16dになる。また、図2(a)に示すように、ロジック回路領域R_{logic}において、ゲート電極16c及びソース・ドレイン拡散層19、20の上部もコバルトシリサイド層になる。一方、メモリセルトランジスタのソース拡散層18は、2つの絶縁膜サイドウォール25a

50

、25bによって覆われているので、この工程で、ソース拡散層18の上にはシリサイド層は形成されない。

【0036】

次に、図4(d)に示す工程で、基板上に厚み900nmのシリコン酸化膜を堆積した後、CMPにより平坦化を行ない、層間絶縁膜30を形成する。さらに、層間絶縁膜30を貫通して、メモリ領域R_{memo}の高濃度ドレイン拡散層17a上のコバルトシリサイド層16d、プレート電極16b(のシリサイド層)にそれぞれ到達するコンタクトホールを形成した後、各コンタクトホールをタングステンなどによって埋めることにより、ビット線コンタクト31及びプレートコンタクト34を形成する。なお、ロジック回路領域R_{logic}においても、ソース・ドレインコンタクトが形成される(図2(a)に図示せず)。その後、層間絶縁膜30の上に、厚み400nmのアルミニウム合金膜(又は銅合金膜)を堆積した後、これをパターニングすることにより、ビット線32及びシールド線33を形成する。これにより、図1及び図2(a)、(b)に示す半導体装置の構造が得られる。

10

【0037】

なお、本実施形態では、ゲート絶縁膜14a及び容量絶縁膜15として熱酸化膜を用いて説明したが、例えば、酸化膜、酸窒化膜、酸化膜/窒化膜の積層膜であるON膜、酸化膜/窒化膜/酸化膜の積層膜であるONO膜、高誘電体膜であるHfO₂膜、ZrO₂膜などを共通の絶縁膜として用いることができる。また、ロジック回路領域R_{logic}においては、トランジスタの種類に応じて、ゲート絶縁膜の厚みが2種類、3種類など、複数種類設けられていることが多い。そして、ロジック回路領域R_{logic}の各トランジスタのゲート絶縁膜14bも、酸化膜だけでなく、酸窒化膜、酸化膜/窒化膜の積層膜であるON膜、酸化膜/窒化膜/酸化膜の積層膜であるONO膜、高誘電体膜であるHfO₂膜、ZrO₂膜などであってもよい。

20

【0038】

本実施形態の製造方法によると、図3(a)に示すシャロートレンチを形成する工程の後、図4(a)に示す容量絶縁膜15を形成する工程までに、図3(b)に示す工程と、図3(c)に示す工程とにおいて、2回の酸化工程と2回の酸化膜除去工程とを実施するため、キャパシタ用トレンチのコーナー部の形状を容易に丸めることが可能となるとともに、トレンチの壁面が清浄化、平滑化されるので、後に形成される容量絶縁膜15の特性が向上する。この特性の向上とは、例えば膜厚がほぼ均一化されて、容量絶縁膜15を介するリークが低減されたり、容量値のばらつきが小さくなるなどによって、電荷保持機能が安定することを意味する。

30

【0039】

また、ソース拡散層18が2つの絶縁膜サイドウォール25a、25bによって覆われているので、サイドウォール形成後の工程で、ソース拡散層18がシリサイド化されたり、各種不純物がソース拡散層18に侵入するのを抑制することができる。そして、この各種不純物の侵入を抑制することができたり、ソース拡散層18の上にはシリサイド層が形成されないことにより、ソース拡散層18を介するリークが低減される。

【0040】

さらに、本実施形態の製造方法によると、層間絶縁膜30を貫通するビット線コンタクト31及びプレートコンタクト34を共通の工程で形成することができ、かつ、ビット線32及びシールド線33も共通の金属膜から同時に形成することができる。したがって、工程数の増大を招くことなく、プレート電極16bの電位安定化のための構造を実現することができる。

40

【0041】

特に、ロジック回路領域R_{logic}のMISトランジスタのゲート絶縁膜を形成する前に、メモリ領域R_{memo}のキャパシタ用トレンチ52を形成することができるため、ロジック回路領域R_{logic}のソース・ドレイン拡散層の不純物の拡散などに起因するトランジスタの性能を悪化させることなく、トレンチ型キャパシタを有するDRAM混載型ロジックLSIを、安価に製造することができる。

50

【 0 0 4 2 】

また、トレンチ型キャパシタのプレート電極 1 6 b が、メモリセルトランジスタのゲート電極 1 6 a や、ロジック回路領域 R logc の M I S トランジスタのゲート電極 1 6 c と、同じ導体膜（ポリシリコン膜）から形成されるので、工程の簡素化を図ることができる。

【 0 0 4 3 】

（第 2 の実施形態）

次に、本発明の第 2 の実施形態における半導体装置の製造方法について説明する。本実施形態においても、形成される半導体装置の構造は、図 1 及び図 2 (a) , (b) に示す構造と同じであるが、工程の手順が異なっている。図 5 (a) ~ (c) 及び図 6 (a) ~ (c) は、本実施形態における半導体装置の製造工程を示す断面図である。ただし、図 5 (a) ~ (c) 及び図 6 (a) ~ (c) においては、メモリ領域 R memo のみを図示して、ロジック回路領域 R logc の図示は省略する。なお、本実施形態においても、各要素の厚みや不純物濃度は第 1 の実施形態と同じであるので、その記載を省略する。

10

【 0 0 4 4 】

まず、図 5 (a) に示す工程で、p 型のシリコン基板 1 0 の上に、例えば厚みが 2 0 0 n m の S i O₂ 膜を形成した後、キャパシタ用トレンチを形成しようとする領域を開口したレジストマスク（図示せず）を形成する。そして、レジストマスクを用いて S i O₂ 膜をパターニングすることにより、酸化膜マスク 5 1 を形成する。そして、酸化膜マスク 5 1 を用いたドライエッチングにより、シリコン基板 1 0 にキャパシタ用トレンチ 5 2 を形成する。

20

【 0 0 4 5 】

次に、図 5 (b) に示す工程で、酸化膜マスク 5 1 を除去した後、キャパシタ用トレンチ 5 2 内及びシリコン基板 1 0 の上に、厚み 2 0 n m のシリコン酸化膜 5 5 と、厚み 9 5 n m のシリコン窒化膜 5 4 とを順次形成し、例えば C M P によりシリコン窒化膜 5 4 の平坦化を行なう。

【 0 0 4 6 】

次に、図 5 (c) に示す工程で、シリコン窒化膜 5 4 の上に、シャロートレンチを形成しようとする領域を開口したレジストマスク（図示せず）を形成し、レジストマスクを用いて、ドライエッチングを行なって、窒化膜マスク 5 4 a 及び下敷き酸化膜 5 5 a を形成する。さらに、窒化膜マスク 5 4 a 等をマスクとして用いてドライエッチングを行なうことにより、シリコン基板 1 0 にシャロートレンチ 5 6 を形成する。このとき、図示しないが、ロジック回路領域においても、シャロートレンチを形成する。

30

【 0 0 4 7 】

次に、図 6 (a) に示す工程で、第 1 の実施形態における図 3 (e) に示す工程と同様の処理を行なって、基板上に、シリコン酸化膜（図示せず）を堆積した後、C M P により、シリコン酸化膜と窒化膜マスク 5 4 a とを平坦化する。これにより、シャロートレンチ 5 6 内にシリコン酸化膜が埋め込まれて、シャロートレンチ分離 1 2 a が形成される。このとき、ロジック回路領域 R logc にも、図 2 (a) に示すようなシャロートレンチ分離 1 2 b が形成される。その後、ウエットエッチングにより窒化膜マスク 5 4 a を選択的に除去した後、さらに、ウエットエッチングにより下敷き酸化膜 5 5 a を除去する。

40

【 0 0 4 8 】

その後、キャパシタ用トレンチ 5 2 内及びシリコン基板 1 0 の上に、注入保護用酸化膜 5 3 を形成し、さらに、注入保護用酸化膜 5 3 の上にレジストマスク 5 8 を形成し、このレジストマスク 5 8 を注入マスクとして用い、砒素イオン (A s⁺) を注入して、ストレージノードとなる n 型拡散層 1 9 を形成する。このとき、後に形成されるメモリセルトランジスタのソース拡散層と n 型拡散層 1 9 とがオーバーラップするように、レジストマスク 5 8 の横方向寸法にマージンが設定されている。

【 0 0 4 9 】

次に、図 6 (b) に示す工程で、レジストマスク 5 8 を除去した後、ウエットエッチングにより注入保護用酸化膜 5 3 を除去する。さらに、ロジック回路領域 R logc の一部を覆

50

レジストマスク（図示せず）を用いて、シリコン基板 10 のうちメモリ領域 R memo とロジック回路領域 R logc の一部とにリンイオン (P^+) の注入を行なって、メモリ領域 R memo とロジック回路領域 R logc の一部とに亘って深部 n ウエル 11 d（図 2（a）参照）を形成する。さらに、ロジック回路領域 R logc の p チャネル型トランジスタ形成領域を覆うレジストマスク（図示せず）を用いて、シリコン基板 10 のうちメモリ領域 R memo とロジック回路領域 R logc の一部とにボロンイオン (B^+) の注入を行なって、メモリ領域 R memo の p ウエル 11 a と、ロジック回路領域 R logc の p ウエル 11 c（図 2（a）参照）とを形成する。また、メモリ領域 R memo と、ロジック回路領域 R logc の n チャネル型トランジスタ形成領域とを覆うレジストマスク（図示せず）を用いて、リンイオン (P^+) の注入を行なって、ロジック回路領域 R logc に n ウエル 11 b（図 2（a）参照）を形成する。なお、図 2（a）には図示されていないが、メモリ領域 R memo 及びロジック回路領域 R logc において、シャロートレンチ分離 12 a, 12 b の直下方にはチャンネルストップ用の不純物が注入され、トランジスタのチャンネル領域下方にはパンチスルーストップ用の不純物が注入される。

10

【0050】

なお、本実施形態では、シャロートレンチ分離 12 a を形成した後に、深部ウエル 11 d, p ウエル 11 a, 11 c 及び n ウエル 11 b を形成したが、図 5（a）に示すキャパシタ用トレンチ 5 2 を形成する前にこれらの各ウエルを形成してもよい。

【0051】

次に、図 6（c）に示す工程で、メモリ領域 R memo の容量絶縁膜 15, ゲート絶縁膜 14 a 及びロジック回路領域 R logc のゲート絶縁膜 14 b となる熱酸化膜を形成した後、その上に厚み 200 nm のポリシリコン膜を堆積する。その後、ポリシリコン膜及び熱酸化膜をパターニングすることにより、メモリ領域 R memo に、トレンチ型キャパシタの容量絶縁膜 15 及びプレート電極 16 b と、メモリセルトランジスタのゲート絶縁膜 14 a 及びゲート電極 16 a とを形成する。また、図 6（c）には図示されていないが、ロジック回路領域 R logc には、p チャネル型 MIS トランジスタ及び n チャネル型 MIS トランジスタのゲート絶縁膜 14 b 及びゲート電極 16 c を形成する（図 2（a）参照）。なお、ポリシリコン膜のパターニングに先立って、ポリシリコン膜のうち、p チャネル型 MIS トランジスタ及び n チャネル型 MIS トランジスタの双方、あるいは p チャネル型 MIS トランジスタのゲート電極となる部分に、ゲート電極抵抗を下げるための不純物イオンの注入を行なってもよい。

20

30

【0052】

その後、メモリ領域 R memo のメモリセルトランジスタ及びロジック回路領域 R logc の p チャネル型 MIS トランジスタにエクステンション用濃度の砒素イオンを注入する。これにより、メモリ領域 R memo においては低濃度ドレイン拡散層 17 b 及びソース拡散層 18 が形成され、ロジック回路領域 R logc においては n チャネル型 MIS トランジスタのエクステンション領域が形成される。このとき、メモリセルトランジスタのソース拡散層 18 は、ストレージノードである n 型拡散層 19 とオーバーラップするように形成される。また、図示されていないが、ロジック回路領域 R logc においては、p チャネル型 MIS トランジスタのエクステンション用濃度のフッ化ボロンイオンを注入して、p チャネル型 MIS トランジスタのエクステンション領域を形成する。

40

【0053】

その後の工程の図示は省略するが、第 1 の実施形態における図 4（b）～図 4（d）に示す工程と同じ工程を行なう。これにより、図 1 及び図 2（a）,（b）に示す半導体装置の構造が得られる。そして、本実施形態においても、メモリセルトランジスタのソース拡散層 18 は、2 つの絶縁膜サイドウォール 25 a, 25 b（図 2（a）参照）によって覆われるので、ソース拡散層 18 には高濃度の n 型不純物がドーピングされず、高濃度ソース拡散層は形成されず、かつ、ソース拡散層 18 の上にはシリサイド層は形成されない。

【0054】

なお、本実施形態では、ゲート絶縁膜 14 a 及び容量絶縁膜 15 として熱酸化膜を用い

50

て説明したが、例えば、酸化膜，酸窒化膜，酸化膜／窒化膜の積層膜であるON膜，酸化膜／窒化膜／酸化膜の積層膜であるONO膜，高誘電体膜である HfO_2 膜， ZrO_2 膜などを共通の絶縁膜として用いることができる。また、ロジック回路領域Rlogcにおいては、トランジスタの種類に応じて、ゲート絶縁膜の厚みが2種類，3種類など、複数種類設けられていることが多い。そして、ロジック回路領域Rlogcの各トランジスタのゲート絶縁膜14bも、酸化膜だけでなく、酸窒化膜，酸化膜／窒化膜の積層膜であるON膜，酸化膜／窒化膜／酸化膜の積層膜であるONO膜，高誘電体膜である HfO_2 膜， ZrO_2 膜などであってもよい。

【0055】

本実施形態の製造方法によれば、図5(b)に示す工程から図6(b)に示す工程までに、2回の酸化工程と2回の酸化膜除去工程とを実施するため、トレンチのコーナー部の形状を容易に丸めることが可能となるとともに、トレンチの壁面が清浄化，平滑化されるので、後に形成される容量絶縁膜15の特性が向上する。この特性の向上とは、例えば膜厚がほぼ均一化されて、容量絶縁膜15を介するリークが低減されたり、容量値のばらつきが小さくなるなどによって、電荷保持機能が安定することを意味する。

【0056】

また、ソース拡散層18が2つの絶縁膜サイドウォール25a，25bによって覆われているので、サイドウォール形成後の工程で、ソース拡散層18がシリサイド化されたり、各種不純物がソース拡散層18に侵入するのを抑制することができる。そして、この各種不純物の侵入を抑制することができたり、ソース拡散層18の上にはシリサイド層が形成されないことにより、ソース拡散層18を介するリークが低減される。

【0057】

また、本実施形態の製造方法によると、第1の実施形態と同様に、層間絶縁膜30を貫通するビット線コンタクト31及びプレート電極34を共通の工程で形成することができる。かつ、ビット線32及びシールド線33も共通の金属膜から同時に形成することができる。したがって、工程数の増大を招くことなく、プレート電極16bの電位安定化のための構造を実現することができる。

【0058】

さらに、ロジック回路領域RlogcのMISトランジスタのゲート絶縁膜を形成する前に、メモリ領域Rmemoのキャパシタ用トレンチ52を形成することができるため、ロジック回路領域Rlogcのソース・ドレイン拡散層の不純物の拡散などに起因するトランジスタの性能を悪化させることなく、トレンチ型キャパシタを有するDRAM混載型ロジックLSIを、安価に製造することができる。

【0059】

(その他の実施形態)

上記各実施形態においては、本発明をメモリ領域とロジック回路領域とを有しているDRAM・ロジック混載型半導体装置に適用した例について説明したが、本発明の半導体装置は、ロジック回路領域を有していない、DRAMだけの半導体装置にも適用することができる。

【0060】

上記各実施形態では、本発明を、トレンチ型記憶容量部を備えたメモリデバイスに適用した例について説明したが、本発明はかかる実施形態に限定されるものではなく、プレーナ型記憶容量部やスタック型記憶容量部を備えたメモリデバイス及びRAM・ロジック混載型半導体装置にも適用することができる。

【0061】

また、上記各実施形態においては、メモリセルトランジスタをnチャンネル型トランジスタとしたが、メモリセルトランジスタはpチャンネル型トランジスタであってもよい。メモリセルトランジスタをpチャンネル型トランジスタにすることにより、トリプルウエル構造を採らなくてもよいので、製造工程におけるマスク数を低減しうる利点がある。その場合には、pウエル11aに代えてnウエルを、n型拡散層19に代えてp型拡散層を、高濃

10

20

30

40

50

度ドレイン拡散層 17a に代えて高濃度 p 型拡散層を形成し、メモリセルトランジスタのソース拡散層 18 及び低濃度ドレイン拡散層 17b をいずれも p 型領域にする必要がある。そして、深部 n ウエル 11d に相当するウエルは不要である。

【0062】

なお、上記実施形態の図 3 (b), 図 6 (a) に示す工程では、酸化膜マスクを用いたイオン注入により、ストレージノードとなる n 型拡散層を形成したが、イオン注入法に代えて、プラズマドーピング法を用いることができる。

【0063】

また、上記各実施形態では、容量絶縁膜とゲート絶縁膜とを共通 (同一) の絶縁膜をパターンニングして形成したが、これらを互いに異なる膜からそれぞれ形成してもよい。

10

【0064】

さらに、上記各実施形態では、トレンチ型キャパシタ C_{pt} のキャパシタ用トレンチ 52 の表面部にストレージノードとして機能する n 型拡散層 19 を形成したが、必ずしもストレージノードとして機能する拡散層を形成する必要はない。このように、ストレージノードとして機能する拡散層を形成しない場合には、プレート電極に電位を印加することにより、容量絶縁膜下方の基板表面に反転層が形成され、この反転層がソース拡散層に電氣的に接続されることにより、ストレージノード電極としての機能が果たされる。

【産業上の利用可能性】

【0065】

本発明の半導体装置は、DRAM, 又は DRAM をロジックチップに混載する所謂 DRAM 混載ロジック LSI として利用することができる。

20

【図面の簡単な説明】

【0066】

【図 1】本発明の第 1 の実施形態に係る半導体装置のうちメモリ部の構成を示す平面図である。

【図 2】(a), (b) は、それぞれ図 1 に示す IIa-IIa 線における断面図及び IIb-IIb 線における断面図である。

【図 3】(a) ~ (e) は、第 1 の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

【図 4】(a) ~ (d) は、第 1 の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

30

【図 5】(a) ~ (c) は、本発明の第 2 の実施形態における半導体装置の製造工程のうち前半部分を示す断面図である。

【図 6】(a) ~ (c) は、第 2 の実施形態における半導体装置の製造工程のうち後半部分を示す断面図である。

【符号の説明】

【0067】

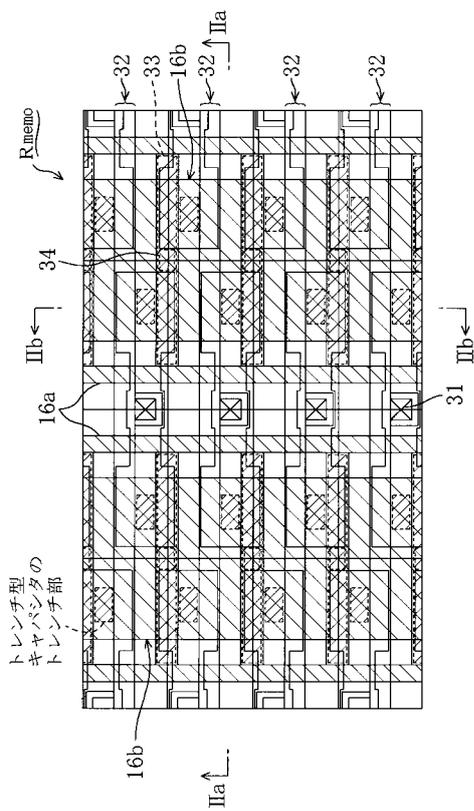
- 10 シリコン基板
- 11 ウエル
- 12 シャロートレンチ分離
- 14 ゲート絶縁膜
- 15 容量絶縁膜
- 16 a ゲート電極
- 16 b プレート電極
- 16 c ゲート電極
- 16 d シリサイド層
- 17 a 高濃度ドレイン拡散層
- 17 b 低濃度ドレイン拡散層
- 18 ソース拡散層
- 19 高濃度 n 型拡散層

40

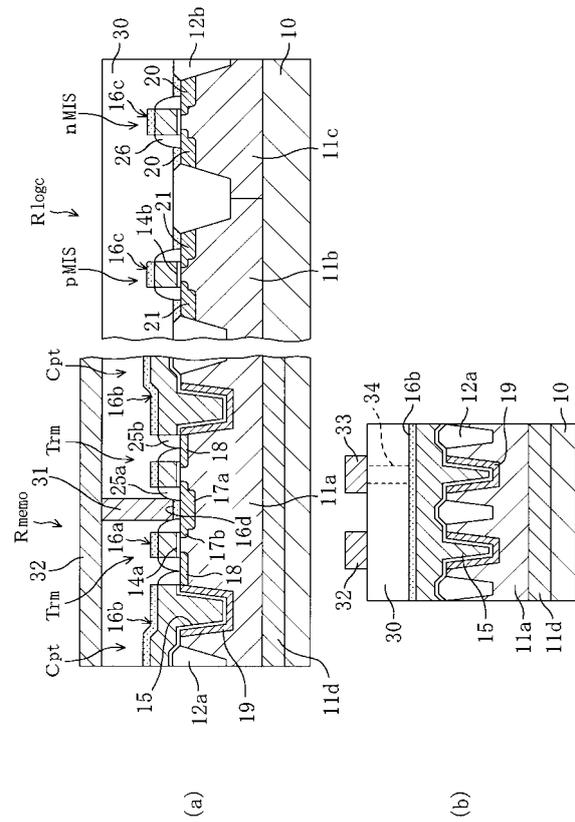
50

- 20 ソース・ドレイン拡散層
- 25 絶縁膜サイドウォール
- 26 絶縁膜サイドウォール
- 30 層間絶縁膜
- 31 ビット線コンタクト
- 32 ビット線
- 33 シールド線
- 34 プレートコンタクト

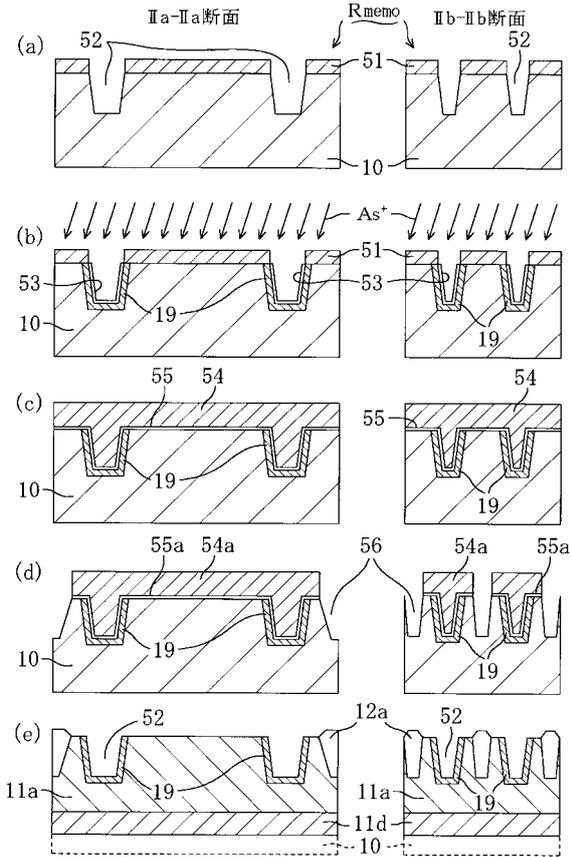
【 図 1 】



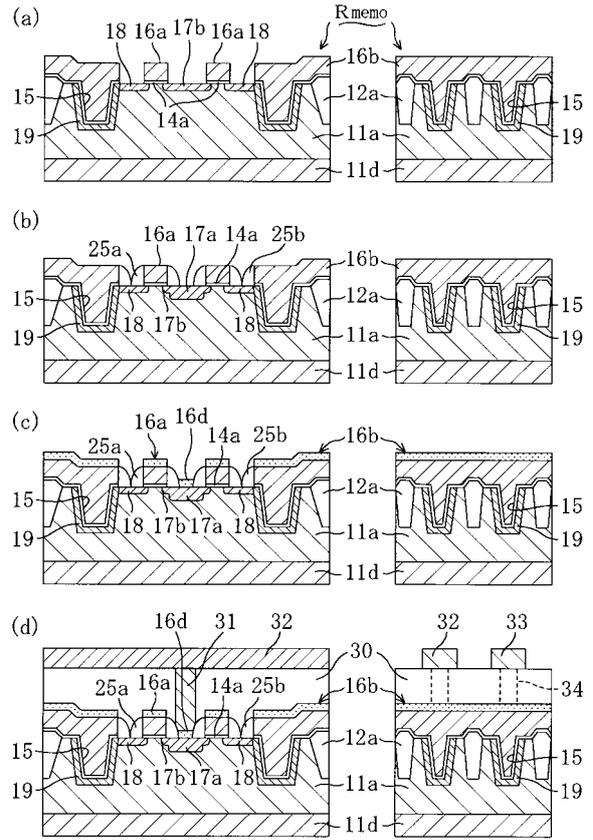
【 図 2 】



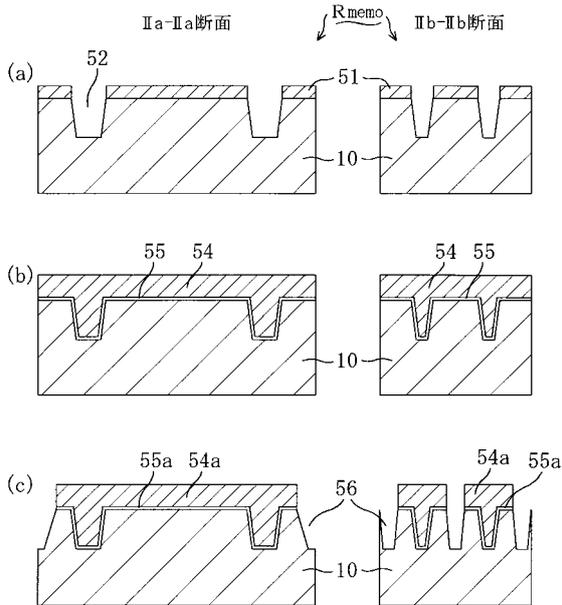
【 図 3 】



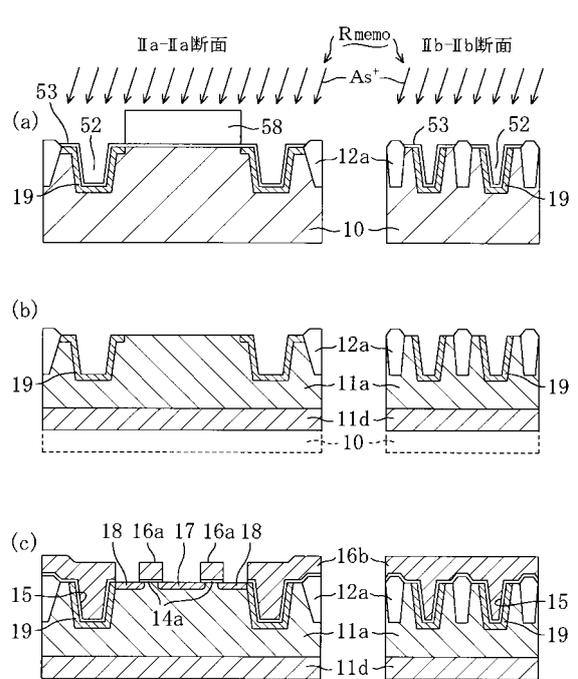
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 小川 久
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 宮永 績
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 江利口 浩二
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 山田 隆順
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 糸長 総一郎
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 森 義弘
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 瀧内 健夫

(56)参考文献 特開平10-098164(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108