



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2022 112 993.4**
 (22) Anmeldetag: **23.05.2022**
 (43) Offenlegungstag: **27.04.2023**

(51) Int Cl.: **G11C 16/10 (2006.01)**

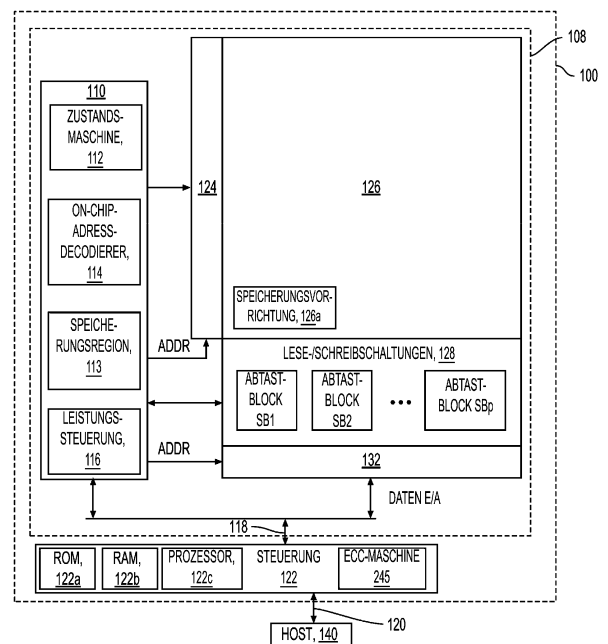
<p>(30) Unionspriorität: 17/511,988 27.10.2021 US</p> <p>(71) Anmelder: SanDisk Technologies LLC, Addison, TX, US</p>	<p>(74) Vertreter: Murgitroyd Germany Patentanwalts-gesellschaft mbH, 80636 München, DE</p> <p>(72) Erfinder: Yang, Xiang, San Jose, CA, US</p>
---	---

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **ADAPTIVE HALBKREIS-SELECT-GATE-VORSPANNUNG**

(57) Zusammenfassung: Es werden eine Speichereinrichtung und ein Betriebsverfahren bereitgestellt. Die Vorrichtung schließt Speicherzellen ein, die mit Wortleitungen verbunden und in Ketten angeordnet sind. Jede der Ketten weist einen SGD-Transistor auf einer Drain-Seite auf, die mit einer von einer Vielzahl von Bitleitungen verbunden ist. Ein Steuermittel ist mit den Wortleitungen und der Vielzahl von Bitleitungen und den SGD-Transistoren gekoppelt. Das Steuermittel bestimmt eine eindeutige SG-Spannung für jede einer Vielzahl von Gruppierungen der Speicherzellen, die individuell für jede der Vielzahl von Gruppierungen angepasst ist. Das Steuermittel legt dann die eindeutige SG-Spannung an den SGD-Transistor ausgewählter Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen an, um den SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.



Beschreibung

GEBIET

[0001] Die vorliegende Anmeldung bezieht sich auf nichtflüchtige Speichereinrichtungen und den Betrieb von nichtflüchtigen Speichereinrichtungen.

HINTERGRUND

[0002] Dieser Abschnitt liefert Hintergrundinformationen in Bezug auf die Technologie, die mit der vorliegenden Offenbarung verbunden ist, und ist somit nicht notwendigerweise Stand der Technik.

[0003] Halbkreis-Drain-Side-Select-Gate-Speichertechnologie („SC-SGD“-Speichertechnologie) bietet mehrere Vorteile, einschließlich einer reduzierten Die-Größe. Um SC-SGD herzustellen, wird Ätztechnologie verwendet, um Speicherlöcher zu schneiden, wodurch sie ihre halbkreisförmige Form erhalten, und ein Block oder eine Reihe in mehrere Zeichenfolgen getrennt wird. Je nach dem Verfahren, das zur Herstellung des SC-SGD verwendet wird, können bestimmte Ineffizienzen auftreten. Zum Beispiel wird das Schneiden eines Speicherlochs mindestens einige Abschnitte der SC-SGD entfernen, wie die Metallschicht, die ansonsten elektrische Felder von der Kanal- und/oder Charge-Trap-Schicht abschirmt. Entsprechend kann das SC-SGD von einem „benachbarten“ elektrischen Feld beeinflusst werden und Ladungsmigration auftreten. Aufgrund von Ätzvariationen können einige Dies auf eine SGD-Schicht heruntergeschnitten werden, während andere auf Schichten heruntergeschnitten werden können, die Dummy-Wortleitungen bilden. Somit kann es aufgrund der Ladungsmigration schwierig sein, Vorspannungen auszuwählen, die an SGDs angelegt werden. Dementsprechend besteht ein Bedarf an verbesserten nichtflüchtigen Speichervorrichtungen und Betriebsverfahren.

KURZDARSTELLUNG

[0004] Dieser Abschnitt stellt eine allgemeine Zusammenfassung der vorliegenden Offenbarung bereit und ist keine umfassende Offenbarung ihres vollen Schutzzumfangs oder aller ihrer Merkmale und Vorteile.

[0005] Eine Aufgabe der vorliegenden Offenbarung ist es, eine Speichervorrichtung und ein Verfahren zum Betreiben der Speichervorrichtung bereitzustellen, welche die oben erwähnten Nachteile angehen und überwinden.

[0006] Dementsprechend ist es ein Gesichtspunkt der vorliegenden Offenbarung, eine Speichereinrichtung bereitzustellen, die Speicherzellen einschließt, die mit einer aus einer Vielzahl von Wortleitungen

und Bitleitungen verbunden und in Ketten angeordnet und dazu eingerichtet sind, eine Schwellenspannung beizubehalten. Jede der Ketten weist mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten auf, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind. Ein Steuermittel ist mit der Vielzahl von Wortleitungen und der Vielzahl von Bitleitungen und dem mindestens einen SGD-Transistor gekoppelt. Das Steuermittel ist dazu eingerichtet, eine eindeutige SG-Spannung für jede einer Vielzahl von Gruppierungen der Speicherzellen zu bestimmen. Die eindeutige SG-Spannung wird individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst. Das Steuermittel ist auch dazu eingerichtet, die eindeutige SG-Spannung an den mindestens einen SGD-Transistor der ausgewählten Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen anzulegen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

[0007] Gemäß einem weiteren Gesichtspunkt der Offenbarung ist auch eine Steuerung in Kommunikation mit einer Speichereinrichtung vorgesehen, die Speicherzellen einschließt, die mit einer aus einer Vielzahl von Wortleitungen verbunden sind. Die Speicherzellen sind in Ketten angeordnet und dazu eingerichtet, eine Schwellenspannung zu halten. Jede der Ketten weist mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten auf, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind. Die Steuerung ist dazu eingerichtet, eine eindeutige SG-Spannung für jede einer Vielzahl von Gruppierungen der Speicherzellen zu bestimmen. Die eindeutige SG-Spannung wird individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst. Die Steuerung ist auch dazu eingerichtet, die Speichervorrichtung anzuweisen, die eindeutige SG-Spannung an den mindestens einen SGD-Transistor der ausgewählten Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen anzulegen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

[0008] Gemäß einem zusätzlichen Gesichtspunkt der Offenbarung wird ein Verfahren zum Betrieb einer Speichereinrichtung bereitgestellt. Die Speichervorrichtung schließt Speicherzellen ein, die mit einer von einer Vielzahl von Wortleitungen verbunden sind. Die Speicherzellen sind in Ketten angeordnet und dazu eingerichtet, eine Schwellenspannung zu halten. Jede der Ketten weist mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten auf, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind. Das Verfahren schließt den Schritt des Bestimmens einer eindeuti-

gen SG-Spannung für jede einer Vielzahl von Gruppierungen der Speicherzellen ein. Die eindeutige SG-Spannung wird individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst. Das Verfahren schließt auch den Schritt des Anlegens der eindeutigen SG-Spannung an den mindestens einen SGD-Transistor der ausgewählten Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen ein, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

[0009] Weitere Anwendungsgebiete werden aus der hierin gegebenen Beschreibung ersichtlich. Die Beschreibung und die speziellen Beispiele in dieser Kurzdarstellung dienen nur der Veranschaulichung und sollen den Schutzzumfang der vorliegenden Offenbarung nicht einschränken.

Figurenliste

[0010] Die hierin beschriebenen Zeichnungen dienen nur der Veranschaulichung ausgewählter Ausführungsformen und nicht aller möglichen Implementierungen, und sollen den Schutzzumfang der vorliegenden Offenbarung nicht einschränken.

Fig. 1A ist ein Blockdiagramm einer beispielhaften Speichervorrichtung gemäß Gesichtspunkten der Offenbarung;

Fig. 1 B ist ein Blockdiagramm einer beispielhaften Steuerschaltung, die eine Programmierschaltung, eine Zähler- und eine Bestimmungsschaltung gemäß Gesichtspunkten der Offenbarung einschließt;

Fig. 2 veranschaulicht schematische Ansichten von drei Typen von Speicherarchitekturen, die gestaffelte Speicherketten gemäß Gesichtspunkten der Offenbarung verwenden.

Fig. 3A veranschaulicht eine Querschnittsansicht von beispielhaften Floating-Gate-Speicherzellen in NAND-Ketten gemäß Gesichtspunkten der Offenbarung;

Fig. 3B veranschaulicht eine Querschnittsansicht entlang einer Kontaktlinie, die in **Fig. 3A** gezeigt ist, gemäß Gesichtspunkten der Offenbarung.

Fig. 4A und **Fig. 4B** veranschaulichen gemäß Gesichtspunkten der Offenbarung einen nichtflüchtigen Speicher, in dem eine Charge-Trapping-Speicherzelle ein nicht leitendes dielektrisches Material anstelle eines leitenden Floating-Gates verwendet, um Ladung in einer nichtflüchtigen Weise zu speichern;

Fig. 5 veranschaulicht ein beispielhaftes Blockdiagramm des Erfassungsblocks von **Fig. 1** gemäß Gesichtspunkten der Offenbarung;

Fig. 6A ist eine perspektivische Ansicht eines Satzes von Blöcken in einer beispielhaften dreidimensionalen Konfiguration des Speicherarrays von **Fig. 1** gemäß Gesichtspunkten der Offenbarung;

Fig. 6B zeigt eine beispielhafte Querschnittsansicht eines Abschnitts eines der Blöcke von **Fig. 6A** gemäß Gesichtspunkten der Offenbarung;

Fig. 6C veranschaulicht eine grafische Darstellung des Speicherlochdurchmessers in dem Stapel von **Fig. 6B** gemäß Gesichtspunkten der Offenbarung;

Fig. 6D veranschaulicht eine Detailansicht der Region des Stapels von **Fig. 6B** gemäß Gesichtspunkten der Offenbarung;

Fig. 7A veranschaulicht eine schematische Draufsicht eines Speicherarrays mit einer Vielzahl von Speicherlöchern gemäß Gesichtspunkten der Offenbarung;

Fig. 7B veranschaulicht eine Querschnittsansicht des Speicherarrays gemäß Gesichtspunkten der Offenbarung;

Fig. 8A und **Fig. 8B** veranschaulichen eine alternative Speicherstruktur ohne Dummy-Löcher gemäß Gesichtspunkten der Offenbarung;

Fig. 9 ist eine obere Querschnittsansicht von zwei halbkreisförmigen Speicherlöchern, die teilweise mit einem SHW-Schnitt geschnitten sind, zusammen mit entsprechenden vertikalen Querschnitten, um eine Elektronenumverteilung aufgrund von Lesebelastung und einer späteren Entspannung zu zeigen, zusammen mit einem Diagramm der Schwellenspannungsverteilung von SGD-Schaltern, die aus der Umverteilung und Entspannung resultieren, gemäß Gesichtspunkten der Offenbarung;

Fig. 10 zeigt experimentelle Ergebnisse, die Lesebelastung veranschaulichen, gemäß Gesichtspunkten der Offenbarung;

Fig. 11 veranschaulicht eine grafische Darstellung der Schwellenwertverteilung nach einer 100.000-Block-Lesebelastung gemäß Gesichtspunkten der Offenbarung;

Fig. 12 zeigt Schwellenspannungsverteilungen für eine Vielzahl beispielhafter Gruppen von Speicherzellen unter Verwendung verschiedener Prozesse unter Verwendung unterschiedlicher SG-Spannungen gemäß Gesichtspunkten der Offenbarung;

Fig. 13 zeigt einen Schwellenspannungsverlauf für drei Speicher-Dies gemäß Gesichtspunkten der Offenbarung;

Fig. 14A-14D zeigen eine Schwellenspannungsverteilung für die SGD-Transistoren zusammen mit beispielhaften Erfassungsschwellenwertspannungen und einer entsprechenden SGD-Quantität der SGD-Transistoren der Ketten jeder der Vielzahl von Gruppierungen, die eine Transistorschwellenwertspannung über der Erfassungsschwellenwertspannung aufweisen, gemäß Gesichtspunkten der Offenbarung;

Fig. 15 zeigt eine Vielzahl von Blöcken von Speicherzellen, in denen das offenbarte Verfahren oder die Technik der adaptiven SG-Bias-Suche verwendet wurde, um die SG-Spannung für jeden der Blöcke sowie eine Schwellenwertspannungsverteilung der SGD-Transistoren für jeden der Blöcke zu bestimmen, gemäß Gesichtspunkten der Offenbarung;

Fig. 16A-16B veranschaulichen Diagramme von Schwellenwertspannungsverteilungen der SGD-Transistoren in Vollkreis-Speicherlöchern, einem oberen Block von Halbkreis-Speicherlöchern, einem mittleren Block von Halbkreis-Speicherlöchern und einem unteren Block von Halbkreis-Speicherlöchern für zwei verschiedene Speicher-Dies gemäß Gesichtspunkten der Offenbarung;

Fig. 17 zeigt eine Vielzahl von Speicher-Dies von Speicherzellen, in denen das offenbarte Verfahren oder die Technik der adaptiven SG-Bias-Suche verwendet wurde, um die SG-Spannung für jedes der Speicher-Dies sowie eine Schwellenwertspannungsverteilung der SGD-Transistoren für jeden der Speicher-Dies zu bestimmen, gemäß Gesichtspunkten der Offenbarung;

Fig. 18A-18B veranschaulichen Diagramme von Schwellenwertspannungsverteilungen der SGD-Transistoren in Vollkreis-Speicherlöchern, einem oberen Block von Halbkreis-Speicherlöchern, einem mittleren Block von Halbkreis-Speicherlöchern und einem unteren Block von Halbkreis-Speicherlöchern für zwei verschiedene Speicher-Dies gemäß Gesichtspunkten der Offenbarung; und

Fig. 19 und **Fig. 20** veranschaulichen Schritte eines Verfahrens zum Betreiben einer Speicher-einrichtung.

[0011] Zum besseren Verständnis wurden, soweit möglich, identische Bezugszeichen verwendet, um identische Elemente zu bezeichnen, die den Figuren gemein sind. Es wird in Betracht gezogen, dass die in einer Ausführungsform offenbarten Elemente ohne besondere Nennung vorteilhaft bei anderen Ausführungsformen genutzt werden können.

[0012] In der folgenden Beschreibung werden Einzelheiten ausgeführt, um ein Verständnis der vorliegenden Offenbarung zu ermöglichen. In einigen Fällen wurden spezielle Schaltungen, Strukturen und Techniken nicht im Detail beschrieben oder gezeigt, um die Offenbarung nicht unklar zu machen.

[0013] Im Allgemeinen bezieht sich die vorliegende Offenbarung auf nichtflüchtige Speichereinrichtungen eines Typs, der zur Verwendung in vielen Anwendungen gut geeignet ist. Die nichtflüchtige Speichereinrichtung und die zugehörigen Verfahren dieser Offenbarung werden in Verbindung mit einer oder mehreren Ausführungsformen beschrieben. Jedoch dienen die offenbarten speziellen beispielhaften Ausführungsformen lediglich der Beschreibung der erfinderischen Konzepte, Merkmale, Vorteile und Aufgaben mit ausreichender Klarheit, um es dem Fachmann zu ermöglichen, die Offenbarung zu verstehen und auszuführen. Insbesondere werden die beispielhaften Ausführungsformen vorgestellt, damit diese Offenbarung gründlich ist und dem Fachmann den Schutzzumfang vollständig vermittelt. Es werden zahlreiche spezielle Einzelheiten ausgeführt, wie etwa Beispiele für spezielle Komponenten, Vorrichtungen und Verfahren, um ein gründliches Verständnis von Ausführungsformen der vorliegenden Offenbarung zu ermöglichen. Es wird für den Fachmann offensichtlich sein, dass spezielle Einzelheiten nicht eingesetzt werden müssen, dass beispielhafte Ausführungsformen in vielen verschiedenen Formen verkörpert sein können und dass keine dahin gehend ausgelegt werden sollte, dass sie den Schutzzumfang der Offenbarung einschränkt. In einigen beispielhaften Ausführungsformen werden gut bekannte Prozesse, gut bekannte Vorrichtungsstrukturen und gut bekannte Technologien nicht im Detail beschrieben.

[0014] Bei einigen Speichervorrichtungen sind Speicherzellen wie in NAND-Ketten in einem Block oder Unterblock miteinander verbunden. Eine NAND-Kette weist eine Anzahl von in Reihe verbundenen Speicherzellen zwischen einem oder mehreren SGD-Transistoren auf einer Drain-Seite der NAND-Kette auf, die mit einer Bitleitung verbunden ist, und einem oder mehreren Sourceseitigen SG-Transistoren auf einer Source-Seite der NAND-Kette, die mit einer Sourceleitung verbunden ist. Weiterhin können die Speicherzellen mit einer gemeinsamen Steuergateleitung (z. B. Wortleitung), die auf ein Steuergate wirkt, angeordnet sein. Ein Satz von Wortleitungen erstreckt sich von der Sourceseite eines Blocks zu der Drainseite eines Blocks. Speicherzellen können auch in anderen Arten von Ketten sowie auf andere Weisen verbunden werden.

[0015] In einer 3D-Speicherstruktur können die Speicherzellen in vertikalen Ketten in einem Stapel angeordnet sein, wobei der Stapel alternierende leitende und dielektrische Schichten aufweist. Die leitenden Schichten wirken als Wortleitungen, die mit den Speicherzellen verbunden sind. Die Speicherzellen können Datenspeicherzellen einschließen, die dazu geeignet sind, Benutzerdaten zu speichern, und Dummy- oder Nichtdatenspeicherzellen, die nicht dazu geeignet sind, Benutzerdaten zu speichern.

[0016] Vor dem Programmieren bestimmter nicht-flüchtiger Speichervorrichtungen werden die Speicherzellen typischerweise gelöscht. Für einige Vorrichtungen entfernt der Löschvorgang Elektronen von dem Floating-Gate der Speicherzelle, die gelöscht wird. Alternativ entfernt der Löschvorgang Elektronen von der Charge-Trapping-Schicht.

[0017] Jede Speicherzelle kann einem Datenzustand gemäß Schreibdaten in einem Programmierbefehl zugeordnet sein. Basierend auf ihrem Datenzustand bleibt eine Speicherzelle entweder in dem gelöschten Zustand oder wird in einen programmierten Zustand programmiert. Zum Beispiel gibt es in einer Speichervorrichtung mit drei Bits pro Zelle acht Datenzustände einschließlich des gelöschten Zustands und des programmierten Zustands.

[0018] Während eines Programmiervorgangs werden die Speicherzellen gemäß einer Wortleitungsprogrammierreihenfolge programmiert. Zum Beispiel kann das Programmieren an der Wortleitung an der Sourceseite des Blocks beginnen und an der Wortleitung an der Drainseite des Blocks fortgesetzt werden. Bei einem Ansatz wird jede Wortleitung vollständig programmiert, bevor eine nächste Wortleitung programmiert wird. Zum Beispiel wird eine erste Wortleitung, WL0, unter Verwendung einer oder mehrerer Programmierimpulse programmiert, bis das Programmieren abgeschlossen ist. Als Nächstes wird eine zweite Wortleitung, WL1, unter Verwendung einer oder mehrerer Programmierimpulse programmiert, bis das Programmieren abgeschlossen ist, und so weiter. Ein Programmierimpuls kann einen Satz zunehmender Programmierspannungen einschließen, die in entsprechenden Programmierschleifen oder Programmierungs-Verifizierungs-Iterationen an die Wortleitung angelegt werden. Verifizierungsvorgänge oder Phasen können nach jeder Programmierspannung durchgeführt werden, um zu bestimmen, ob die Speicherzellen ein Programmieren abgeschlossen haben. Wenn ein Programmieren für eine Speicherzelle abgeschlossen ist, kann sie am weiteren Programmieren gehemmt werden, während ein Programmieren für andere Speicherzellen in nachfolgenden Programmierschleifen fortgeführt wird.

[0019] Beim Erzeugen verschiedener Reihen und Zeichenketten für eine Speicherstruktur kann ein Schneidevorgang (z. B. Shallow Hole Etch oder SHE) verwendet werden. Der SHW-Schnitt kann einen Block (im Speicher) in mehrere Ketten innerhalb des Blocks unterteilen. Während der SHE die Ketten bilden/definieren kann, kann der SHE-Schnitt weiterhin eine Kette trennen, d. h. die Randspeicherlöcher in einer Kette zur Hälfte (oder in etwa zwei gleiche Hälften) schneiden. In dieser Hinsicht werden sowohl das SGD als auch der Kanal geteilt. Da die Zellen jedoch geschnitten werden, wird der Polykanal einem benachbarten SGDelektrischen Feld ausgesetzt. Der Kanalbereich nahe dem Nachbar-SGD kann während Speichervorgängen (d. h. NAND-Betrieb) leicht eingeschaltet werden, was zu einem „SGD-Herunterschalten“ insbesondere nach intensiver Lesebelastung führen kann. Insbesondere zeigt SC-SGD eine niedrigere Schwellenwertspannung V_t im Vergleich zu FC-SGD (Vollkreis-SGD), was zu einer breiteren SGD-Schwellenwertspannung- V_t -Verteilung führt. Da das Schneiden eines Speicherlochs mindestens einige Abschnitte des SC-SGD entfernt, wie die Metallschicht, die ansonsten elektrische Felder von der Kanal- und/oder Charge-Trap-Schicht abschirmt, kann das SC-SGD von einem „benachbarten“ elektrischen Feld beeinflusst werden, und es kann zu einer Ladungsmigration kommen. Aus der Perspektive der On-Pitch-SGD-Herunterschaltung ist es bevorzugt, nach Möglichkeit immer das niedrigste SG-Bias zu wählen. Durch Absenken der SG-Vorspannung können jedoch andere Probleme auftreten, beispielsweise, dass die niedrige SG-Spannung VSG die SGD-Zellen nicht einschaltet.

[0020] Mehrere Gesichtspunkte der vorliegenden Offenbarung können in Form einer Einrichtung, eines Systems, eines Verfahrens oder eines Computerprogramms ausgeführt sein. Daher können Gesichtspunkte der vorliegenden Offenbarung vollständig in Form einer Hardware- oder einer Software-Ausführungsform (einschließlich, aber nicht beschränkt auf Firmware, residente Software, Mikrocode oder dergleichen) vorliegen oder eine Kombination aus Hardware- und Softwarekomponenten sein, die im Allgemeinen als „Schaltung“, „Modul“, „Einrichtung“ oder „System“ bezeichnet werden können. Weiterhin können verschiedene Gesichtspunkte der vorliegenden Offenbarung die Form eines Computerprogrammprozesses annehmen, der zum Beispiel in einem oder mehreren nicht-transitorischen computerlesbaren Speicherungsmedien verkörpert ist, die computerlesbaren und/oder ausführbaren Programmcode speichern.

[0021] Außerdem werden verschiedene Begriffe verwendet, um auf bestimmte Systemkomponenten Bezug zu nehmen. Verschiedene Firmen können auf die gleiche oder ähnliche Komponente mit unter-

schiedlichen Namen Bezug nehmen und diese Beschreibung beabsichtigt nicht, zwischen Komponenten zu unterscheiden, die sich im Namen, jedoch nicht in der Funktion unterscheiden. Soweit verschiedene in der folgenden Offenbarung beschriebene Funktionseinheiten als „Module“ bezeichnet werden, soll eine solche Charakterisierung die Bandbreite möglicher Implementierungsmechanismen nicht unangemessen einschränken. Zum Beispiel könnte ein „Modul“ als Hardwareschaltung implementiert werden, die kundenspezifische VLSI-Schaltungen (Very Large Scale Integration) oder Gate-Arrays oder handelsübliche Halbleiter, die Logikchips, Transistoren oder andere diskrete Komponenten einschließen, aufweist. In einem weiteren Beispiel kann ein Modul auch in einer programmierbaren Hardwarevorrichtung wie einem feldprogrammierbaren Gate Array (FPGA), einer programmierbaren Array-Logik, einer programmierbaren Logikvorrichtung oder dergleichen implementiert sein. Außerdem kann ein Modul auch, zumindest teilweise, durch Software implementiert werden, die von verschiedenen Prozessorentypen ausgeführt wird. Zum Beispiel kann ein Modul ein Segment von ausführbarem Code aufweisen, das einen oder mehrere physische oder logische Blöcke von Computeranweisungen enthält, die in ein Objekt, einen Prozess oder eine Funktion übersetzt werden. Es ist auch nicht erforderlich, dass die ausführbaren Abschnitte eines solchen Moduls physisch zusammen angeordnet sind, sondern sie können auch unterschiedliche Anweisungen aufweisen, die an verschiedenen Orten gespeichert sind und die, wenn sie zusammen ausgeführt werden, das identifizierte Modul aufweisen und den erklärten Zweck dieses Moduls erfüllen. Der ausführbare Code kann nur eine einzige Anweisung oder einen Satz mehrerer Anweisungen aufweisen, aber auch über verschiedene Codesegmente oder verschiedene Programme oder über mehrere Speichervorrichtungen usw. verteilt sein. Bei einer Software- oder Teilsoftwaremodul-Implementierung können die Softwareabschnitte auf einem oder mehreren computerlesbaren und/oder ausführbaren Speichermedien gespeichert werden, die ein elektronisches, magnetisches, optisches, elektromagnetisches, infrarotes oder halbleiterbasiertes System, eine Einrichtung oder Vorrichtung oder jede geeignete Kombination davon einschließen, aber nicht darauf beschränkt sind. Im Allgemeinen kann für die Zwecke der vorliegenden Offenbarung ein computerlesbares und/oder ausführbares Speichermedium jedes greifbare und/oder nicht-transistorische Speichermedium sein, das in der Lage ist, ein Programm zur Verwendung durch oder in Verbindung mit einem System, einer Einrichtung, einem Prozessor oder einer Vorrichtung zur Befehlsausführung zu enthalten und/oder zu speichern.

[0022] In ähnlicher Weise kann für die Zwecke der vorliegenden Offenbarung der Begriff „Komponente“ jede greifbare, physische und nicht-transistorische Vorrichtung aufweisen. Zum Beispiel kann eine Komponente in Form einer Hardwarelogikschaltung vorliegen, die kundenspezifische VLSI-Schaltungen, Gate-Arrays oder andere integrierte Schaltungen aufweist, oder sie kann aus handelsüblichen Halbleitern bestehen, die Logikchips, Transistoren oder andere diskrete Komponenten einschließen, oder aus anderen geeigneten mechanischen und/oder elektronischen Vorrichtungen. Darüber hinaus kann eine Komponente auch in programmierbaren Hardware-Vorrichtungen wie feldprogrammierbaren Gate-Arrays (FPGA), programmierbarer Array-Logik, programmierbaren Logikvorrichtungen usw. implementiert sein. Außerdem kann eine Komponente eine oder mehrere integrierte Schaltungsvorrichtungen auf Siliciumbasis, wie Chips, Die, Die-Ebenen und Gehäuse, oder andere diskrete elektrische Vorrichtungen aufweisen, die in einer elektrischen Konfigurationsform mit einer oder mehreren anderen Komponenten über elektrische Leiterbahnen, z. B. auf einer Leiterplatte (PCB) oder dergleichen, eingerichtet sind. Dementsprechend kann ein Modul, wie vorstehend definiert, in bestimmten Ausführungsformen durch eine Komponente verkörpert oder als Komponente implementiert werden, und in einigen Fällen können die Begriffe Modul und Komponente austauschbar verwendet werden.

[0023] Wenn hier der Begriff „Schaltung“ verwendet wird, schließt er eine oder mehrere elektrische und/oder elektronische Komponenten ein, die einen oder mehrere leitfähige Pfade bilden, die es ermöglichen, dass elektrischer Strom fließt. Eine Schaltung kann in Form einer Konfiguration mit geschlossenem oder offenem Regelkreis eingerichtet sein. In einer Konfiguration mit geschlossenem Regelkreis können die Schaltungskomponenten einen Rückführweg für den elektrischen Strom bereitstellen. Im Gegensatz dazu können die Schaltungskomponenten in einer Konfiguration mit offenem Regelkreis immer noch als eine Schaltung angesehen werden, auch wenn sie keinen Rückführweg für den elektrischen Strom einschließen. Zum Beispiel kann eine integrierte Schaltung unabhängig davon als eine Schaltung an Masse gekoppelt ist (als Rückführweg für elektrischen Strom) oder nicht. In bestimmten beispielhaften Ausführungsformen kann eine Schaltung einen Satz integrierter Schaltungen, eine einzige integrierte Schaltung oder einen Abschnitt einer integrierter Schaltung aufweisen. Zum Beispiel kann eine Schaltung kundenspezifische VLSI-Schaltungen, Gate-Arrays, Logikschaltungen und/oder andere Formen integrierter Schaltungen einschließen und kann handelsübliche Halbleiter, wie Logikchips, Transistoren oder andere diskrete Vorrichtungen einschließen. In einem weiteren Beispiel kann eine

Schaltung eine oder mehrere integrierte Schaltungsvorrichtungen auf Siliciumbasis, wie Chips, Die, Die-Ebenen und Gehäuse, oder andere diskrete elektrische Vorrichtungen aufweisen, die in einer elektrischen Kommunikationskonfiguration mit einer oder mehreren anderen Komponenten über elektrische Leiterbahnen, zum Beispiel einer Schaltungsplatine (PCB), eingerichtet sind. Eine Schaltung könnte auch als synthetisierte Schaltung in Bezug auf eine programmierbare Hardwarevorrichtung wie ein feldprogrammierbares Gate-Array (FPGA), programmierbare Array-Logik und/oder programmierbare Logikvorrichtungen usw. implementiert werden. In anderen beispielhaften Ausführungsformen kann eine Schaltung ein Netzwerk aus nicht integrierten elektrischen und/oder elektronischen Komponenten aufweisen (mit oder ohne integrierte Schaltungsvorrichtungen). Dementsprechend kann ein Modul, wie vorstehend definiert, in bestimmten Ausführungsformen durch eine Schaltung verkörpert oder als solche implementiert sein.

[0024] Es versteht sich, dass die hierin offenbarten Ausführungsformen in einigen Beispielen einen oder mehrere Mikroprozessoren und bestimmte gespeicherte Computerprogrammanweisungen aufweisen können, die den einen oder die mehreren Mikroprozessoren steuern, um in Verbindung mit bestimmten Nicht-Prozessor-Schaltungen und anderen Elementen einige, die meisten oder alle der hier offenbarten Funktionen zu implementieren. Alternativ könnten einige oder alle Funktionen durch eine Zustandsmaschine implementiert werden, die keine gespeicherten Programmanweisungen aufweist, oder in einer oder mehreren anwendungsspezifischen integrierten Schaltungen (ASICs) oder feldprogrammierbaren Gate-Arrays (FPGAs), in denen jede Funktion oder einige Kombinationen bestimmter Funktionen als kundenspezifische Logik implementiert sind. Eine Kombination dieser Ansätze kann ebenfalls verwendet werden. Ferner sind nachfolgende Bezugnahmen auf eine „Steuerung“ so definiert, dass sie einzelne Schaltungskomponenten, eine anwendungsspezifische integrierte Schaltung (ASIC), einen Mikrocontroller mit Steuersoftware, einen digitalen Signalprozessor (DSP), ein feldprogrammierbares Gate-Array (FPGA) und/oder einen Prozessor mit Steuersoftware oder Kombinationen davon aufweisen.

[0025] Ferner beziehen sich die Begriffe „Programm“, „Software“, „Softwareanwendung“ und dergleichen, wie sie hierin verwendet werden können, auf eine Folge von Anweisungen, die zur Ausführung auf einem computerimplementierten System ausgelegt sind. Dementsprechend kann ein „Programm“, eine „Software“, eine „Anwendung“, ein „Computerprogramm“ oder eine „Softwareanwendung“ ein Unterprogramm, eine Funktion, eine Prozedur, ein Objektverfahren, eine Objektimplementierung, eine

ausführbare Anwendung, ein Applet, ein Servlet, einen Quellcode, einen Objektcode, eine gemeinsam genutzte Bibliothek/dynamische Ladebibliothek und/oder eine andere Folge spezifischer Anweisungen einschließen, die zur Ausführung auf einem Computersystem ausgelegt ist.

[0026] Außerdem sind die Begriffe „koppeln“, „gekoppelt“ oder „koppelt“, wo sie hierin verwendet werden, entweder als direkte oder indirekte Verbindung zu verstehen. Wenn also eine erste Vorrichtung an eine zweite Vorrichtung koppelt oder an diese gekoppelt ist, kann diese Verbindung durch eine direkte Verbindung oder durch eine indirekte Verbindung über andere Vorrichtungen (oder Komponenten) und Verbindungen erfolgen.

[0027] Was die Verwendung von Ausdrücken wie „eine Ausführungsform“, „eine (1) Ausführungsform“, eine „beispielhafte Ausführungsform“, „eine bestimmte Ausführungsform“ oder ähnlicher Begriffe betrifft, so sollen diese Begriffe anzeigen, dass ein spezifisches Merkmal, eine spezifische Struktur, eine spezifische Funktion, ein spezifischer Vorgang oder eine spezifische Eigenschaft, die im Zusammenhang mit der Ausführungsform beschrieben werden, in mindestens einer Ausführungsform der vorliegenden Offenbarung enthalten ist. Daher können sich Formulierungen wie „in einer (1) Ausführungsform“, „in einer Ausführungsform“, „in einer beispielhaften Ausführungsform“ usw. auf dieselbe Ausführungsform beziehen, müssen es aber nicht, sondern bedeuten „eine oder mehrere, aber nicht alle Ausführungsformen“, sofern nicht ausdrücklich etwas anderes angegeben ist. Ferner werden die Begriffe „aufweisend“, „mit“, „einschließend“ und Variationen davon in einer offenen Weise verwendet und sollten daher so ausgelegt werden, dass sie „einschließlich, aber nicht beschränkt auf...“ bedeuten, sofern nicht ausdrücklich etwas anderes angegeben ist. Außerdem schließt ein Element, dem „weist ein/eine... auf“ vorangestellt ist, ohne weitere Einschränkungen nicht aus, dass es zusätzliche identische Elemente in dem betreffenden Prozess, Verfahren, System, Artikel oder der Einrichtung gibt, die das Element einschließen.

[0028] Die Begriffe „ein/e/s“, und „der/die/das“ beziehen sich auch auf „eines oder mehrere“, sofern nicht ausdrücklich etwas anderes angegeben ist. Darüber hinaus zeigt die Formulierung „mindestens eines von A und B“, wie sie hierin und/oder in den folgenden Ansprüchen verwendet werden kann, wobei A und B Variablen sind, die ein bestimmtes Objekt oder Attribut anzeigen, eine Auswahl von A oder B oder sowohl A als auch B an, ähnlich wie die Formulierung „und/oder“. Sind in einer solchen Formulierung mehr als zwei Variablen vorhanden, so ist diese Formulierung so definiert, dass sie nur eine der Variablen, eine beliebige der Variablen, eine belie-

bige Kombination (oder Unterkombination) einer der Variablen und alle Variablen einschließt.

[0029] Ferner wird hier der Begriff „ungefähr“ oder „etwa“ auf alle numerischen Werte angewandt, unabhängig davon, ob sie ausdrücklich angegeben werden oder nicht. Diese Begriffe beziehen sich im Allgemeinen auf einen Bereich von Zahlenwerten, die ein Fachmann als äquivalent zu den angegebenen Werten ansehen würde (z. B. weil sie dieselbe Funktion oder dasselbe Ergebnis aufweisen). In bestimmten Fällen können diese Begriffe numerische Werte einschließen, die auf die nächste signifikante Figur gerundet sind.

[0030] Darüber hinaus bedeutet eine Aufzählung von Elementen, die hierin dargelegt sind, nicht, dass einige oder alle der aufgeführten Elemente sich gegenseitig ausschließen und/oder einander einschließen, sofern nicht ausdrücklich etwas anderes angegeben ist. Ferner ist der Begriff „Satz“, wie er hierin verwendet wird, so auszulegen, dass er „einen oder mehrere“ bedeutet, und im Fall von „Sätzen“ ist er so auszulegen, dass er ein Vielfaches von (oder eine Vielzahl von) „einem oder mehreren“ und/oder „einem oder mehr“ gemäß der Mengenlehre bedeutet, sofern nicht ausdrücklich etwas anderes angegeben ist.

[0031] In der folgenden detaillierten Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die einen Teil davon bilden. Es versteht sich, dass die vorstehende Kurzdarstellung nur veranschaulichend ist und in keinsten Weise einschränkend sein soll. Zusätzlich zu den vorstehend beschriebenen veranschaulichenden Gesichtspunkten, Ausführungsbeispielen und Merkmalen werden weitere Gesichtspunkte, Ausführungsformen und Merkmale unter Bezugnahme auf die nachfolgenden Zeichnungen und die detaillierte Beschreibung deutlich. Die Beschreibung von Elementen in jeder Figur kann sich auf Elemente von fortlaufenden Figuren beziehen. Gleiche Bezugsnummern können sich auf gleiche Elemente in den Figuren beziehen, einschließlich alternativer beispielhafter Ausführungsformen gleicher Elemente.

[0032] **Fig. 1A** ist ein Blockdiagramm einer beispielhaften Speichervorrichtung. Die Speichervorrichtung 100 kann ein oder mehrere Speicher-Dies 108 einschließen. Das Speicher-Die 108 schließt eine Speicherstruktur 126 aus Speicherzellen ein, wie ein Array aus Speicherzellen, eine Steuerschaltung 110 und Lese/Schreib-Schaltungen 128. Die Speicherstruktur 126 ist durch Wortleitungen über einen Zeilendecoder 124 und durch Bitleitungen über einen Spaltendecoder 132 adressierbar. Die Lese/Schreibschaltungen 128 schließen mehrere Erfassungsböcke SB1, SB2, ... SBp (Erfassungsschaltkreis) ein und ermöglichen das parallele Lesen oder

Programmieren einer Seite von Speicherzellen. Üblicherweise ist eine Steuerung 122 in der gleichen Speichervorrichtung 100 (z. B. einer entfernbaren Speicherkarte) wie das eine oder die mehreren Speicher-Dies 108 eingeschlossen. Befehle und Daten werden zwischen dem Host 140 und der Steuerung 122 über einen Datenbus 120 und zwischen der Steuerung und dem einen oder den mehreren Speicher-Dies 108 über Leitungen 118 übertragen.

[0033] Die Speicherstruktur 126 kann zweidimensional oder dreidimensional sein. Die Speicherstruktur 126 kann ein oder mehrere Arrays von Speicherzellen aufweisen, einschließlich eines dreidimensionalen Arrays. Die Speicherstruktur 126 kann eine monolithische dreidimensionale Speicherstruktur aufweisen, in der mehrere Speicherebenen über (und nicht in) einem einzelnen Substrat wie beispielsweise einem Wafer ohne dazwischen liegende Substrate ausgebildet sind. Die Speicherstruktur 126 kann jede Art von nichtflüchtigem Speicher aufweisen, der monolithisch in einer oder mehreren physischen Ebenen von Arrays von Speicherzellen ausgebildet ist, die über einen aktiven Bereich verfügen, der über einem Siliziumsubstrat angeordnet ist. Die Speicherstruktur 126 kann sich in einer nichtflüchtigen Speichervorrichtung befinden, die Schaltungen aufweist, die dem Betrieb der Speicherzellen zugeordnet sind, ganz gleich, ob sich die zugehörige Schaltung oberhalb oder innerhalb des Substrats befindet.

[0034] Die Steuerschaltlogik 110 arbeitet mit den Lese-/Schreibschaltungen 128 zusammen, um Speichervorgänge auf der Speicherstruktur 126 auszuführen, und schließt eine Zustandsmaschine 112, einen On-Chip-Adressdecodierer 114 und ein Leistungssteuerungsmodul 116 ein. Die Zustandsmaschine 112 stellt eine Steuerung von Speichervorgängen auf Chipebene bereit.

[0035] Eine Speicherungsregion 113 kann zum Beispiel für Programmierparameter bereitgestellt werden. Die Programmierparameter können eine Programmspannung, eine Vorspannung für die Programmspannung, Positionsparameter, die die Positionen der Speicherzellen angeben, Parameter für die Dicke der Kontaktleitungsverbinder, eine Verifizierungsspannung und/oder dergleichen einschließen. Die Positionsparameter können eine Position einer Speicherzelle innerhalb des gesamten Arrays von NAND-Ketten, eine Position einer Speicherzelle innerhalb einer bestimmten NAND-Ketten-Gruppe, eine Position einer Speicherzelle in einer bestimmten Ebene und/oder dergleichen angeben. Die Parameter für die Dicke des Kontaktleitungsverbinders können die Dicke des Kontaktleitungsverbinders, das Substrat oder das Material, aus dem der Kontaktleitungsverbinder besteht, und/oder dergleichen angeben.

[0036] Der On-Chip-Adressendecodierer 114 stellt eine Adressschnittstelle zwischen derjenigen, die von dem Host oder einer Speichersteuerung verwendet wird, zu der Hardwareadresse bereit, die von den Decodierern 124 und 132 verwendet wird. Das Leistungssteuermodul 116 steuert die Leistung und Spannungen, die den Wortleitungen und Bitleitungen während Speichervorgängen zugeführt werden. Es kann Treiber für Wortleitungen, SGS- und SGD-Transistoren und Sourceleitungen einschließen. Die Abtastblöcke können in einem Ansatz Bitleitungstreiber einschließen. Ein SGS-Transistor ist ein Auswahlgate-Transistor an einem Source-Ende einer NAND-Kette, und ein SGD-Transistor ist ein Auswahlgate-Transistor an einem Drain-Ende einer NAND-Kette.

[0037] In einigen Ausführungsformen können einige der Komponenten kombiniert werden. Bei verschiedenen Ausführungen können eine oder mehrere der Komponenten (allein oder in Kombination), die sich von der Speicherstruktur 126 unterscheiden, als mindestens eine Steuerschaltung betrachtet werden, die dazu eingerichtet ist, die hier beschriebenen Vorgänge durchzuführen. Die Steuerschaltlogik kann zum Beispiel eines oder eine Kombination von Steuerschaltlogik 110, Zustandsmaschine 112, Decodierer 114/132, Leistungssteuerungsmodul 116, Erfassungsblöcke SBb, SB2, SBp, Lese-/Schreibschaltungen 128, Steuerung 122 und so weiter einschließen.

[0038] Die Steuerschaltungen können eine Programmierschaltung einschließen, die so eingerichtet ist, dass sie einen Programm- und Prüfvorgang für einen Satz von Speicherzellen durchführt, wobei der eine Satz von Speicherzellen Speicherzellen aufweist, die so zugeordnet sind, dass sie einen Datenzustand aus einer Vielzahl von Datenzuständen darstellen, und Speicherzellen, die so zugeordnet sind, dass sie einen anderen Datenzustand aus der Vielzahl von Datenzuständen darstellen; wobei der Programm- und Prüfvorgang eine Vielzahl von Programm- und Prüfiterationen aufweist; und wobei die Programmierschaltung in jeder Programm- und Prüfititeration eine Programmierung für die eine Wortleitung durchführt, nach der die Programmierschaltung ein Prüfsignal an die eine Wortleitung anlegt. Die Steuerschaltungen können auch eine Zähler-schaltung enthalten, die so eingerichtet ist, dass sie die Anzahl der Speicherzellen ermittelt, die einen Verifizierungstest für den einen Datenzustand bestanden haben. Die Steuerschaltungen können auch eine Bestimmungsschaltung einschließen, die so eingerichtet ist, dass sie auf der Grundlage einer Menge, um die der Zählerstand einen Schwellenwert überschreitet, eine bestimmte Programm- und Prüfititeration aus der Vielzahl der Programm- und Prüfititerationen bestimmt, in der ein Prüftest für einen anderen Datenzustand für die Speicherzellen, die zur Darstel-

lung eines anderen Datenzustands zugewiesen sind, durchgeführt wird.

[0039] Fig. 1 B ist zum Beispiel ein Blockdiagramm einer beispielhaften Steuerschaltung 150, die eine Programmierschaltung 151, eine Zähler-schaltung 152 und eine Bestimmungsschaltung 153 aufweist.

[0040] Die Off-Chip-Steuerung 122 kann einen Prozessor 122c, Speichervorrichtungen (Speicher) wie ROM 122a und RAM 122b und eine Fehlerkorrekturcode-Maschine (ECC-Maschine) 245 aufweisen. Die ECC-Maschine kann eine Anzahl von Lesefehlern korrigieren, die verursacht werden, wenn der obere Schwanz einer Vth-Verteilung zu hoch wird. In einigen Fällen können jedoch unkorrigierbare Fehler vorliegen. Die hierin bereitgestellten Techniken verringern die Wahrscheinlichkeit von unkorrigierbaren Fehlern.

[0041] Die Speichervorrichtung(en) 122a, 122b weisen Codes auf, wie beispielsweise einen Satz von Anweisungen, und der Prozessor 122c ist betreibbar, um den Satz von Anweisungen auszuführen und die hierin beschriebene Funktionalität bereitzustellen. Alternativ oder zusätzlich kann der Prozessor auf Code von einer Speichervorrichtung 126a der Speicherstruktur 126 zugreifen, wie einen reservierten Bereich von Speicherzellen in einer oder mehreren Wortleitungen. Codes können zum Beispiel von der Steuerung 122 verwendet werden, um auf die Speicherstruktur 126 zuzugreifen, wie für Programmier-, Lese- und Löschvorgänge. Der Code kann Bootcode und Steuercode (z. B. einen Satz von Anweisungen) einschließen. Der Bootcode ist eine Software, welche die Steuerung 122 während eines Boot- oder Startvorgangs initialisiert und der Steuerung 122 ermöglicht, auf die Speicherstruktur 126 zuzugreifen. Der Code kann von der Steuerung 122 verwendet werden, um eine oder mehrere Speicherstrukturen 126 zu steuern. Beim Hochfahren ruft der Prozessor 122c den Bootcode aus dem ROM 122a oder der Speichervorrichtung 126a zur Ausführung ab, und der Bootcode initialisiert die Systemkomponenten und lädt den Steuercode in das RAM 122b. Sobald der Steuercode in den RAM 122b geladen ist, wird er durch den Prozessor 122c ausgeführt. Der Steuercode schließt Treiber zum Durchführen grundlegender Aufgaben ein, wie etwa Steuern und Zuweisen von Speicher, Priorisieren der Verarbeitung von Befehlen und Steuern von Eingabe- und Ausgabeports.

[0042] Im Allgemeinen kann der Steuercode Anweisungen einschließen, um die hierin beschriebenen Funktionen einschließlich der weiter unten erläuterten Schritte der Flussdiagramme durchzuführen und um die Spannungswellenformen einschließlich der weiter unten erläuterten bereitzustellen.

[0043] In einer Ausführungsform ist der Host eine Rechenvorrichtung (z. B. ein Laptop, ein Desktop, ein Smartphone, ein Tablet, eine Digitalkamera), die einen oder mehrere Prozessoren, eine oder mehrere prozessorlesbare Speichervorrichtungen (RAM, ROM, Flash-Speicher, Festplattenlaufwerk, Solid-State-Memory) einschließt, die einen prozessorlesbaren Code (z. B. eine Software) zum Programmieren der einen oder der mehreren Prozessoren speichert, um die hierin beschriebenen Verfahren durchzuführen. Der Host kann auch einen zusätzlichen Systemspeicher, eine oder mehrere Eingabe-/Ausgabeschnittstellen und/oder eine oder mehrere Eingabe-/Ausgabevorrichtungen einschließen, die mit dem einen oder den mehreren Prozessoren in Kommunikation stehen.

[0044] Andere Arten von nichtflüchtigen Speichern zusätzlich zu NAND-Flash-Speichern können ebenfalls verwendet werden.

[0045] Halbleiterspeichervorrichtungen schließen flüchtige Speichervorrichtungen ein, wie etwa Dynamic Random Access Memory-Vorrichtungen („DRAM-Vorrichtungen“) oder Static Random Access Memory-Vorrichtungen („SRAM-Vorrichtungen“), nichtflüchtige Speichervorrichtungen, wie etwa Resistive Random Access Memory („ReRAM“), Electrically Erasable Programmable Read Only Memory („EEPROM“), Flash-Speicher (der auch als Untergruppe eines EEPROM betrachtet werden kann), Ferroelectric Random Access Memory („FRAM“) und Magnetoresistive Random Access Memory („MRAM“), und andere Halbleiterelemente, die Informationen speichern können. Jeder Typ von Speichervorrichtung kann unterschiedliche Konfigurationen aufweisen. Zum Beispiel können Flash-Speichervorrichtungen in einer NAND- oder NOR-Konfiguration eingerichtet sein.

[0046] Die Speichervorrichtungen können aus passiven und/oder aktiven Elementen in beliebigen Kombinationen gebildet sein. Als ein nichteinschränkendes Beispiel schließen passive Halbleiterspeicherelemente ReRAM-Vorrichtungselemente ein, die in einigen Ausführungsformen ein widerstandschaltendes Speicherselement wie ein Anti-Fuse- oder Phasenwechselmaterial und gegebenenfalls ein Lenkelement wie eine Diode oder einen Transistor einschließen. Weiterhin schließen als nichteinschränkendes Beispiel aktive Halbleiterspeicherelemente EEPROM- und Flash-Speichervorrichtungselemente ein, die in einigen Ausführungsformen Elemente einschließen, die einen Ladungsspeicherungsbereich enthalten, wie etwa ein Floating-Gate, leitende Nanopartikel oder ein dielektrisches Ladungsspeicherungsmaterial.

[0047] Mehrere Speicherelemente können derart eingerichtet sein, dass sie in Reihe geschaltet sind,

oder derart, dass jedes Element einzeln zugänglich ist. Als nicht einschränkendes Beispiel enthalten Flash-Speichervorrichtungen in einer NAND-Konfiguration (NAND-Speicher) üblicherweise Speicherelemente, die in Reihe geschaltet sind. Eine NAND-Kette ist ein Beispiel für einen Satz von in Reihe geschalteten Transistoren, aufweisend Speicherzellen und SG-Transistoren.

[0048] Ein NAND-Speicherarray kann so eingerichtet werden, dass das Array aus mehreren Speicherketten besteht, wobei eine Kette aus mehreren Speicherelementen besteht, die sich eine einzelne Bitleitung teilen und auf die als Gruppe zugegriffen wird. Alternativ können Speicherelemente derart eingerichtet sein, dass jedes Element einzeln zugänglich ist, z. B. ein NOR-Speicherarray. NAND- und NOR-Speicherkonfigurationen sind Beispiele, und Speicherelemente können anderweitig eingerichtet sein. Die Halbleiterspeicherelemente, die in und/oder über einem Substrat angeordnet sind, können in zwei oder drei Dimensionen angeordnet sein, wie einer zweidimensionalen Speicherstruktur oder einer dreidimensionalen Speicherstruktur.

[0049] In einer zweidimensionalen Speicherstruktur sind die Halbleiterspeicherelemente in einer einzelnen Ebene oder einer einzelnen Speichervorrichtungsebene angeordnet. Üblicherweise sind in einer zweidimensionalen Speicherstruktur Speicherelemente in einer Ebene (z.B. in einer Ebene in x-y-Richtung) angeordnet, die sich im Wesentlichen parallel zu einer Hauptfläche eines Substrats erstreckt, das die Speicherelemente trägt. Das Substrat kann ein Wafer sein, über oder in dem die Schicht der Speicherelemente gebildet ist, oder es kann ein Trägersubstrat sein, das an den Speicherelementen befestigt wird, nachdem diese gebildet werden. Als ein nicht einschränkendes Beispiel kann das Substrat einen Halbleiter, wie Silizium, einschließen.

[0050] Die Speicherelemente können auf der einzelnen Speichervorrichtungsebene in einem geordneten Array angeordnet sein, wie in einer Vielzahl von Zeilen und/oder Spalten. Jedoch können die Speicherelemente in nicht regelmäßigen oder nicht orthogonalen Konfigurationen angeordnet sein. Die Speicherelemente können jeweils zwei oder mehr Elektroden oder Kontaktleitungen, wie Bitleitungen und Wortleitungen, aufweisen.

[0051] Ein dreidimensionales Speicherarray ist so angeordnet, dass Speicherelemente mehrere Ebenen oder mehrere Speichervorrichtungsebenen belegen, wodurch eine Struktur in drei Dimensionen gebildet wird (d. h. in der x-, y- und z-Richtung, wobei die z-Richtung im Wesentlichen senkrecht ist und die x- und y-Richtungen im Wesentlichen parallel zur Hauptoberfläche des Substrats verlaufen).

[0052] Als nicht einschränkendes Beispiel kann eine dreidimensionale Speicherstruktur vertikal als Stapel mehrerer zweidimensionaler Speichervorrichtungsebenen angeordnet sein. Als weiteres nicht einschränkendes Beispiel kann ein dreidimensionales Speicherarray als mehrere vertikale Spalten (z.B. Spalten, die sich im Wesentlichen senkrecht zur Hauptfläche des Substrats erstrecken, d. h. in y-Richtung) angeordnet sein, wobei jede Spalte mehrere Speicherelemente aufweist. Die Spalten können in einer zweidimensionalen Konfiguration angeordnet sein, z.B. in einer x-y-Ebene, was in einer dreidimensionalen Anordnung von Speicherelementen mit Elementen auf mehreren vertikal gestapelten Speicherebenen resultiert. Andere Konfigurationen von Speicherelementen in drei Dimensionen können auch ein dreidimensionales Speicherarray bilden.

[0053] Als nicht einschränkendes Beispiel können in einer dreidimensionalen Anordnung von NAND-Ketten die Speicherelemente miteinander verbunden werden, um eine NAND-Kette innerhalb einer einzigen horizontalen (z. B. x-y) Speichervorrichtungsebene zu bilden. Alternativ können die Speicherelemente miteinander gekoppelt sein, um eine vertikale NAND-Kette zu bilden, die über mehrere horizontale Speichervorrichtungsebenen verläuft. Andere dreidimensionale Konfigurationen können in Betracht gezogen werden, wobei einige NAND-Ketten Speicherelemente in einer einzelnen Speicherebene enthalten, während andere Ketten Speicherelemente enthalten, die sich über mehrere Speicherebenen erstrecken. Dreidimensionale Speicherarrays können auch in einer NOR-Konfiguration und in einer ReRAM-Konfiguration ausgebildet sein.

[0054] Üblicherweise werden in einem monolithischen dreidimensionalen Speicherarray eine oder mehrere Speichervorrichtungsebenen über einem einzelnen Substrat gebildet. Optional kann das monolithische dreidimensionale Speicherarray auch eine oder mehrere Speicherschichten mindestens teilweise innerhalb des einzelnen Substrats aufweisen. Als ein nicht einschränkendes Beispiel kann das Substrat einen Halbleiter, wie Silizium, einschließen. In einem monolithischen dreidimensionalen Array werden die Schichten, die die einzelnen Speichervorrichtungsebenen des Arrays bilden, üblicherweise auf den Schichten der darunter liegenden Speichervorrichtungsebenen des Arrays gebildet. Jedoch können Schichten von benachbarten Speichervorrichtungsebenen eines monolithischen dreidimensionalen Speicherarrays gemeinsam genutzt werden oder Zwischenschichten zwischen Speichervorrichtungsebenen aufweisen.

[0055] Auch können wiederum zweidimensionale Arrays getrennt gebildet und dann zusammengepackt werden, um eine nicht monolithische Speichervorrichtung mit mehreren Speicherschichten zu bil-

den. Zum Beispiel können nicht monolithische gestapelte Speicher konstruiert werden, indem Speicherebenen auf separaten Substraten gebildet und dann die Speicherebenen übereinander gestapelt werden. Die Substrate können vor dem Stapeln gedünnt oder von den Speichervorrichtungsebenen entfernt werden, aber da die Speichervorrichtungsebenen anfänglich über separaten Substraten gebildet werden, sind die resultierenden Speicherarrays keine monolithischen dreidimensionalen Speicherarrays. Ferner können mehrere zweidimensionale Speicherarrays oder dreidimensionale Speicherarrays (monolithisch oder nicht monolithisch) auf separaten Chips gebildet und dann zusammengepackt werden, um eine gestapelte Chip-Speichervorrichtung zu bilden.

[0056] Fig. 2 veranschaulicht schematische Ansichten von drei Typen Speicherarchitekturen, die gestapelte Speicherketten verwenden. Zum Beispiel zeigt die Referenznummer 201 eine schematische Ansicht einer ersten beispielhaften Speicherarchitektur, die Referenznummer 203 zeigt eine schematische Ansicht einer zweiten beispielhaften Speicherarchitektur, und die Referenznummer 205 zeigt eine schematische Ansicht einer dritten beispielhaften Speicherarchitektur. In einigen Ausführungsformen, wie gezeigt, kann die Speicherarchitektur ein Array von gestaffelten NAND-Ketten einschließen.

[0057] Fig. 2 veranschaulicht Blöcke 200, 210 von Speicherzellen in einer beispielhaften zweidimensionalen Konfiguration des Speicherarrays 126 von Fig. 1. Das Speicherarray 126 kann viele derartige Speicherblöcke 200, 210 einschließen. Jeder Beispielblock 200, 210 schließt eine Anzahl von NAND-Ketten und entsprechenden Bitleitungen auf, z. B. BL0, BL1, .. die von den Blöcken gemeinsam genutzt werden. Jede NAND-Kette ist an einem Ende mit einem Drain-Side-Select-Gate (SGD) verbunden, und die Steuer-Gates der Drain-Select-Gates sind über eine gemeinsame SGD-Leitung verbunden. Die NAND-Ketten sind an ihrem anderen Ende mit einem Source-Side-Select-Gate (SGS) verbunden, das wiederum mit einer gemeinsamen Source-Leitung 220 verbunden ist. Sechzehn Wortleitungen, beispielsweise WL0-WL15, erstrecken sich zwischen den SGDs und den SGSs. In einigen Fällen können im Speicherarray neben den Auswahl-Gate-Transistoren auch Dummy-Wortleitungen verwendet werden, die keine Benutzerdaten enthalten. Solche Dummy-Wortleitungen können die Randdatenwortleitung vor bestimmten Randeffekten abschirmen.

[0058] Ein Typ von nichtflüchtigem Speicher, der im Speicherarray bereitgestellt werden kann, ist ein Floating-Gate-Speicher wie vom Typ, der in Fig. 3A und Fig. 3B gezeigt ist. Andere Typen nichtflüchtiger Speicher können jedoch ebenfalls verwendet wer-

den. Wie nachstehend ausführlicher erörtert wird, verwendet in einem anderen Beispiel, das in **Fig. 4A** und **Fig. 4B** gezeigt ist, eine Charge-Trapping-Speicherzelle ein nichtleitendes dielektrisches Material anstelle eines leitenden Floating-Gates, um Ladung nichtflüchtig zu speichern. Ein dreischichtiges Dielektrikum aus Siliziumoxid, Siliziumnitrid und Siliziumoxid („ONO“) ist zwischen einem leitenden Steuer-Gate und einer Oberfläche eines halbleitenden Substrats über dem Speicherzellenkanal angeordnet. Die Zelle wird programmiert, indem Elektronen aus dem Zellkanal in das Nitrid eingespritzt werden, wo sie eingefangen und in einem begrenzten Bereich gespeichert werden. Diese gespeicherte Ladung verändert dann die Schwellenspannung eines Abschnitts des Kanals der Zelle auf eine Weise, die nachweisbar ist. Die Zelle wird durch Einspritzen heißer Löcher in das Nitrid gelöscht. Eine ähnliche Zelle kann in einer Split-Gate-Konfiguration bereitgestellt werden, bei der sich ein dotiertes Polysilizium-Gate über einem Abschnitt des Speicherzellenkanals erstreckt und dadurch einen separaten Auswahl-Transistor bildet.

[0059] Bei einem anderen Ansatz werden NROM-Zellen verwendet. Zwei Bit werden zum Beispiel in jeder NROM-Zelle gespeichert, in der sich eine dielektrische ONO-Schicht über dem Kanal zwischen Source- und Drain-Diffusion erstreckt. Die Ladung für ein Datenbit ist in der an den Drain angrenzenden dielektrischen Schicht lokalisiert, und die Ladung für das andere Datenbit ist in der an die Source angrenzenden dielektrischen Schicht lokalisiert. Die Datenspeicherung in mehreren Zuständen wird durch separates Lesen binärer Zustände der physisch getrennten Ladungsspeicherungsbereiche innerhalb des Dielektrikums erreicht. Andere Arten nichtflüchtiger Speicher sind ebenfalls bekannt.

[0060] **Fig. 3A** veranschaulicht einen Querschnitt von beispielhaften Floating-Gate-Speicherzellen 300, 310, 320 in NAND-Ketten. In dieser Figur verläuft die Richtung einer Bitleitung oder NAND-Kette in die Seite hinein, und die Richtung einer Wortleitung verläuft von links nach rechts. Als Beispiel erstreckt sich die Wortleitung 324 über NAND-Ketten, welche die jeweiligen Kanalregionen 306, 316 und 326 einschließen. Die Speicherzelle 300 schließt ein Steuer-Gate 302, ein Floating-Gate 304, eine Tunneloxidschicht 305 und die Kanalregion 306 ein. Die Speicherzelle 310 schließt ein Steuer-Gate 312, ein Floating-Gate 314, eine Tunneloxidschicht 315 und die Kanalregion 316 ein. Die Speicherzelle 320 schließt ein Steuer-Gate 322, ein Floating-Gate 321, eine Tunneloxidschicht 325 und die Kanalregion 326 ein. Jede Speicherzelle 300, 310, 320 befindet sich in einer anderen jeweiligen NAND-Kette. Eine interpolare dielektrische (IPD) Schicht 328 ist ebenfalls veranschaulicht. Die Steuer-Gates 302, 312, 322 sind Abschnitte der Wortleitung. Eine Querschnittsansicht

entlang des Kontaktleitungsverbinders 329 ist in **Fig. 3B** bereitgestellt.

[0061] Das Steuer-Gate 302, 312, 322 umschließt das Floating-Gate 304, 314, 321, wodurch der Oberflächenkontaktbereich zwischen dem Steuer-Gate 302, 312, 322 und dem Floating-Gate 304, 314, 321 vergrößert wird. Daraus ergibt sich eine höhere IPD-Kapazität, was zu einem höheren Kopplungsverhältnis führt, was das Programmieren und Löschen erleichtert. Bei der Verkleinerung von NAND-Speichervorrichtungen wird jedoch der Abstand zwischen benachbarten Zellen 300, 310, 320 kleiner, sodass zwischen zwei benachbarten Floating-Gates 302, 312, 322 fast kein Platz mehr für die Steuer-Gates 302, 312, 322 und die IPD-Schicht 328 vorhanden ist.

[0062] Als Alternative wurde, wie in **Fig. 4A** und **Fig. 4B** gezeigt, die flache oder planare Speicherzelle 400, 410, 420 entwickelt, bei der das Steuer-Gate 402, 412, 422 flach oder planar ist; d. h. sie umschließt nicht das Floating-Gate und hat nur von oben Kontakt mit der Ladungsspeicherschicht 428. In diesem Fall ist ein hohes Floating-Gate nicht von Vorteil. Stattdessen wird das Floating-Gate deutlich dünner ausgeführt. Weiterhin kann das Floating-Gate zur Ladungsspeicherung verwendet werden, oder es kann eine dünne Ladungsfallenschicht zum Einfangen von Ladung verwendet werden. Dieser Ansatz kann das Problem des ballistischen Elektronentransports vermeiden, bei dem ein Elektron während der Programmierung durch das Floating-Gate wandern kann, nachdem es durch das Tunneloxid getunnelt wurde.

[0063] **Fig. 4A** stellt einen Querschnitt von beispielhaften Charge-Trapping-Speicherzellen 400, 410, 420 in NAND-Ketten dar. Die Ansicht ist in einer Wortleitungsrichtung von Speicherzellen 400, 410, 420, die ein flaches Steuer-Gate und Charge-Trapping-Regionen als ein zweidimensionales Beispiel für Speicherzellen 400, 410, 420 in dem Speicherarray 126 aus **Fig. 1** aufweisen. Der Ladungseinfangspeicher kann in einer NOR- und NAND-Flash-Speichervorrichtung verwendet werden. Bei dieser Technologie wird ein Isolator wie eine SiN-Folie zum Speichern von Elektronen verwendet, im Gegensatz zu einer Floating-Gate-MOSFET-Technologie, bei der ein Leiter wie dotiertes polykristallines Silizium zum Speichern von Elektronen verwendet wird. Zum Beispiel erstreckt sich eine Wortleitung 424 über NAND-Ketten, die jeweilige Kanalregionen 406, 416, 426 einschließen. Abschnitte der Wortleitung stellen Steuer-Gates 402, 412, 422 bereit. Unterhalb der Wortleitung befinden sich eine IPD-Schicht 428, Charge-Trapping-Schichten 404, 414, 421, Polysiliziumschichten 405, 415, 425 und Tunnelungsschichten 409, 407, 408. Jede Charge-Trapping-Schicht 404, 414, 421 erstreckt sich kontinuierlich

lich in einer jeweiligen NAND-Kette. Die flache Konfiguration des Steuer-Gates kann dünner gemacht werden als ein Floating-Gate. Außerdem können die Speicherzellen näher beieinander platziert werden.

[0064] Fig. 4B veranschaulicht einen Querschnitt der Struktur von **Fig. 4A** entlang des Kontaktleitungsverbinders 429. Die NAND-Kette 430 schließt einen SGS-Transistor 431, beispielhafte Speicherzellen 400, 433, ... 435 und einen SGD-Transistor 436 ein. Durchgänge in der IPD-Schicht 428 in den SGS- und SGD-Transistoren 431, 436 ermöglichen die Kommunikation zwischen den Steuer-Gate-Schichten 402 und den Floating-Gate-Schichten. Die Steuer-Gate-402-Schichten und Floating-Gate-Schichten können aus Polysilizium bestehen, und die Tunneloxidschicht kann beispielsweise aus Siliziumoxid bestehen. Die IPD-Schicht 428 kann ein Stapel aus Nitriden (N) und Oxiden (O) sein, wie beispielsweise in einer N-O-N-O-N-Konfiguration.

[0065] Die NAND-Kette kann auf einem Substrat gebildet werden, das eine p-Typ-Substratregion 455, einen n-Typ-Well 456 und einen p-Typ-Well 457 aufweist. N-Typ Source-/Drain-Diffusionsregionen sd1, sd2, sd3, sd4, sd5, sd6 und sd7 werden in dem p-Typ-Well gebildet. Eine Kanalspannung, V_{ch} , kann direkt an die Kanalregion des Substrats angelegt werden.

[0066] Fig. 5 veranschaulicht ein beispielhaftes Blockdiagramm des Erfassungsblocks SB1 von **Fig. 1**. In einem Ansatz weist ein Erfassungsblock mehrere Erfassungsschaltungen auf. Jeder Erfassungsschaltung sind Datenhaltespeicher zugeordnet. Die Erfassungsschaltungen 550a, 551a, 552a und 553a sind zum Beispiel den Datenhaltespeicher 550b, 551b, 552b bzw. 553b zugeordnet. Bei einem Ansatz können unterschiedliche Untergruppen von Bitleitungen unter Verwendung unterschiedlicher jeweiliger Erfassungsböcke abgetastet werden. Dies ermöglicht, dass die Prozessorlast, die zu den Erfassungsschaltungen gehört, durch einen jeweiligen Prozessor in jedem Erfassungsblock aufgeteilt und gehandhabt wird. Die Erfassungsschaltungssteuerung 560 in SB1 kann zum Beispiel mit dem Satz der Erfassungsschaltungen und Haltespeicher kommunizieren. Die Erfassungsschaltungssteuerung 560 kann eine Vorladeschaltung 561 einschließen, die jeder Erfassungsschaltung eine Spannung zur Einstellung einer Vorladespannung bereitstellt. Bei einem möglichen Ansatz wird die Spannung jeder Erfassungsschaltung unabhängig bereitgestellt, z. B. über den Datenbus und einen lokalen Bus. Bei einem anderen möglichen Ansatz wird jeder Erfassungsschaltung gleichzeitig eine gemeinsame Spannung bereitgestellt. Die Erfassungsschaltungssteuerung 560 kann auch eine Vorladeschaltung 561, einen Speicher 562 und einen Prozessor

563 einschließen. Der Speicher 562 kann Codes speichern, die vom Prozessor ausgeführt werden können, um die hierin beschriebenen Funktionen auszuführen. Diese Funktionen können das Lesen der Haltespeicher 550b, 551b, 552b, 553b, die den Erfassungsschaltungen 550a, 551a, 552a, 553a zugeordnet sind, das Setzen von Bitwerten in den Haltespeicher und das Bereitstellen von Spannungen zum Einstellen von Vorladepegeln in den Erfassungsknoten der Erfassungsschaltungen 550a, 551a, 552a, 553a einschließen. Weitere Beispieldetails zur Steuerung der Erfassungsschaltung 560 und zu den Erfassungsschaltungen 550a, 551a, 552a, 553a werden nachfolgend bereitgestellt.

[0067] In einigen Ausführungsformen kann eine Speicherzelle ein Flag-Register einschließen, das einen Satz von Haltespeichern zum Speichern von Flag-Bits einschließt. In einigen Ausführungsformen kann eine Menge von Flag-Registern einer Menge von Datenzuständen entsprechen. In einigen Ausführungsformen können ein oder mehrere Flag-Register zur Steuerung eines Typs der Verifizierungstechnik bei der Verifizierung von Speicherzellen verwendet werden. In einigen Ausführungsformen kann die Ausgabe eines Flag-Bits die zugehörige Logik der Vorrichtung, z. B. die Adressdecodierungsschaltlogik, so modifizieren, dass ein bestimmter Block von Zellen ausgewählt wird. Ein Massenbetrieb (z. B. ein Löschvorgang usw.) kann unter Verwendung der im Flag-Register gesetzten Flags oder einer Kombination des Flag-Registers mit dem Adressregister, wie bei der impliziten Adressierung, oder alternativ durch direkte Adressierung mit dem Adressregister allein durchgeführt werden.

[0068] Fig. 6A ist eine perspektivische Ansicht eines Satzes von Blöcken 600 in einer beispielhaften dreidimensionalen Konfiguration des Speicherarrays 126 von **Fig. 1**. Auf dem Substrat befinden sich beispielhafte Blöcke BLK0, BLK1, BLK2, BLK3 von Speicherzellen (Speicherelementen) und ein Peripheriebereich 604 mit Schaltlogik zur Verwendung durch die Blöcke BLK0, BLK1, BLK2, BLK3. Zum Beispiel können die Schaltungen die Spannungstreiber 605 einschließen, die mit Steuer-Gate-Schichten der Blöcke BLK0, BLK1, BLK2, BLK3 verbunden werden können. Bei einem Ansatz werden Steuer-Gate-Schichten auf einer gemeinsamen Höhe in den Blöcken BLK0, BLK1, BLK2, BLK3 gemeinsam angesteuert. Das Substrat 601 kann auch Schaltlogik unter den Blöcken BLK0, BLK1, BLK2, BLK3 zusammen mit einer oder mehreren unteren Metallschichten tragen, welche in Leiterbahnen strukturiert sind, um Signale der Schaltlogik zu übertragen. Die Blöcke BLK0, BLK1, BLK2, BLK3 sind in einer Zwischenregion 602 der Speichervorrichtung ausgebildet. In einem oberen Bereich 603 der Speichervorrichtung sind eine oder mehrere obere Metallschichten in Leiterbahnen strukturiert, um Sig-

nale der Schaltlogik zu tragen. Jeder Block BLK0, BLK1, BLK2, BLK3 weist einen gestapelten Speicherzellenbereich auf, wobei abwechselnde Ebenen des Stapels Wortleitungen darstellen. In einem möglichen Ansatz hat jeder Block BLK0, BLK1, BLK2, BLK3 gegenüberliegende abgestufte Seiten, von denen sich vertikale Kontakte nach oben zu einer oberen Metallschicht erstrecken, um Verbindungen zu Leiterbahnen herzustellen. Während vier Blöcke BLK0, BLK1, BLK2, BLK3 beispielhaft veranschaulicht sind, können zwei oder mehr Blöcke verwendet werden, die sich in x- und/oder y-Richtung erstrecken.

[0069] Bei einem möglichen Ansatz stellt die Länge der Ebene in x-Richtung eine Richtung dar, in der sich Signalpfade zu Wortleitungen in der einen oder den mehreren oberen Metallschichten erstrecken (eine Wortleitungs- oder SGD-Leitungsrichtung), und die Breite der Ebene in y-Richtung stellt eine Richtung dar, in der sich Signalpfade zu Bitleitungen in der einen oder den mehreren oberen Metallschichten (eine Bitleitungsrichtung) erstrecken. Die z-Richtung stellt eine Höhe der Speichervorrichtung dar.

[0070] Fig. 6B veranschaulicht einen beispielhaften Querschnitt eines Abschnitts von einem der Blöcke BLK0, BLK1, BLK2, BLK3 aus Fig. 6A. Der Block weist einen Stapel 610 aus abwechselnd leitenden und dielektrischen Schichten auf. In diesem Beispiel weisen die leitfähigen Schichten zwei SGD-Schichten, zwei SGS-Schichten und vier Dummy-Wortleitungsschichten DWLD0, DWLD1, DWLS0 und DWLS1, zusätzlich zu den Datenwortleitungsschichten (Wortleitungen) WLL0-WLL10 auf. Die dielektrischen Schichten werden als DL0 bis DL19 bezeichnet. Ferner sind Regionen des Stapels 610 veranschaulicht, welche die NAND-Ketten NS1 und NS2 aufweisen. Jede NAND-Kette umfasst ein Speicherloch 618, 619, das mit Materialien gefüllt ist, die benachbart zu den Wortzeilen Speicherzellen bilden. Eine Region 622 des Stapels 610 ist in Fig. 6D ausführlicher gezeigt und wird nachstehend detaillierter erörtert.

[0071] Der 610-Stapel schließt ein Substrat 611, eine Isolierschicht 612 auf dem Substrat 611 und einen Abschnitt einer Sourceleitung SL ein. NS1 hat ein Source-Ende 613 an einer Unterseite 614 des Stapels und ein Drain-Ende 615 an einer Oberseite 616 des Stapels 610. Kontaktleitungsverbindungen (z. B. Schlitzlöcher, wie metallgefüllte Schlitzlöcher) 617, 620 können periodisch über den Stapel 610 als Verbindungen bereitgestellt werden, die sich durch den Stapel 610 erstrecken, wie zur Verbindung der Source-Leitung mit einer bestimmten Kontaktleitung oberhalb des Stapels 610. Die Kontaktleitungsverbindungen 617, 620 können bei der Bildung der Wortleitungen verwendet und anschließend mit Metall gefüllt werden. Ein Abschnitt einer Bitleitung BL0 ist ebenfalls ver-

anschaulicht. Eine leitende Durchkontaktierung 621 verbindet das Drain-Ende 615 mit BL0.

[0072] Fig. 6C veranschaulicht eine grafische Darstellung des Speicherlochdurchmessers im Stapel von Fig. 6B. Die vertikale Achse ist auf den Stapel von Fig. 6B ausgerichtet und veranschaulicht eine Breite (wMH), z. B. den Durchmesser der Speicherlöcher 618 und 619. Die Wortleitungsschichten WLL0-WLL10 von Fig. 6A werden als Beispiel wiederholt und befinden sich auf den jeweiligen Höhen z0-z10 im Stapel. In einer solchen Speichervorrichtung weisen die Speicherlöcher, die durch den Stapel geätzt werden, ein sehr hohes Seitenverhältnis auf. Zum Beispiel ist ein Verhältnis der Tiefe zum Durchmesser von etwa 25 bis 30 üblich. Die Speicherlöcher können einen kreisförmigen Querschnitt aufweisen. Aufgrund des Ätzprozesses kann die Speicherlochbreite über die Länge des Lochs variieren. Üblicherweise wird der Durchmesser von oben nach unten in dem Speicherloch immer kleiner. Das heißt, die Speicherlöcher verjüngen sich, wobei sie sich am Boden des Stapels verengen. In einigen Fällen kommt es zu einer leichten Verengung am oberen Ende des Lochs in der Nähe des Auswahlgates, sodass der Durchmesser etwas breiter wird, bevor er vom oberen Ende zum unteren Ende des Speicherlochs hin immer kleiner wird.

[0073] Aufgrund der ungleichmäßigen Breite des Speicherlochs kann die Programmiergeschwindigkeit, einschließlich der Programmflanke und der Löschgeschwindigkeit der Speicherzellen in Abhängigkeit von ihrer Position entlang des Speicherlochs variieren, z. B. in Abhängigkeit von ihrer Höhe im Stapel. Bei einem kleineren Durchmesser des Speicherlochs ist das elektrische Feld über dem Tunneloxid relativ stärker, sodass die Programmier- und Löschgeschwindigkeit relativ höher ist. Ein Ansatz besteht darin, Gruppen von benachbarten Wortleitungen zu definieren, für die der Speicherlochdurchmesser ähnlich ist, z. B. innerhalb eines definierten Durchmesserbereichs, und ein optimiertes Verifizierungsschema für jede Wortleitung in einer Gruppe anzuwenden. Verschiedene Gruppen können unterschiedlich optimierte Verifizierungsschemata aufweisen.

[0074] Fig. 6D veranschaulicht eine Nahaufnahme der Region 622 des Stapels 610 von Fig. 6B. Speicherzellen sind an den verschiedenen Ebenen des Stapels an dem Schnittpunkt einer Wortleitungsschicht und eines Speicherlochs ausgebildet. In diesem Beispiel sind die SGD-Transistoren 680, 681 über den Dummy-Speicherzellen 682, 683 und eine Datenspeicherzelle MC bereitgestellt. Eine Reihe von Schichten kann entlang der Seitenwand (SW) des Speicherlochs 630 und/oder innerhalb jeder Wortleitungsschicht abgeschieden werden, z. B. unter Verwendung von Atomschichtabscheidung.

Beispielsweise kann jede Säule (z. B. die Säule, die durch die Materialien innerhalb eines Speicherlochs 630 gebildet wird) eine Charge-Trapping-Schicht oder einen Charge-Trapping-Film 663 wie SiN oder ein anderes Nitrid, eine Tunnelschicht 664, einen Polysiliziumkörper oder Kanal 665 und einen dielektrischen Kern 666 einschließen. Eine Wortleitungsschicht kann ein sperrendes Oxid-/Block-High-k-Material 660, eine Metallbarriere 661 und ein leitendes Metall 662 wie Wolfram als Steuer-Gate einschließen. Es werden zum Beispiel die Steuer-Gates 690, 691, 692, 693 und 694 bereitgestellt. In diesem Beispiel werden alle Schichten mit Ausnahme des Metalls in dem Speicherloch 630 bereitgestellt. In anderen Ansätzen können einige der Schichten in der Steuer-Gate-Schicht sein. Zusätzliche Säulen sind gleichermaßen in den verschiedenen Speicherlöchern ausgebildet. Eine Säule kann eine säulenförmige aktive Fläche (AA) einer NAND-Kette bilden.

[0075] Wenn eine Speicherzelle MC programmiert wird, werden Elektronen in einem Abschnitt der Charge-Trapping-Schicht 663 gespeichert, welcher der Speicherzelle MC zugeordnet ist. Diese Elektronen werden in die Charge-Trapping-Schicht 663 aus dem Kanal 665 und durch die Tunnelschicht 664 gezogen. Die V_{th} einer Speicherzelle MC wird proportional zu der Menge der gespeicherten Ladung erhöht. Während eines Löschvorgangs kehren die Elektronen in den Kanal 665 zurück.

[0076] Jedes der Speicherlöcher 630 kann mit einer Vielzahl von ringförmigen Schichten gefüllt sein, die eine Blockieroxidschicht, eine Charge-Trapping-Schicht 663, eine Tunnelschicht 664 und eine Kanalschicht 665 aufweisen. Eine Kernregion jedes der Speicherlöcher 630 ist mit einem Körpermaterial gefüllt, und die Vielzahl von ringförmigen Schichten befindet sich zwischen der Kernregion und der Wortleitung in jedem der Speicherlöcher 630.

[0077] Die NAND-Kette kann mit einem Floating-Body-Kanal 665 betrachtet werden, da die Länge des Kanals 665 nicht auf einem Substrat ausgebildet ist. Weiterhin wird die NAND-Kette durch eine Vielzahl von Wortleitungsschichten bereitgestellt, die übereinander in einem Stapel angeordnet und durch dielektrische Schichten voneinander getrennt sind.

[0078] Fig. 7A zeigt eine schematische Draufsicht eines Speicherarrays 700 mit mehreren Speicherlöchern 722, die wie hierin beschrieben vertikale Speicherzellenstränge sein können, und mehreren Dummy-Löchern 705, 705, die keine vollständige Speicherstruktur benötigen. Eine flache Grabenätzung oder ein flaches Ätzmerkmal (SHE) 710 erstreckt sich durch eine Vielzahl von Wortleitungen (z. B. fünf), aber nicht vollständig durch den Chip, um

benachbarte Ketten elektrisch voneinander zu isolieren. Der SHE erstreckt sich direkt durch eine Gruppe ausgerichteter Dummy-Löcher 705, wodurch verhindert wird, dass diese Dummy-Löcher 705 Daten speichern oder anderweitig funktionsfähige Speicherzellen sind.

[0079] Bezug nehmend nun auf Fig. 8A und Fig. 8B gibt es keine Dummy-Löcher. Anders als bei der Speicherstruktur 700 von Fig. 7A und Fig. 7B befindet sich der SHE 810 in einer Lücke zwischen zwei benachbarten Reihen von Speicherzellen 825 und überlappt mit Speicherlöchern 825, wodurch ein Arbeitsstrang erzeugt wird, der einen Graben aufweist, der in eine Seite mindestens des oberen SGD-Schalters des Arbeitsspeicherstrangs geätzt ist, hier als Speicherlöcher 825 gezeigt. Diese Konfiguration verbessert die Ausbeute und die Speicherdichte wesentlich, da alle Speicherlöcher 822, 825 funktionsfähig sind, d. h. weniger Speicherlöcher verschwendet werden.

[0080] Im Gegensatz zu den vollständig kreisförmigen Speicherlöchern 822 haben die Speicherlöcher 825 und die SGD-Schalter, die teilweise von dem SHE 810 geschnitten werden, eine halbkreisförmige Form, die entweder ein Halbkreis oder mehr oder weniger als ein Halbkreis sein kann. In einigen Fällen können die Speicherlöcher 825 und SGD-Schalter weniger als Halbkreise auf einer Seite des SHE 810 und mehr als Halbkreise auf der anderen Seite des SHE 810 sein.

[0081] Die Speicherlöcher 822, 825 sind mit mehreren Bitleitungen 830 (in Fig. 8A als Bitleitungen 0-7 bezeichnet) verbunden. Zur einfacheren Veranschaulichung wurden nur acht Bitleitungen 830 gezeigt. Die Bitleitungen 830 erstrecken sich über die Speicherlöcher hinweg und sind über Verbindungspunkte mit ausgewählten Speicherlöchern verbunden. Die Speicherlöcher in jedem Strangbereich sind außerdem an einem Ende mit einem SGD-Schalter oder einem SGD-Transistor und am anderen Ende mit einem SGS-Schalter verbunden. Der SHE-Graben 810 kann in einen Abschnitt des SGD-Schalters geätzt werden.

[0082] Wie vorstehend erörtert, kann es schwierig sein, Vorspannungen auszuwählen, die an SGD angelegt werden. Fig. 9 ist eine obere Querschnittsansicht von zwei halbkreisförmigen Speicherlöchern, die teilweise mit einem SHW 810 geschnitten sind (am weitesten linker Abschnitt von Fig. 9), zusammen mit entsprechenden vertikalen Querschnitten (mittlerer Abschnitt der Fig. 9), um eine Elektronenumverteilung aufgrund von Lesebelastung und einer späteren Entspannung darzustellen, zusammen mit einem Diagramm der Schwellenwertspannungsverteilung der SGD-Schalter, resultierend aus der Umverteilung und der Entspannung (am wei-

testen rechter Abschnitt von **Fig. 9**). Wie gezeigt, kann die Umverteilung aufgrund der Lesebelastung ein vorübergehendes Herunterschalten der Schwellenspannung V_t der SGD-Schalter oder Transistoren bewirken. **Fig. 10** zeigt experimentelle Ergebnisse, welche die Lesebelastung veranschaulichen. Für das Experiment weist eine ausgewählte Kette eine Ladungsumverteilung innerhalb der Charge-Trapping-Schicht CTL (kleine SG-Spannung VSG) und Ladungsverlust durch Schwarzoxid (große SG-Spannung VSG) auf, und eine nicht ausgewählte Kette weist eine durch die SG-Spannung VSG der ausgewählten Kette induzierte seitliche Migration auf. Somit werden, wie gezeigt, verschiedene VSG-Spannungen an die SGD-Transistoren auf einer Vielzahl von Ketten angelegt, und 10.000 Blöcke lesege-spannt und aus/eingeschaltet. **Fig. 11** veranschaulicht eine Darstellung der Schwellenwertverteilung nach einer 100.000-Block-Lesebelastung. Somit findet ein Herunterschalten der SC-SGD nach einer Lesestörung statt. Eine solche Störung erfolgt in einer ausgewählten Kette und ihrer SHW-Nachbar-kette (**Fig. 9**). Außerdem wird das SGD-Herunterschalten und die Injektionsstörung bei einer SGD-Spannung VSG von etwa 3,8 a.u. erheblich reduziert. Schließlich erholt sich die Verteilung der SGD-Schwellenspannung V_t nach der Entspannung wieder.

[0083] **Fig. 12** zeigt Verteilungen V_t der Schwellenwertspannung für eine Vielzahl von beispielhaften Gruppen von Speicherzellen unter Verwendung verschiedener Prozesse (z. B. kein OPS (on-pitch SGD), OPS (Fall 1), OPS (Fall 2) und OPS (Fall 3) unter Verwendung verschiedener VSG-Spannungen. **Fig. 13** zeigt eine Darstellung einer Schwellenspannung V_t für drei Speicher-Dies (z. B. Speicher-Die 108). Wie gezeigt, stellt sich heraus, dass verschiedene Dies und Prozesse unterschiedliche Reaktionen auf die SG-Spannung oder die VSG-Vorspannung zeigen. Im Allgemeinen ist es, wenn möglich, bevorzugt, eine möglichst niedrige SG-Spannung VSG zu verwenden, um das SGD-Herunterschaltisiko abzuschwächen. Unterschiedliche Dies können jedoch aufgrund der Variationen im Herstellungsprozess unterschiedliche Schwellenspannungen V_t der SGD-Transistoren aufweisen. Zum Beispiel weist das Die 1 in **Fig. 13** eine perfekte Schwellenspannung V_t der SGD-Transistoren auf, sodass alle Bits unter 3 a.u. liegen. In diesem Fall ist es möglich, diesen SGD-Transistor mit einer minimalen SG-Spannung VSG von 3 a.u. plus einer Übersteuerspannung $V_{\text{OVERDRIVE}}$ (z. B. 0,5 a.u.) = 3,5 a.u. einzuschalten. Andere Dies (Die 2) weisen eine breitere Schwellenspannung V_t der SGD-Transistoren auf, sodass alle Bits unter 3,2 a.u. liegen. In diesem Fall ist es möglich, diese SGD-Transistoren mit minimaler SG-Spannung VSG von 3,2 a.u. plus einer Übersteuerspannung $V_{\text{OVERDRIVE}}$ (z. B. 0,5 a.u.) = 3,7 a.u. einzuschalten. Einige Dies (Die 3) weisen

eine höhere Schwellenspannung V_t der SGD-Transistoren auf, sodass alle Bits unter 3,8 a.u. liegen. In diesem Fall ist es möglich, diese SGD-Transistoren mit minimaler SG-Spannung VSG = 3,8 a.u. plus einer Übersteuerspannung $V_{\text{OVERDRIVE}}$ (z. B. 0,5 a.u.) = 4,3 a.u. einzuschalten. Daher ist es wünschenswert, dass verschiedene Dies unterschiedliche Vorspannungen der SG-Spannung VSG aufweisen.

[0084] Folglich ist hierin eine Speichervorrichtung (z. B. Speichervorrichtung 100 von **Fig. 1A**) beschrieben, die Speicherzellen (z. B. Datenspeicherzelle MC und Dummy-Speicherzellen 682, 683 von **Fig. 6D**) umfasst, die mit einer von einer Vielzahl von Wortleitungen (z. B. Datenwortleitungsschichten (Wortleitungen) WLL0-WLL10 von **Fig. 6B** oder WLL10 von **Fig. 6D**) verbunden sind. Die Speicherzellen sind in Ketten (z. B. NAND-Ketten NS1 und NS2 von **Fig. 6B**) angeordnet und dazu eingerichtet, eine Schwellenspannung V_t oder V_{th} zu halten. Wiederum weist jede der Ketten mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten auf, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der Ketten gekoppelt sind. Die Einrichtung schließt auch eine Steuerschaltung oder ein Mittel (z. B. eine oder eine beliebige Kombination von Steuerschaltung 110, Decodierer 114/132, Leistungssteuermodul 116, Erfassungsblöcke SBb, sB2, ... sBp, Lese-/Schreibschaltungen 128, Steuerung 122 von **Fig. 1A**, Steuerschaltung 150 von **Fig. 1B** und/oder Erfassungsschaltungssteuerung 560 von **Fig. 5** und so weiter) ein, die mit der Vielzahl von Wortleitungen und der Vielzahl von Bitleitungen und der Vielzahl von SGD-Transistoren gekoppelt sind. Das Steuermittel ist dazu eingerichtet, eine eindeutige SG-Spannung VSG für jede einer Vielzahl von Gruppierungen der Speicherzellen zu bestimmen. Die eindeutige SG-Spannung VSG ist individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst. Das Steuermittel ist auch dazu eingerichtet, die eindeutige SG-Spannung VSG an den mindestens einen SGD-Transistor der ausgewählten Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen anzulegen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

[0085] Gemäß einem Gesichtspunkt ist der mindestens eine SGD-Transistor dazu eingerichtet, eine Transistorschwellenwertspannung zu halten. Das Steuermittel ist weiterhin dazu eingerichtet, die eindeutige SG-Spannung VSG basierend auf der Transistorschwellenwertspannung des mindestens einen SGD-Transistors jeder der Vielzahl von Gruppierungen der Speicherzellen adaptiv anzupassen. Genauer gesagt ist das Steuermittel weiterhin dazu eingerichtet, eine Erfassungsschwellenwertspannung V_{DETECT} als eine vorbestimmte Erfassungs-

schwelenwertspannung als Reaktion auf das Empfangen eines SG-Vorspannungssuchbefehls zu initialisieren. Als Nächstes wird eine SG-Spannung VSG, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als Erfassungsschwelenwertspannung V_{DETECT} bestimmt. Das Steuermittel zählt dann eine SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, die eine Transistorschwellenwertspannung über der Erfassungsschwelenwertspannung V_{DETECT} aufweisen. Das Steuermittel ist dazu eingerichtet, zu bestimmen, ob die SGD-Quantität größer ist als ein SGD-Quantitäts-Erfassungsschwellenwert. Das Steuerungsmittel dekrementiert die Erfassungsschwelenwertspannung V_{DETECT} durch eine Delta-Erfassungsschwelenwertspannung (z. B. 0,4 a.u.) und kehrt zum Einstellen der SG-Spannung VSG zurück, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, da die Erfassungsschwelenwertspannung V_{DETECT} als Reaktion auf die SGD-Quantität nicht größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist.

[0086] Fig. 14A-14D zeigen Schwellenwertspannungs- V_t -Verteilungen für die SGD-Transistoren zusammen mit beispielhaften Erfassungsschwelenwertspannungen V_{DETECT} und entsprechende SGD-Quantität der SGD-Transistoren der Ketten jeder der Vielzahl von Gruppierungen mit einer Transistorschwellenwertspannung über der Erfassungsschwelenwertspannung V_{DETECT} . Die Erfassungsschwelenwertspannung V_{DETECT} wird, wie dargestellt, auf 4,6 a.u. eingestellt, und das Steuerungsmittel zählt eine SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, deren Transistorschwellenwertspannung über der Erfassungsschwelenwertspannung V_{DETECT} liegt, und es werden keine Bits gezählt (d. h. die SGD-Quantität ist null). Das Steuermittel bestimmt, dass die SGD-Quantität nicht größer ist als der SGD-Quantitäts-Erfassungsschwellenwert und dekrementiert daher die Erfassungsschwelenwertspannung V_{DETECT} durch die Delta-Erfassungsschwelenwertspannung V_{DETECT} und kehrt zum Einstellen der SG-Spannung VSG zurück, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen als die Erfassungsschwelenwertspannung V_{DETECT} angelegt wird, da die SGD-Quantität nicht größer als der SGD-Quantitäts-Erfassungsschwellenwert ist. Somit wiederholt das Steuermittel diesen Prozess (**Fig. 14B-14D**) des Dekrementierens und Zählens, bis das Steuermittel bestimmt, dass die SGD-Quantität größer ist als der SGD-Quantitäts-Erfassungsschwellenwert. Das Steuermittel ist auch dazu eingerichtet, die eindeutige SG-Spannung VSG als eine adaptive SG-Spannung VSG gleich der Erfas-

ungsschwelenwertspannung V_{DETECT} plus eine vorbestimmte feste Übersteuerspannung $V_{\text{OVER-DRIVE}}$ als Reaktion darauf einzustellen, dass die SGD-Quantität größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist. Das Steuermittel beendet dann die Suche nach der SG-Vorspannung.

[0087] Gemäß einem Gesichtspunkt ist das Steuermittel weiterhin dazu eingerichtet, die eindeutige SG-Spannung VSG für jede der Vielzahl von Gruppierungen der Speicherzellen auf periodischer Basis zu bestimmen. Gemäß einem anderen Gesichtspunkt ist das Steuermittel weiterhin dazu eingerichtet, einen Zykluszahlwert zu zählen, der gleich einer Anzahl von Malen ist, die der Speichervorgang für die Speicherzellen einer oder mehrerer der Vielzahl von Gruppierungen der Speicherzellen ausgeführt hat. Die Steuerschaltung ist außerdem so eingerichtet, dass sie bestimmt, ob der Zykluszahlwert einen vorgegebenen Schwellenwert für den Zykluszahlwert überschreitet. Das Steuermittel bestimmt dann die eindeutige SG-Spannung VSG für jede der Vielzahl von Gruppierungen der Speicherzellen als Reaktion darauf, dass der Zykluszahlwert den vorbestimmten Zykluszahlwert überschreitet. Mit anderen Worten kann die SG-Vorspannungssuche nach einer Anzahl von Zyklen durchgeführt werden, die größer als der vorbestimmte Zykluszahlwert ist.

[0088] Fig. 15 zeigt eine Vielzahl von Blöcken von Speicherzellen, in denen das offenbarte Verfahren oder die Technik der adaptiven SG-Vorspannungssuche verwendet wurde, um die SG-Spannung VSG für jeden der Blöcke sowie eine Schwellenwertspannungsverteilung V_t der SGD-Transistoren für jeden der Blöcke zu bestimmen. Gemäß einem Gesichtspunkt schließt die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Blöcken ein (z. B. Block x und Block y von **Fig. 15**), deren jeder eine Vielzahl der Speicherzellen einschließt. **Fig. 16A-16B** zeigen Diagramme von Schwellenwertspannungs- V_t -Verteilungen der SGD-Transistoren in Vollkreis-Speicherlöchern, einem oberen Block von Halbkreis-Speicherlöchern, einem mittleren Block von Halbkreis-Speicherlöchern und einem unteren Block von Halbkreis-Speicherlöchern für zwei verschiedene Speicher-Dies. Daher kann eine SG-Spannung oder Vorspannung oder Spannung VSG für verschiedene Blöcke verwendet werden (z. B. können verschiedene Blöcke (Zonen) unterschiedliche SHW-Ätzbedingungen aufweisen, so dass ihre Vulnerabilitäten unterschiedlich sein könnten), abhängig von der SGD-Schwellenwertspannung V_t auf Block-(Zonen)-Ebene. Dadurch kann sichergestellt werden, dass jeder Block (jede Zone) seine eigene „minimale VSG-Vorspannung“ erhält, um das Risiko eines Lesebelastungs-induzierten SGD-Herunterschaltens zu minimieren. Aufgrund von Variationen des Herstellungsprozesses weisen einige Regionen des Dies eine schlechtere obere SGD-Schwanz-

schwellsenpannung V_t auf, sodass sie eine höhere SG-Spannung VSG benötigen. Einige andere Bereiche des Dies weisen einen kleineren oberen SGD-Schwanz auf, sodass sie eine kleinere SG-Spannung VSG benötigen.

[0089] Fig. 17 zeigt eine Vielzahl von Speicher-Dies von Speicherzellen, in denen das offenbarte Verfahren oder die Technik der adaptiven SG-Vorspannungssuche verwendet wurde, um die SG-Spannung VSG für jedes Speicher-Die sowie eine Schwellenspannungs- V_t -Verteilung der SGD-Transistoren für jedes Speicher-Die zu bestimmen. Gemäß einem Gesichtspunkt kann die Speichervorrichtung weiterhin die Vielzahl von Speicher-Dies NAND-Die 0, NAND-Die 1, NAND-Die 2, NAND-Die 3, NAND-Die 4, NAND-Die 5, NAND-Die 6, NAND-Die 7 (z. B. Speicher-Die 108) einschließlich der Speicherzellen aufweisen. Somit kann die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Speicher-Dies NAND-Die 0, NAND-Die 1, NAND-Die 2, NAND-Die 3, NAND-Die 4, NAND-Die 5, NAND-Die 6, NAND-Die 7 aufweisen, die jeweils physisch getrennt voneinander angeordnet sind. Fig. 18A-18B zeigen Diagramme von Schwellenwertspannungs- V_t -Verteilungen der SGD-Transistoren in Vollkreis-Speicherlöchern, einem oberen Block von Halbkreis-Speicherlöchern, einem mittleren Block von Halbkreis-Speicherlöchern und einem unteren Block von Halbkreis-Speicherlöchern für zwei verschiedene Speicher-Dies. Somit kann eine adaptive SG-Vorspannung oder Spannung für unterschiedliche Dies verwendet werden, abhängig von ihrer eigenen SGD-Schwellenwertspannung V_t . Dadurch kann von jedem Die garantiert werden, dass es seine eigene „minimale VSG-Vorspannung“ nutzt, um das Risiko eines Lesebelastungs-induzierten SGD-Herunterschaltens zu minimieren. Aufgrund von Variationen des Herstellungsprozesses weisen einige Dies einen schlechteren oberen SGD-Schwellenwertspannung- V_t -Schwanz auf, sodass sie eine höhere SG-Spannung VSG benötigen. Einige andere Dies weisen einen kleineren oberen SGD-Schwanz auf, sodass sie eine kleinere SG-Spannung VSG benötigen.

[0090] Fig. 19 und Fig. 20 veranschaulichen Schritte eines Verfahrens zum Betreiben einer Speichereinrichtung. Wie oben ausgeführt, schließt die Speichervorrichtung (z. B. Speichervorrichtung 100 von Fig. 1A) Speicherzellen (z. B. Datenspeicherzelle MC und Dummy-Speicherzellen 682, 683 von Fig. 6D) ein, die mit einer von einer Vielzahl von Wortleitungen (z. B. Datenwortleitungsschichten (Wortleitungen) WLL0-WLL10 von Fig. 6B oder WLL10 von Fig. 6D) verbunden sind. Die Speicherzellen sind in Ketten (z. B. NAND-Ketten NS1 und NS2 von Fig. 6B) angeordnet und dazu eingerichtet, eine Schwellenspannung V_t oder V_{th} zu halten. Wiederum weist jede der Ketten mindestens einen SGD-

Transistor auf einer Drain-Seite der einen der Ketten auf, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der Ketten gekoppelt sind. Bezug nehmend auf Fig. 19 schließt das Verfahren den Schritt 1000 zum Bestimmen einer eindeutigen SG-Spannung VSG für jede einer Vielzahl von Gruppierungen von Speicherzellen ein. Die eindeutige SG-Spannung VSG ist individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst. Der nächste Schritt des Verfahrens ist 1002 das Anlegen der eindeutigen SG-Spannung VSG an den mindestens einen SGD-Transistor ausgewählter Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

[0091] Wie vorstehend erörtert, schließt gemäß einem Gesichtspunkt die Vielzahl von Gruppierungen der Speicherzellen eine Vielzahl von Blöcken ein, die jeweils eine Vielzahl von Speicherzellen enthalten. Gemäß einem anderen Gesichtspunkt schließt die Speichervorrichtung weiterhin eine Vielzahl von Speicher-Dies 108 ein, die die Speicherzellen enthalten, wobei die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Speicher-Dies 108 einschließt, die jeweils physisch getrennt voneinander angeordnet sind.

[0092] Nun Bezug nehmend auf Fig. 20, schließt das Verfahren weiterhin den Schritt 1004 des adaptiven Anpassens der eindeutigen SG-Spannung VSG basierend auf einer Transistorschwellenwertspannung des mindestens einen SGD-Transistors jeder der Vielzahl von Gruppierungen der Speicherzellen ein. Wiederum ist der mindestens eine SGD-Transistor dazu eingerichtet, eine Transistorschwellenwertspannung zu halten. Somit schließt das Verfahren weiterhin die Schritte 1006 zum Starten der adaptiven SG-Vorspannungssuche oder der SG-Vorspannungssuche und 1008 des Initialisierens einer Erfassungsschwellenwertspannung V_{DETECT} als eine vorbestimmte Erfassungsschwellenwertspannung als Reaktion auf das Empfangen eines SG-Vorspannungssuchbefehls ein. Der nächste Schritt des Verfahrens ist 1010 das Einstellen einer SG-Spannung VSG, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als Erfassungsschwellenwertspannung V_{DETECT} . Der nächste Schritt des Verfahrens ist 1012 das Zählen einer SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen mit der Transistorschwellenwertspannung über der Erfassungsschwellenwertspannung V_{DETECT} . Das Verfahren fährt mit 1014 fort, um zu bestimmen, ob die SGD-Quantität größer ist als ein SGD-Quantitäts-Erfassungsschwellenwert. Das Verfahren schließt dann den Schritt 1016 des Dekrementierens der Erfassungsschwellenwertspannung

V_{DETECT} um eine Delta-Erfassungsschwellenwertspannung (z. B. 0,4 a.u.) und des Zurückkehrens zum Einstellen der SG-Spannung VSG, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen als Erfassungsschwellenwertspannung V_{DETECT} angelegt wird, als Reaktion darauf, dass die SGD-Quantität nicht größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist, ein. Das Verfahren schließt zusätzlich den Schritt 1018 des Einstellens der eindeutigen SG-Spannung VSG als adaptive SG-Spannung VSG, die der Erfassungsschwellenwertspannung V_{DETECT} plus einer vorbestimmten feste Übersteuerspannung $V_{\text{OVERDRIVE}}$ entspricht, als Reaktion darauf, dass die SGD-Quantität größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist, ein. Das Verfahren schließt auch den Schritt 1020 zum Beenden der SG-Vorspannungssuche ein.

[0093] Gemäß einem Gesichtspunkt kann die SG-Spannung-VSG- oder Vorspannungssuche periodisch durchgeführt werden. Somit schließt das Verfahren den Schritt des Bestimmens der eindeutigen SG-Spannung VSG für jede der Vielzahl von Gruppierungen der Speicherzellen auf periodischer Basis ein. Gemäß einem anderen Gesichtspunkt kann die Suche infolge einer Zyklisierung ausgelöst werden. Daher schließt das Verfahren den Schritt des Zählens eines Zykluszahlwerts ein, der gleich einer Anzahl von Malen ist, die der Speichervorgang für die Speicherzellen einer oder mehrerer der Vielzahl von Gruppierungen der Speicherzellen ausgeführt hat. Als Nächstes wird bestimmt, ob der Zykluszahlwert einen vorbestimmten Zykluszahl-schwellenwert überschreitet. Das Verfahren fährt mit dem Schritt des Bestimmens der eindeutigen SG-Spannung VSG für jede der Vielzahl von Gruppierungen der Speicherzellen als Reaktion darauf fort, dass der Zykluszahlwert den vorbestimmten Zykluszahl-schwellenwert überschreitet.

[0094] Die Vorteile der hierin offenbarten Speichervorrichtung und des Verfahrens schließen eine Minimierung des SGD-Herunterschaltens ohne das Risiko eines NAND-Kettenabschaltens infolge einer niedrigen SG-Spannung VSG ein. Da außerdem die hierin offenbarte Speichervorrichtung und das hierin offenbarte Verfahren die adaptive SG-Vorspannungssuche für jeden Block und/oder jeden Speicher-Die ausführen können, kann jedes Die oder jeder Block eine eigene „Minimal-VSG“-Vorspannung erreichen.

[0095] Natürlich können Änderungen an dem vorgenommen werden, was hierin beschrieben und veranschaulicht ist, ohne jedoch von dem Schutzzumfang abzuweichen, der in den beigefügten Ansprüchen definiert ist. Die vorstehende Beschreibung der Ausführungsformen dient den Zwecken der Veranschaulichung und Beschreibung. Sie soll nicht erschöpfend

sein oder die Offenbarung beschränken. Individuelle Elemente oder Merkmale einer speziellen Ausführungsform sind im Allgemeinen nicht auf diese spezielle Ausführungsform beschränkt, sondern gegebenenfalls austauschbar und können in einer ausgewählten Ausführungsform verwendet werden, auch wenn dies nicht speziell gezeigt oder beschrieben wird. Selbige können auch auf vielfältige Weise variiert werden. Solche Variationen sind nicht als Abweichung von der Offenbarung anzusehen, und alle derartigen Modifikationen sollen innerhalb des Schutzzumfangs der Offenbarung eingeschlossen sein.

Patentansprüche

1. Speichereinrichtung, aufweisend: Speicherzellen, die mit einer von einer Vielzahl von Wortleitungen verbunden und in Ketten angeordnet und dazu eingerichtet sind, eine Schwellenwertspannung zu halten; wobei jede der Ketten mindestens einen Auswahlgate-Transistor auf der Drain-Seite (SGD-Transistor) der einen der Ketten aufweist, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind; und ein Steuermittel, das mit der Vielzahl von Wortleitungen und der Vielzahl von Bitleitungen und dem mindestens einen SGD-Transistor gekoppelt und dazu eingerichtet ist: eine eindeutige Auswahlgate-Spannung (SG-Spannung) für jede einer Vielzahl von Gruppierungen der Speicherzellen zu bestimmen, wobei die eindeutige SG-Spannung individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst ist, und die eindeutige SG-Spannung an den mindestens einen SGD-Transistor ausgewählter Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen anzulegen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.
2. Speichervorrichtung nach Anspruch 1, wobei die Vielzahl von Gruppierungen der Speicherzellen eine Vielzahl von Blöcken einschließt, die jeweils eine Vielzahl der Speicherzellen enthalten.
3. Speichervorrichtung nach Anspruch 1, die weiterhin eine Vielzahl von Speicher-Dies einschließt der Speicherzellen einschließt und wobei die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Speicher-Dies einschließt, die jeweils physisch getrennt voneinander angeordnet sind.
4. Speichervorrichtung nach Anspruch 1, wobei das Steuermittel weiterhin dazu eingerichtet ist, die eindeutige SG-Spannung basierend auf einer Tran-

sistorschwellenwertspannung des mindestens einen SGD-Transistors jeder der Vielzahl von Gruppierungen der Speicherzellen adaptiv anzupassen.

5. Speichervorrichtung nach Anspruch 1, wobei der mindestens eine SGD-Transistor dazu eingerichtet ist, eine Transistorschwellenwertspannung zu halten und das Steuermittel weiterhin dazu eingerichtet ist:

eine Erfassungsschwellenwertspannung als eine vorbestimmte Erfassungsschwellenwertspannung als Reaktion auf das Empfangen eines SG-Vorspannungssuchbefehls zu initialisieren;
 eine SG-Spannung, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als Erfassungsschwellenwertspannung festzulegen;
 eine SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, deren Transistorschwellenwertspannung über der Erfassungsschwellenwertspannung liegt, zu zählen;
 zu bestimmen, ob die SGD-Quantität größer ist als ein SGD-Quantitäts-Erfassungsschwellenwert;
 die Erfassungsschwellenwertspannung um eine Delta-Erfassungsschwellenwertspannung zu dekrementieren und zum Festlegen der SG-Spannung, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als die Erfassungsschwellenwertspannung als Reaktion darauf zurückzukehren, dass die SGD-Quantität nicht größer als ein SGD-Quantitätserfassungsschwellenwert ist;
 die eindeutige SG-Spannung als eine adaptive SG-Spannung festzulegen, die der Erfassungsschwellenwertspannung plus einer vorbestimmten festen Übersteuerungsspannung entspricht, als Reaktion darauf, dass die SGD-Quantität größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist; und
 die SG-Vorspannungssuche zu beenden.

6. Speichervorrichtung nach Anspruch 1, wobei das Steuermittel weiterhin dazu eingerichtet ist, die eindeutige SG-Spannung für jede der Vielzahl von Gruppierungen der Speicherzellen auf periodischer Basis zu bestimmen.

7. Speichereinrichtung gemäß Anspruch 1, wobei die Steuerschaltung weiterhin dazu eingerichtet ist:

einen Zykluszahlwert gleich einer Anzahl von Malen zu zählen, die der Speichervorgang für die Speicherzellen einer oder mehrerer der Vielzahl von Gruppierungen der Speicherzellen ausgeführt wurde;
 zu bestimmen, ob der Zykluszahlwert einen vorbestimmten Zykluszahlschwellewert überschreitet; und
 die eindeutige SG-Spannung für jede der Vielzahl von Gruppierungen der Speicherzellen als Reaktion

darauf zu bestimmen, dass der Zykluszahlwert den vorbestimmten Zykluszahlschwellewert überschreitet.

8. Steuerung in Kommunikation mit einer Speichervorrichtung, die Speicherzellen einschließt, die mit einer von einer Vielzahl von Wortleitungen verbunden und in Ketten angeordnet und dazu eingerichtet sind, eine Schwellenwertspannung zu halten, wobei jede der Ketten mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten aufweist, die mit einer von einer Vielzahl von Wortleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind, wobei die Steuerung dazu eingerichtet ist:

eine eindeutige Auswahlgate-Spannung (SG-Spannung) für jede einer Vielzahl von Gruppierungen der Speicherzellen zu bestimmen, wobei die eindeutige SG-Spannung individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst ist, und
 die Speichervorrichtung anzuweisen, die eindeutige SG-Spannung an den mindestens einen SGD-Transistor ausgewählter Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen anzulegen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

9. Steuerung nach Anspruch 8, wobei die Vielzahl von Gruppierungen der Speicherzellen eine Vielzahl von Blöcken einschließt, die jeweils eine Vielzahl der Speicherzellen einschließen.

10. Steuerung nach Anspruch 8, wobei die Speichervorrichtung weiterhin eine Vielzahl von Speicher-Dies einschließt, die die Speicherzellen enthalten, und wobei die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Speicher-Dies einschließen, die jeweils physisch getrennt voneinander angeordnet sind.

11. Steuerung nach Anspruch 8, wobei die Steuerung weiterhin dazu eingerichtet ist, die Speichervorrichtung anzuweisen, die eindeutige SG-Spannung basierend auf einer Transistorschwellenwertspannung des mindestens einen SGD-Transistors jeder der Vielzahl von Gruppierungen der Speicherzellen adaptiv anzupassen.

12. Steuerung nach Anspruch 8, wobei der mindestens eine SGD-Transistor dazu eingerichtet ist, eine Transistorschwellenwertspannung zu halten, und das Steuermittel weiterhin dazu eingerichtet ist: eine Erfassungsschwellenwertspannung als eine vorbestimmte Erfassungsschwellenwertspannung als Reaktion auf das Empfangen eines SG-Vorspannungssuchbefehls zu initialisieren;
 die Speichervorrichtung anzuweisen, eine SG-Spannung festzulegen, die an den mindestens

einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen als Erfassungsschwellenwertspannung angelegt wird; die Speichervorrichtung anzuweisen, eine SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen zu zählen, deren Transistor-schwellenwertspannung über der Erfassungsschwellenwertspannung liegt; zu bestimmen, ob die SGD-Quantität größer ist als ein SGD-Quantitäts-Erfassungsschwellenwert; die Speichervorrichtung anzuweisen, die Erfassungsschwellenwertspannung um eine Delta-Erfassungsschwellenwertspannung zu dekrementieren und dazu zurückzukehren, die Speichervorrichtung anzuweisen, die SG-Spannung, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als die Erfassungsschwellenwertspannung als Reaktion darauf, dass die SGD-Quantität nicht größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist, festzulegen; die Speichervorrichtung anzuweisen, die eindeutige SG-Spannung als eine adaptive SG-Spannung gleich der Erfassungsschwellenwertspannung plus einer vorbestimmten festen Übersteuerspannung festzulegen, als Reaktion darauf, dass die SGD-Quantität größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist; und die SG-Vorspannungssuche zu beenden.

13. Steuerung nach Anspruch 8, wobei die Steuerung weiterhin dazu eingerichtet ist, die eindeutige SG-Spannung für jede der Vielzahl von Gruppierungen der Speicherzellen auf periodischer Basis zu bestimmen.

14. Verfahren zum Betreiben einer Speichervorrichtung, die Speicherzellen aufweist, die mit einer von einer Vielzahl von Wortleitungen verbunden und in Ketten angeordnet und dazu eingerichtet sind, eine Schwellenwertspannung zu halten, wobei jede der Ketten mindestens einen SGD-Transistor auf einer Drain-Seite der einen der Ketten aufweist, die mit einer von einer Vielzahl von Bitleitungen verbunden und mit den Speicherzellen der einen der Ketten gekoppelt sind, wobei das Verfahren folgenden Schritte umfasst:
Bestimmen einer eindeutigen SG-Spannung für jede einer Vielzahl von Gruppierungen der Speicherzellen, wobei die eindeutige SG-Spannung individuell für jede der Vielzahl von Gruppierungen der Speicherzellen angepasst ist, und
Anlegen der eindeutigen SG-Spannung an den mindestens einen SGD-Transistor ausgewählter Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, um den mindestens einen SGD-Transistor der ausgewählten Ketten während eines Speichervorgangs einzuschalten.

15. Verfahren nach Anspruch 14, wobei die Vielzahl von Gruppierungen der Speicherzellen eine Vielzahl von Blöcken einschließt, die jeweils eine Vielzahl der Speicherzellen einschließen.

16. Verfahren nach Anspruch 14, wobei die Speichervorrichtung weiterhin eine Vielzahl von Speicher-Dies einschließt, die die Speicherzellen enthalten, und wobei die Vielzahl von Gruppierungen der Speicherzellen die Vielzahl von Speicher-Dies enthalten, die jeweils physisch getrennt voneinander angeordnet sind.

17. Verfahren nach Anspruch 14, weiterhin einschließend den Schritt des adaptiven Anpassens der eindeutigen SG-Spannung basierend auf einer Transistorschwellenwertspannung des mindestens einen SGD-Transistors jeder der Vielzahl von Gruppierungen der Speicherzellen.

18. Verfahren nach Anspruch 14, wobei der mindestens eine SGD-Transistor dazu eingerichtet ist, eine Transistorschwellenwertspannung zu halten, wobei das Verfahren weiterhin die folgenden Schritte einschließt:

Initialisieren einer Erfassungsschwellenwertspannung als eine vorbestimmte Erfassungsschwellenwertspannung als Reaktion auf das Empfangen eines SG-Vorspannungssuchbefehls;
Festlegen einer SG-Spannung, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als Erfassungsschwellenwertspannung;
Zählen einer SGD-Quantität des mindestens einen SGD-Transistors der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen, deren Transistorschwellenwertspannung über der Erfassungsschwellenwertspannung liegt;
Bestimmen, ob die SGD-Quantität größer ist als ein SGD-Quantitäts-Erfassungsschwellenwert;
Dekrementieren der Erfassungsschwellenwertspannung um eine Delta-Erfassungsschwellenwertspannung und Rückkehren zum Festlegen der SG-Spannung, die an den mindestens einen SGD-Transistor der Ketten jeder der Vielzahl von Gruppierungen der Speicherzellen angelegt wird, als die Erfassungsschwellenwertspannung als Reaktion darauf, dass die SGD-Quantität nicht größer als ein SGD-Quantitätserfassungsschwellenwert ist;
Festlegen der eindeutigen SG-Spannung als eine adaptive SG-Spannung, die der Erfassungsschwellenwertspannung plus einer vorbestimmten festen Übersteuerspannung entspricht, als Reaktion darauf, dass die SGD-Quantität größer als ein SGD-Quantitäts-Erfassungsschwellenwert ist; und
Beenden der SG-Vorspannungssuche.

19. Verfahren nach Anspruch 14, weiterhin einschließend den Schritt des Bestimmens der eindeutigen SG-Spannung für jede der Vielzahl von Grup-

pierungen der Speicherzellen auf periodischer Basis.

20. Verfahren nach Anspruch 14, das weiterhin die folgenden Schritte einschließt:

Zählen eines Zykluszahlwerts gleich einer Anzahl von Malen, die der Speichervorgang für die Speicherzellen einer oder mehrerer der Vielzahl von Gruppierungen der Speicherzellen ausgeführt wurde;

Bestimmen, ob der Zykluszahlwert einen vorbestimmten Zykluszahlwellenwert überschreitet; und

Bestimmen der eindeutigen SG-Spannung für jede der Vielzahl von Gruppierungen der Speicherzellen als Reaktion darauf, dass der Zykluszahlwert den vorbestimmten Zykluszahlwellenwert überschreitet.

Es folgen 24 Seiten Zeichnungen

Anhängende Zeichnungen

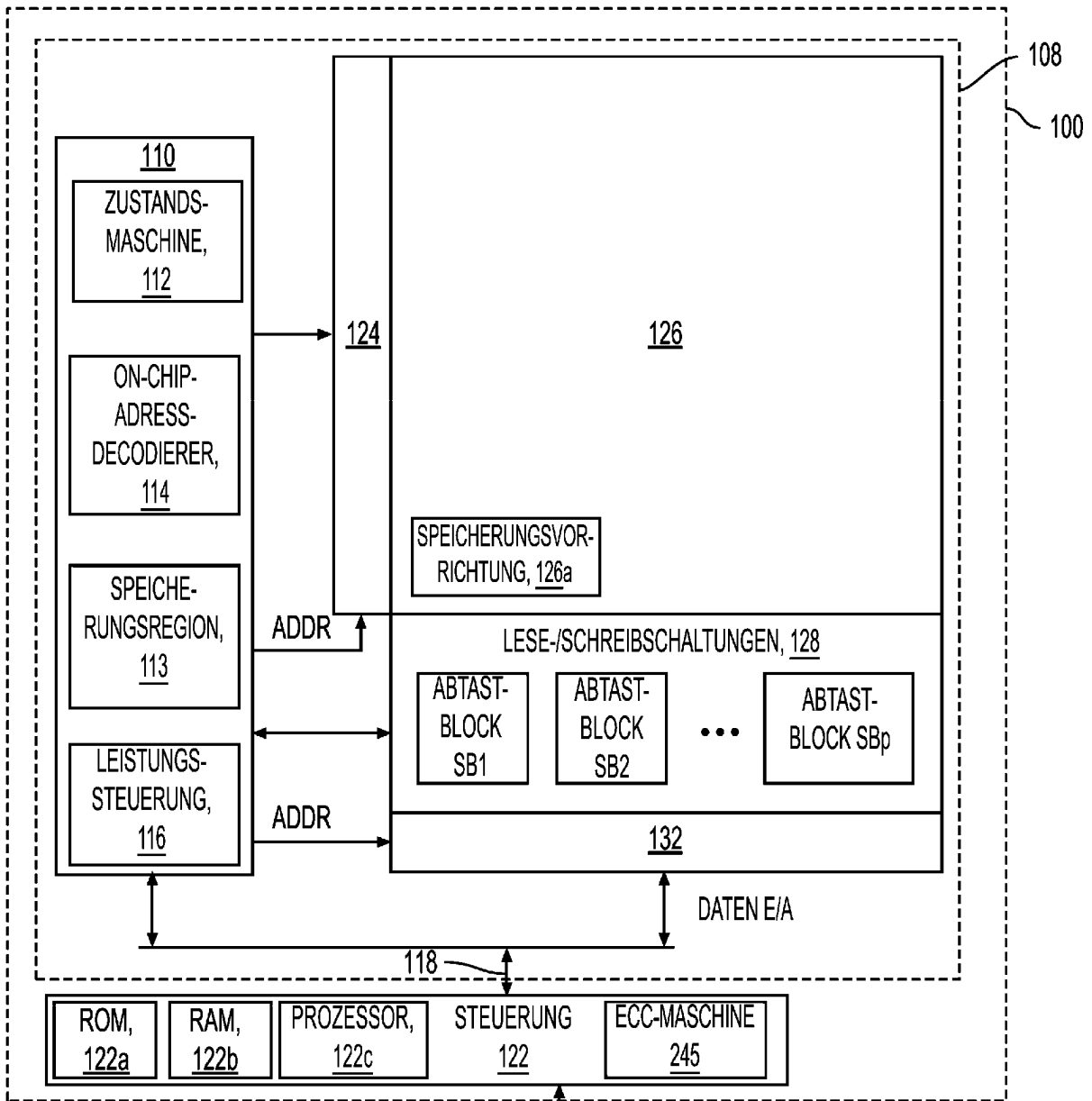


FIG. 1A

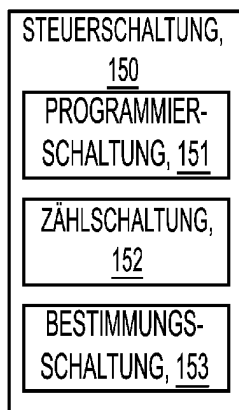


FIG. 1B

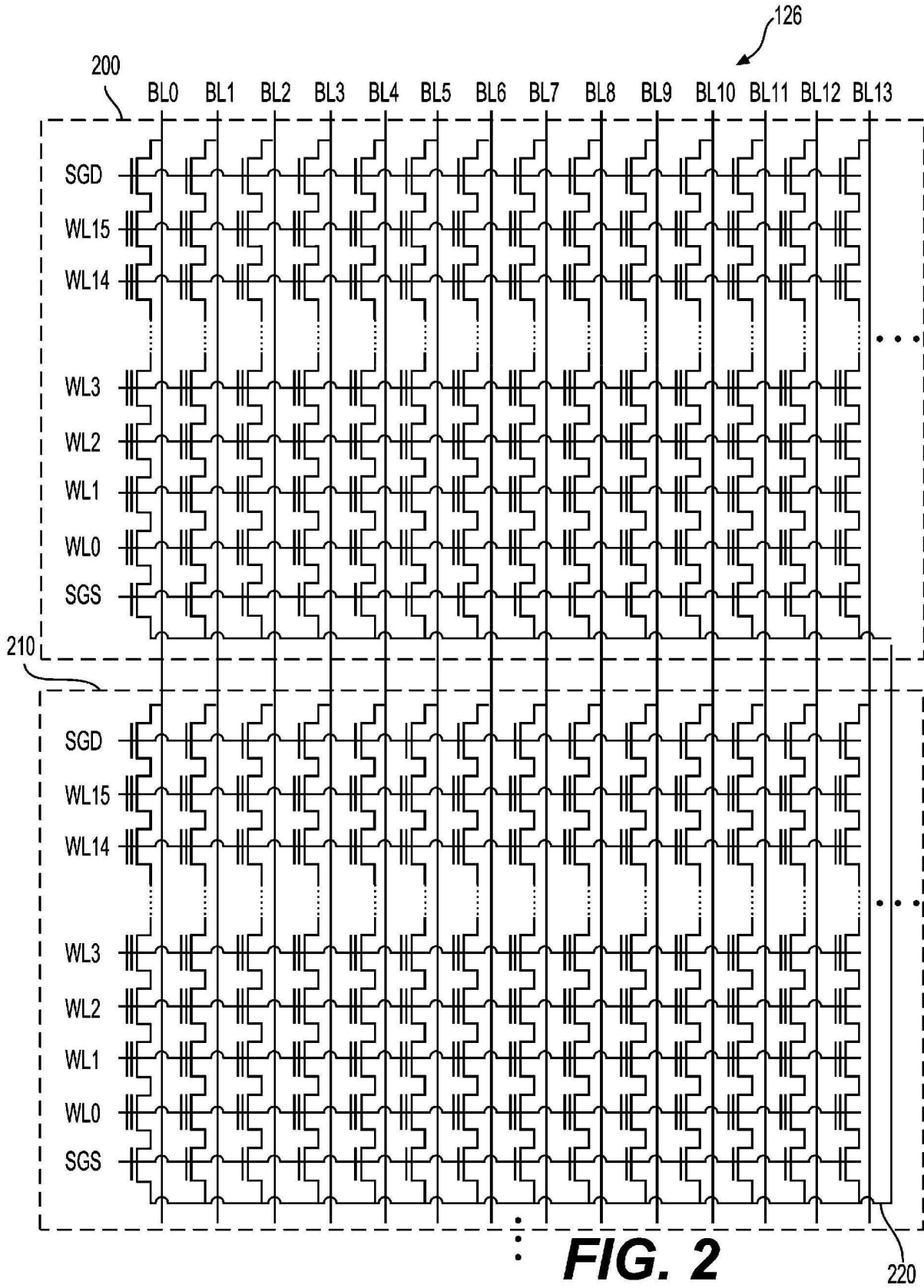


FIG. 2

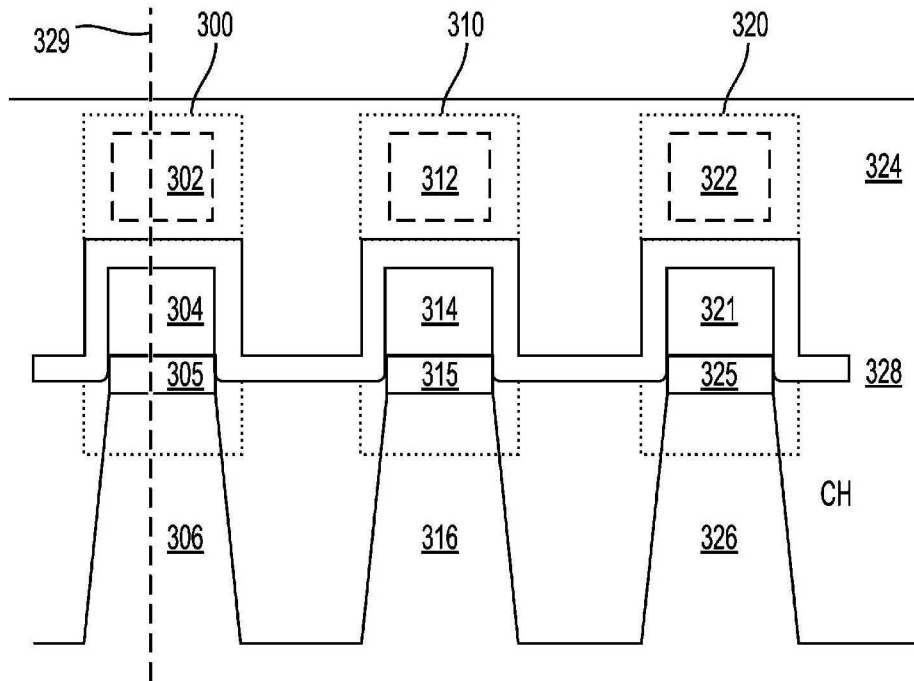


FIG. 3A

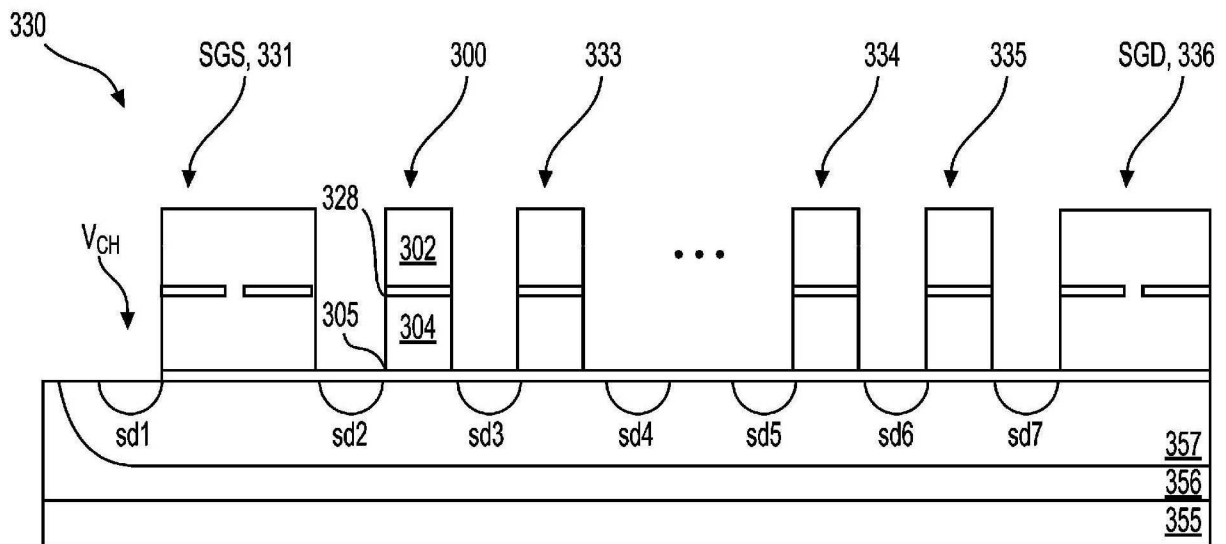


FIG. 3B

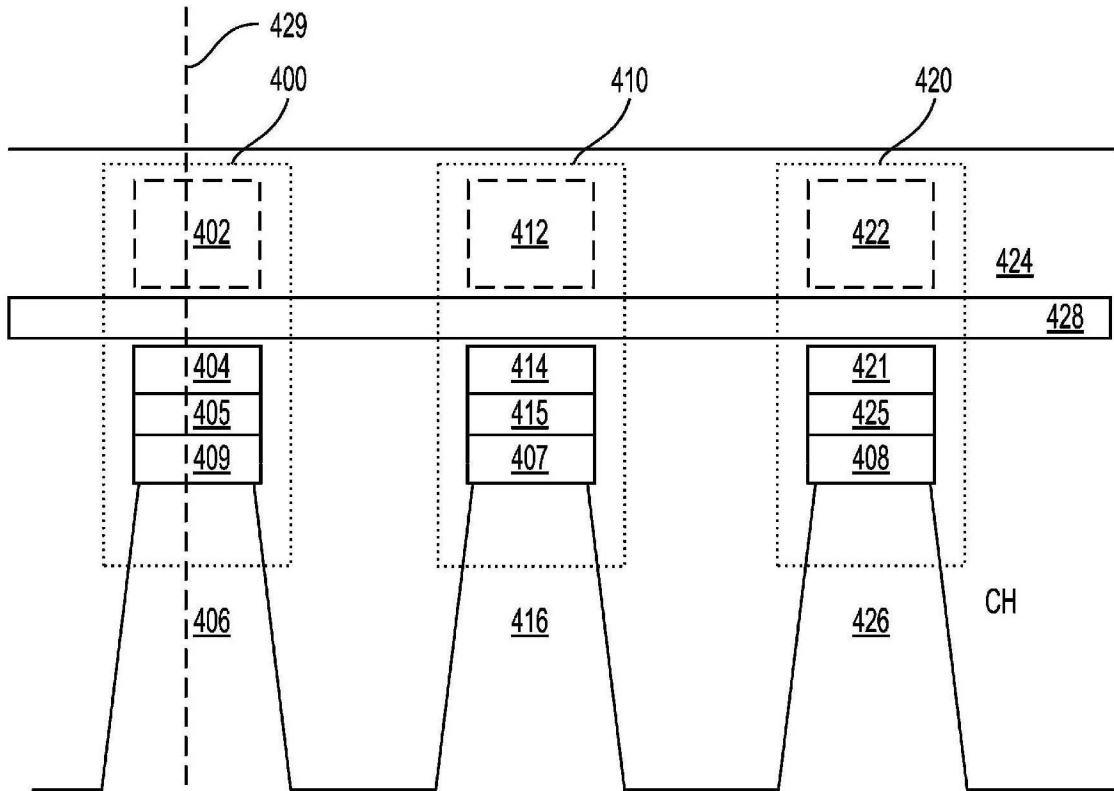


FIG. 4A

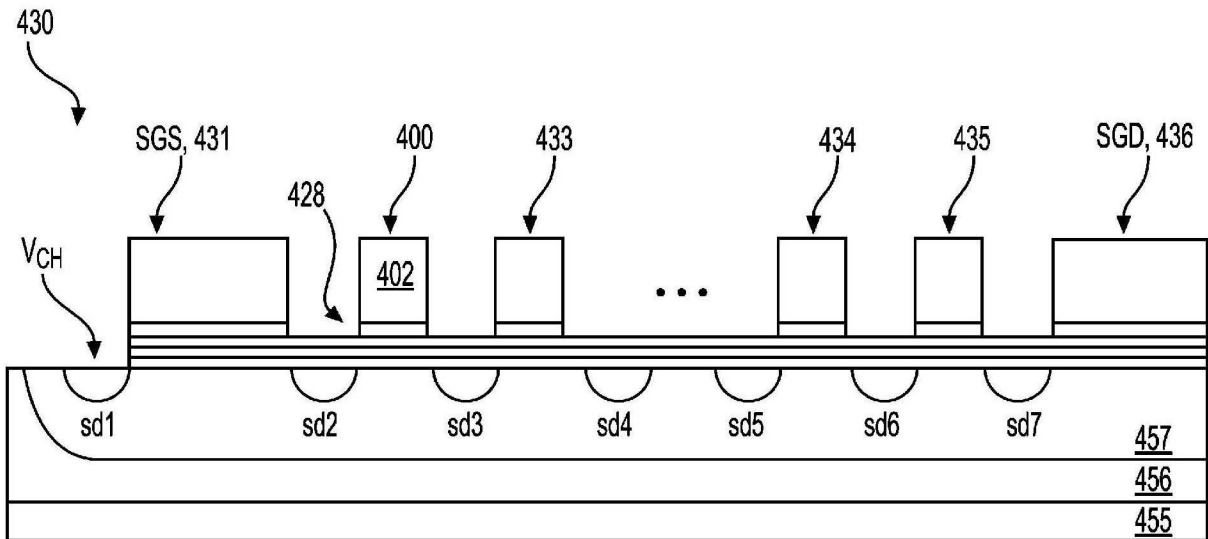


FIG. 4B

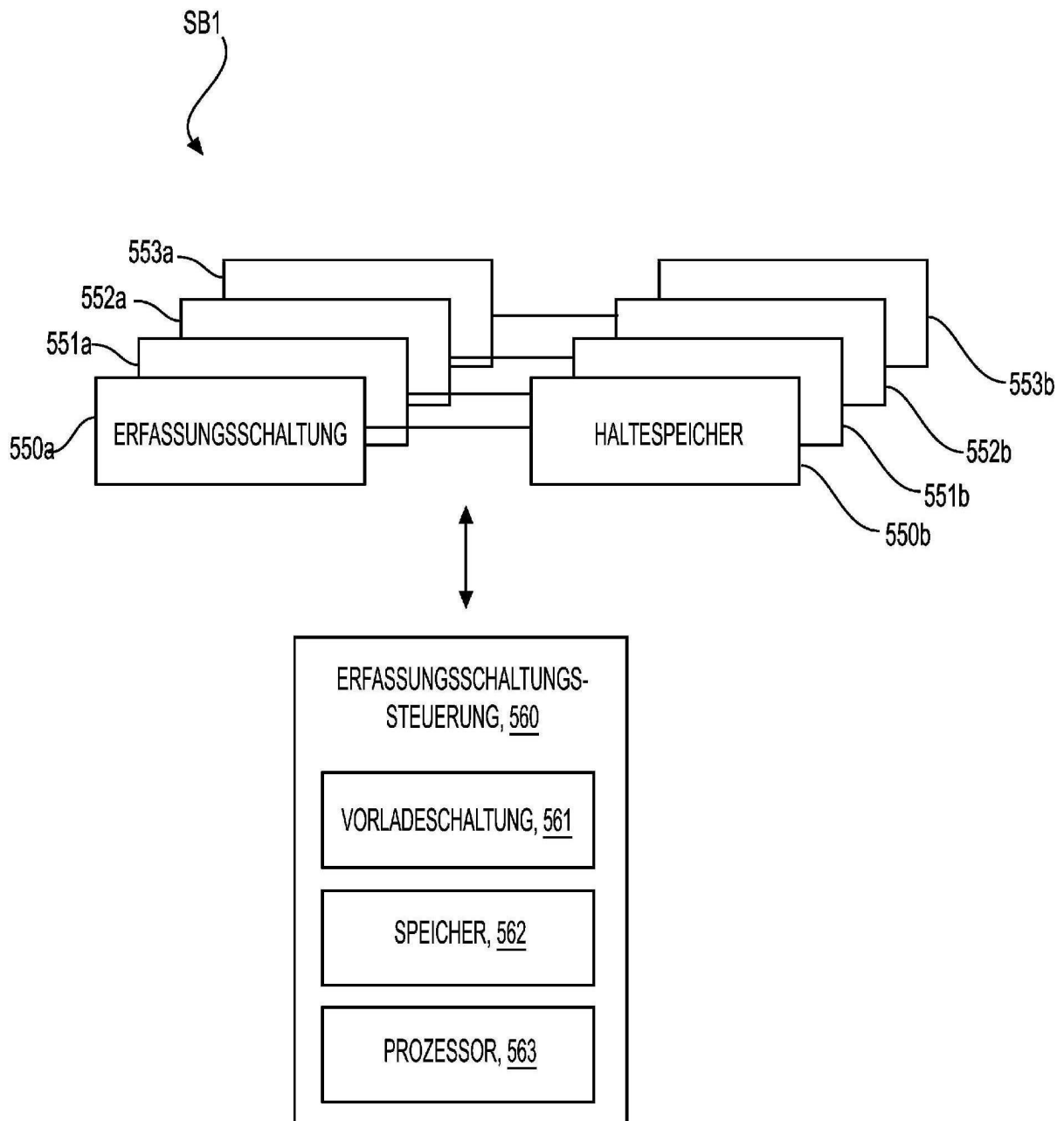


FIG. 5

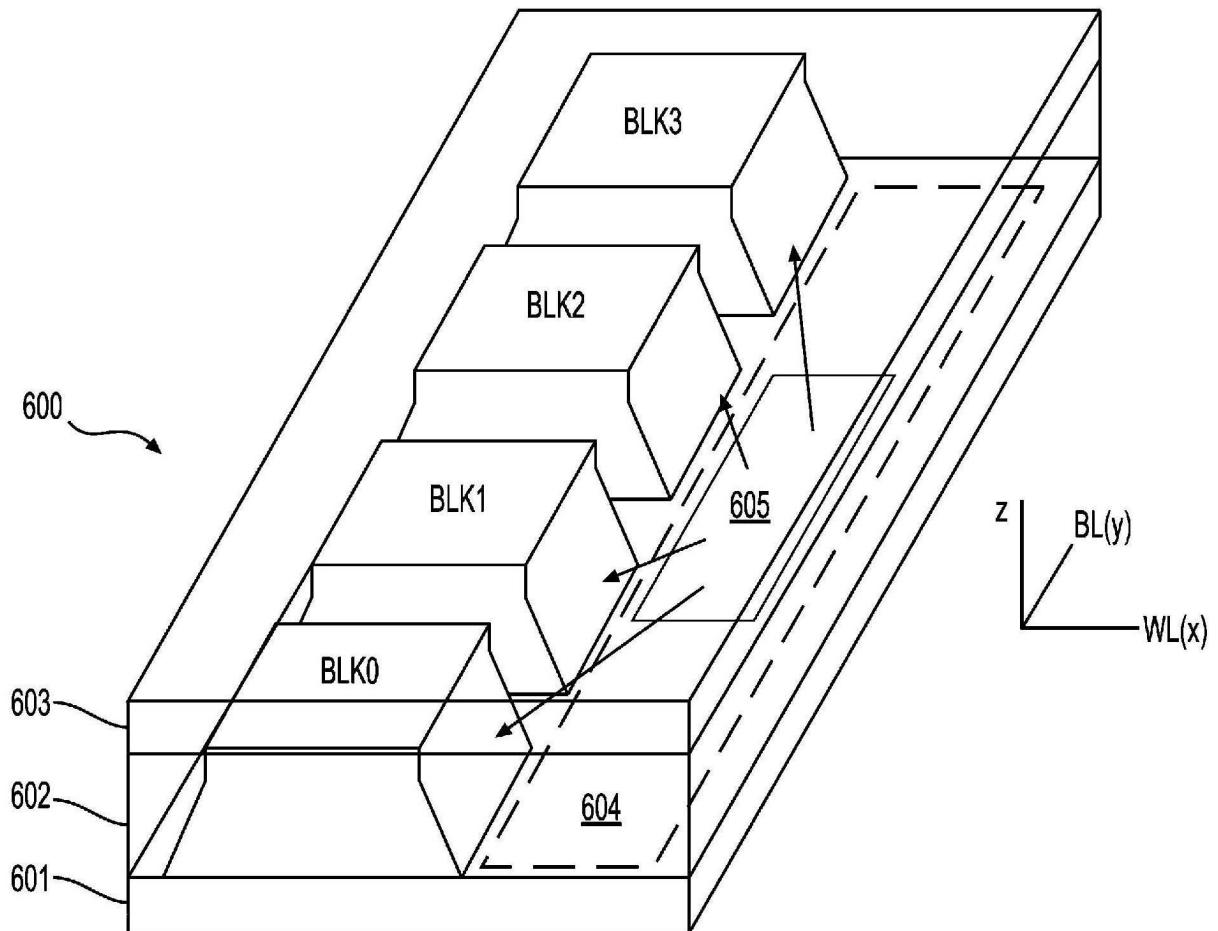


FIG. 6A

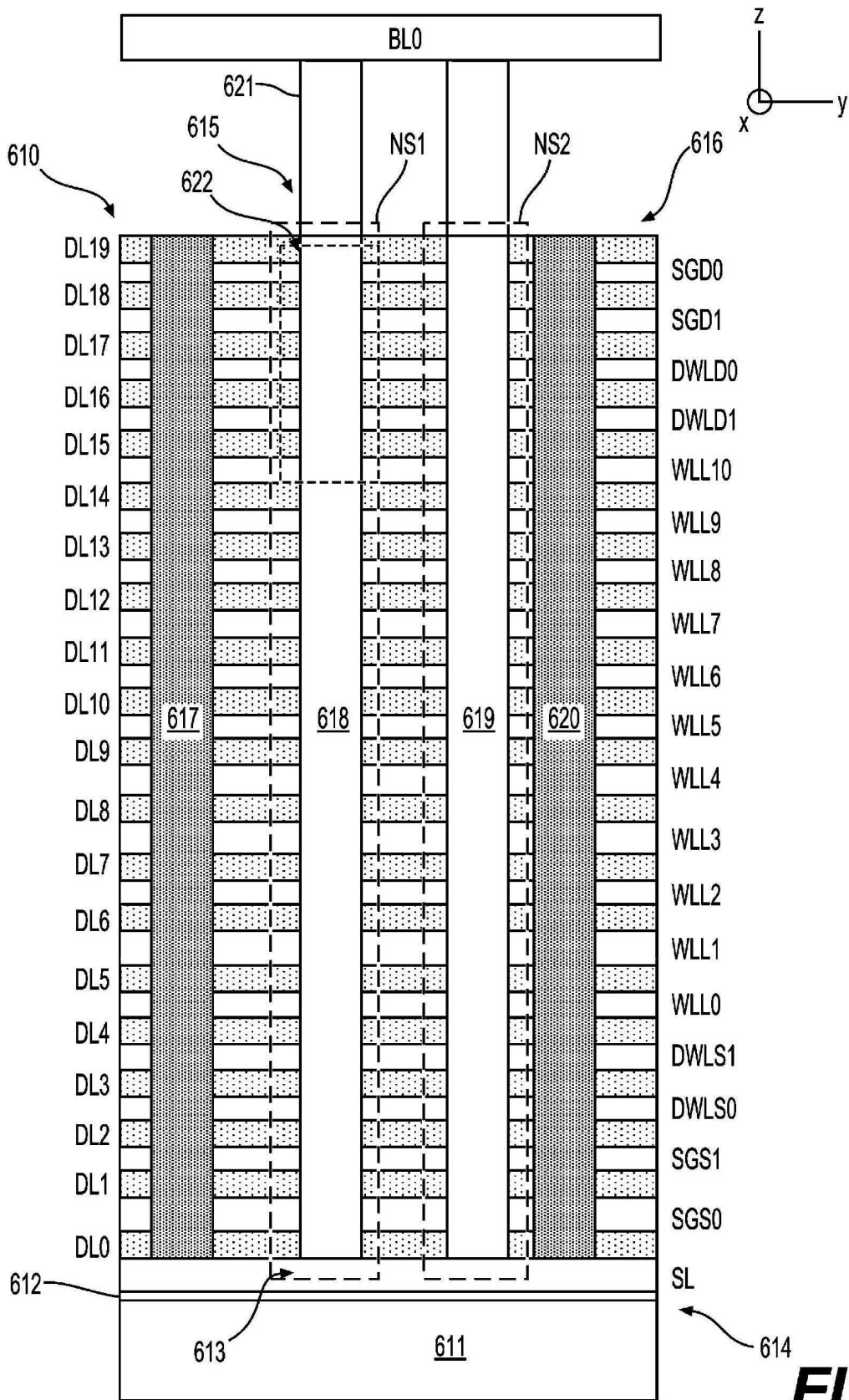


FIG. 6B

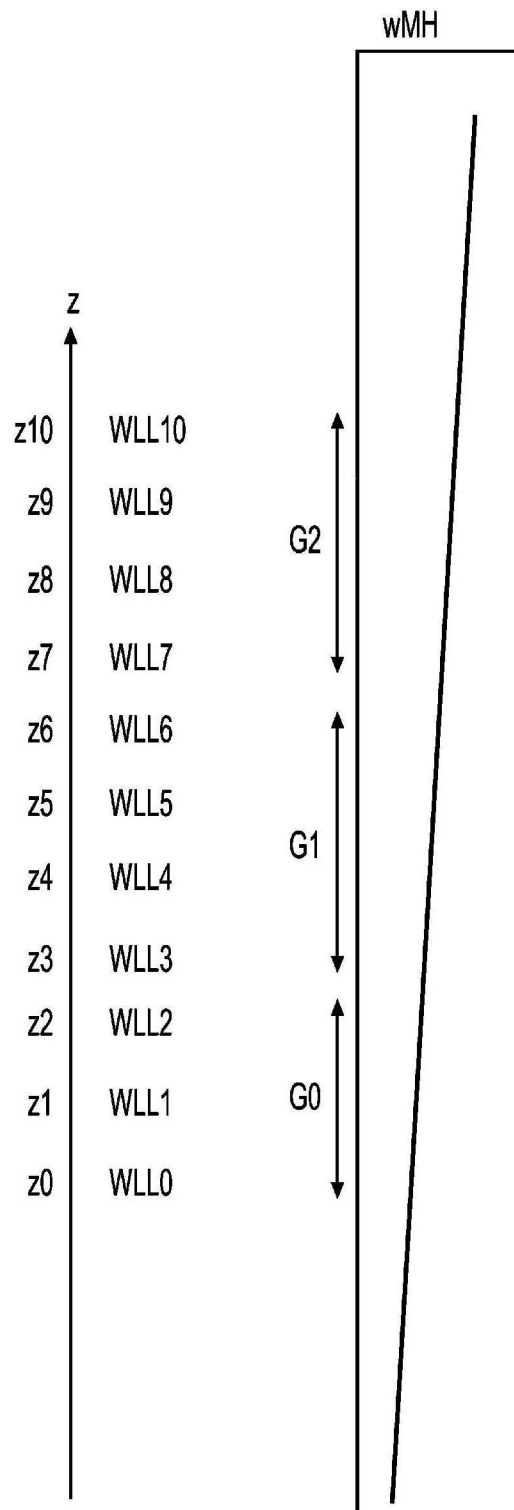


FIG. 6C

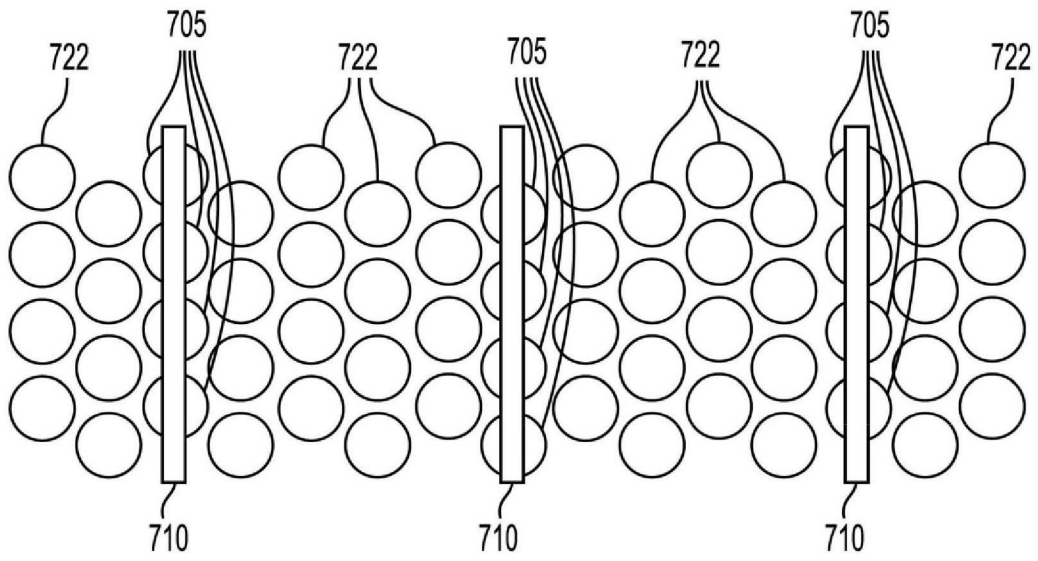


FIG. 7A

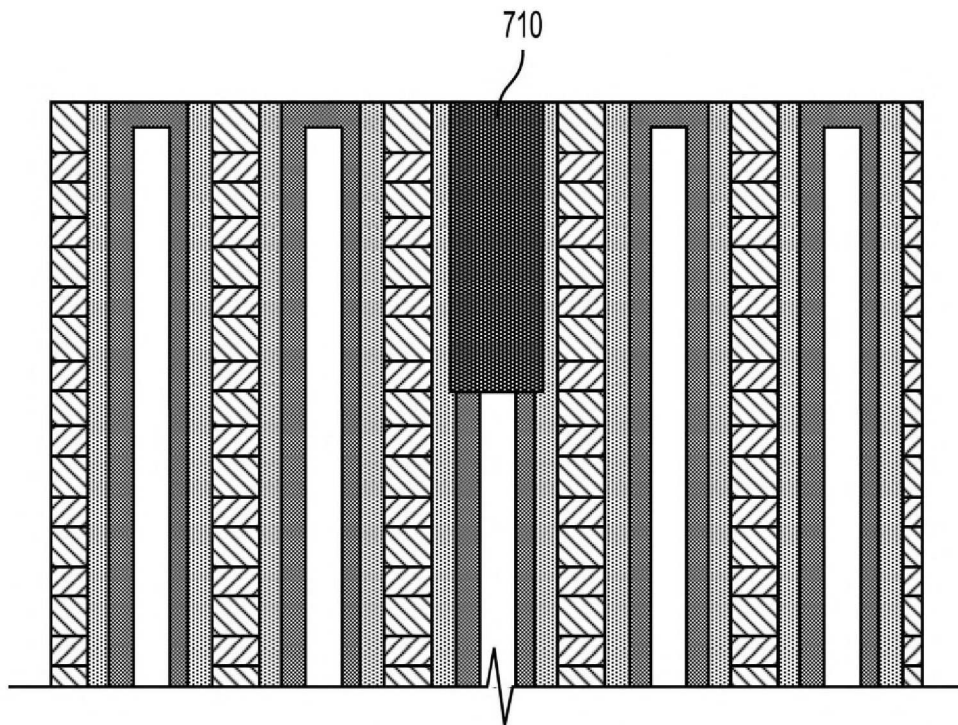


FIG. 7B

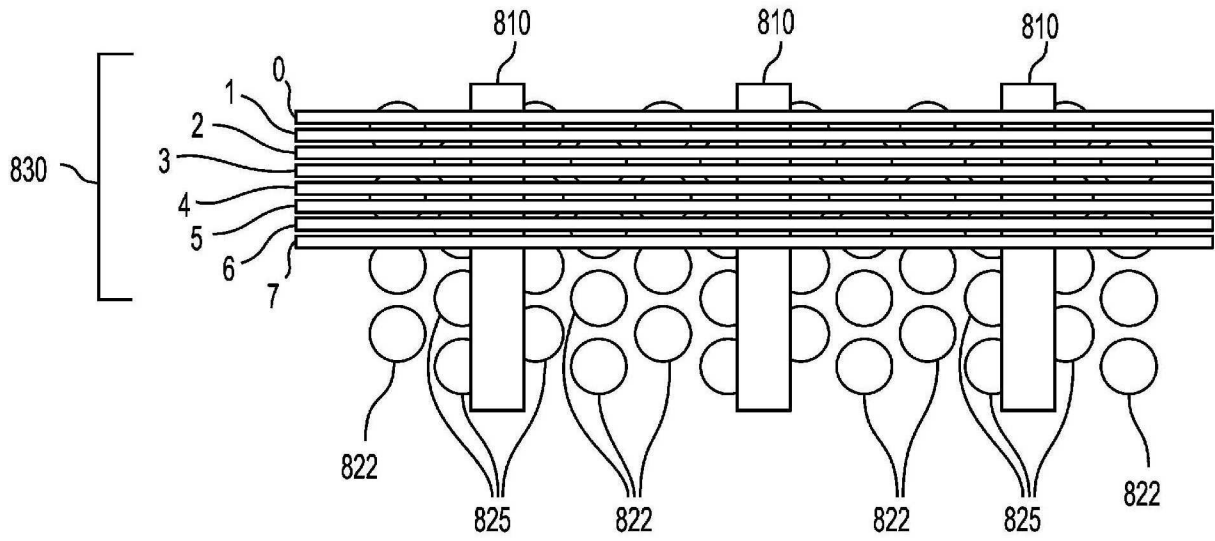


FIG. 8A

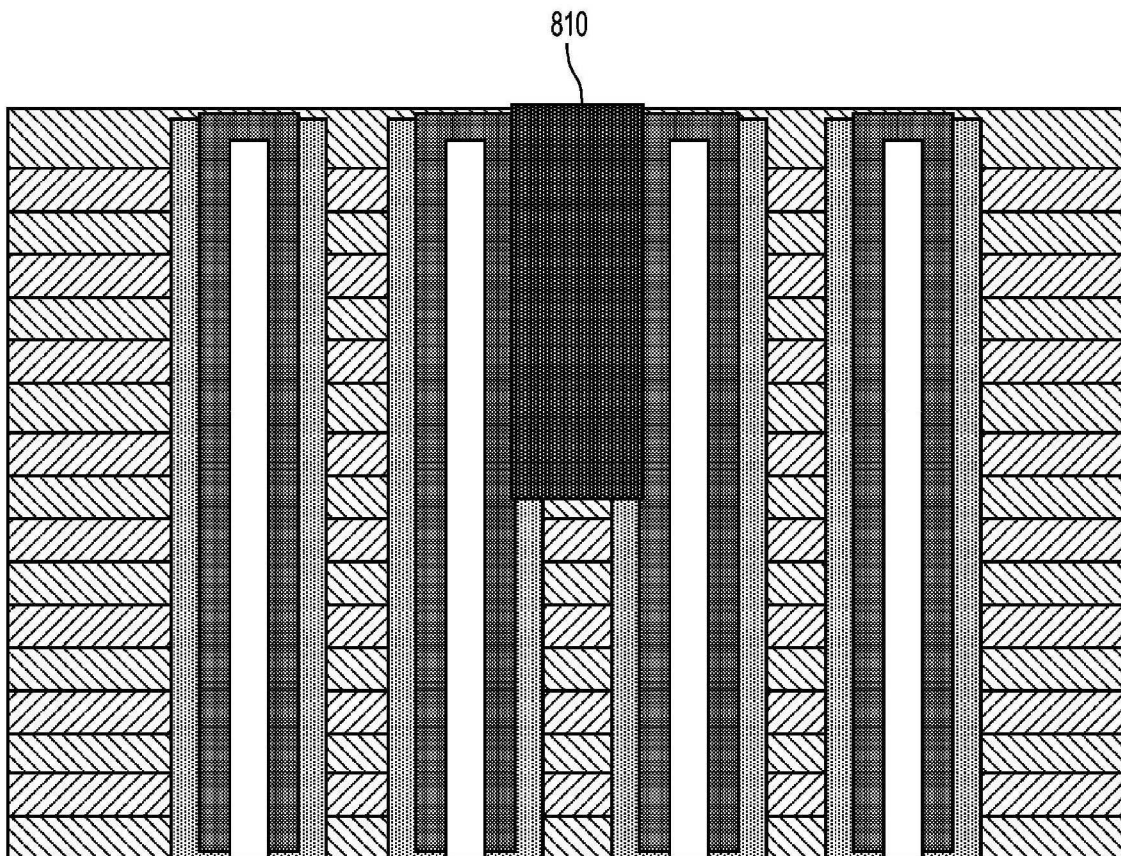


FIG. 8B

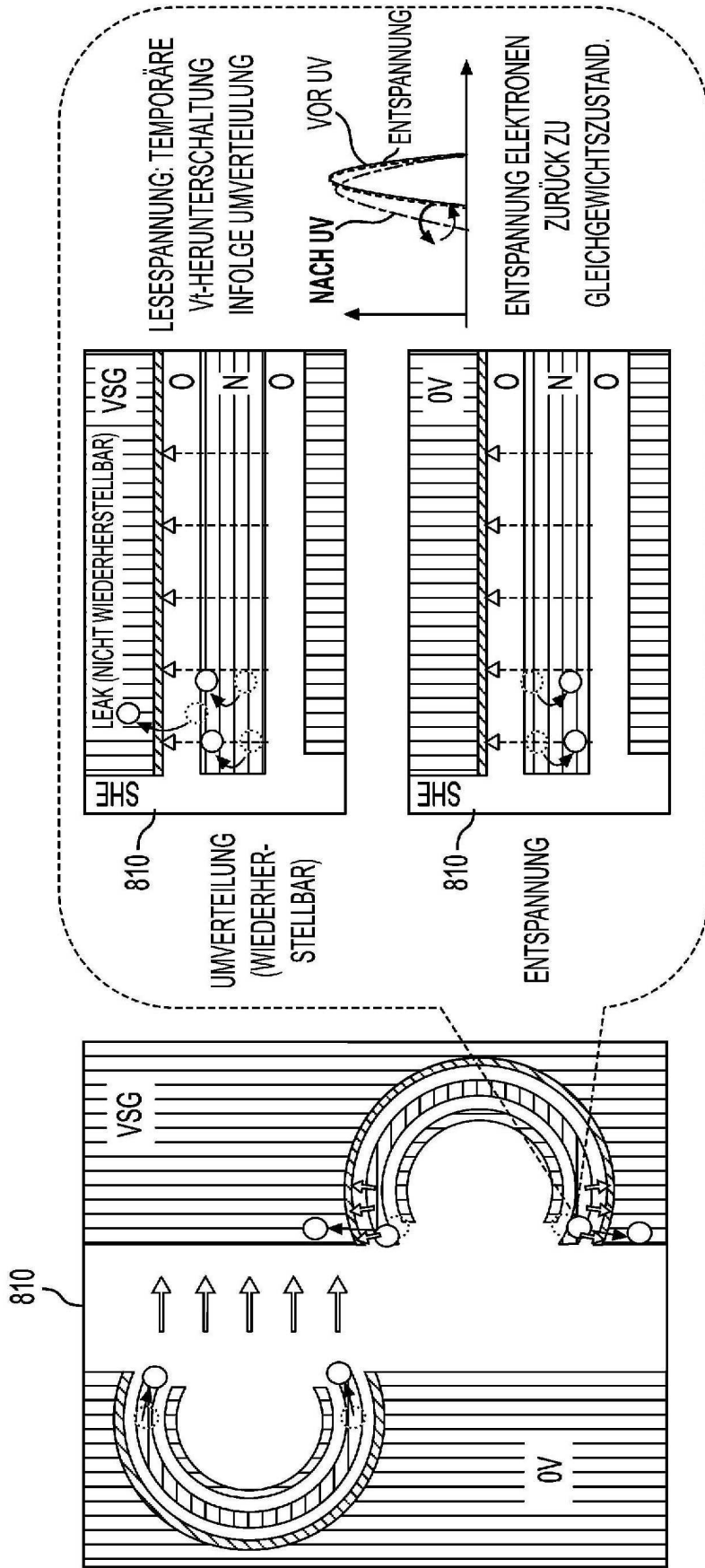


FIG. 9

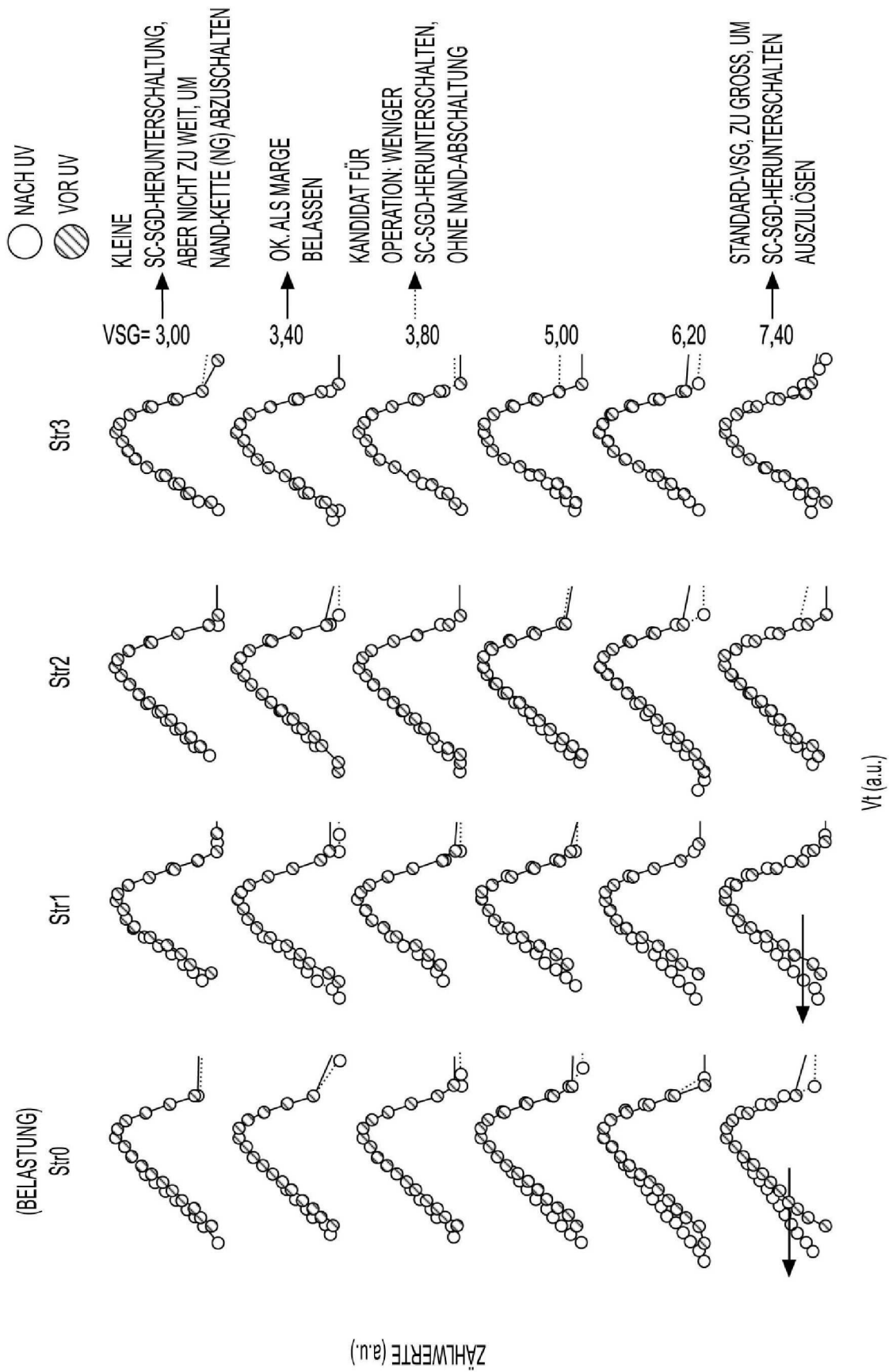
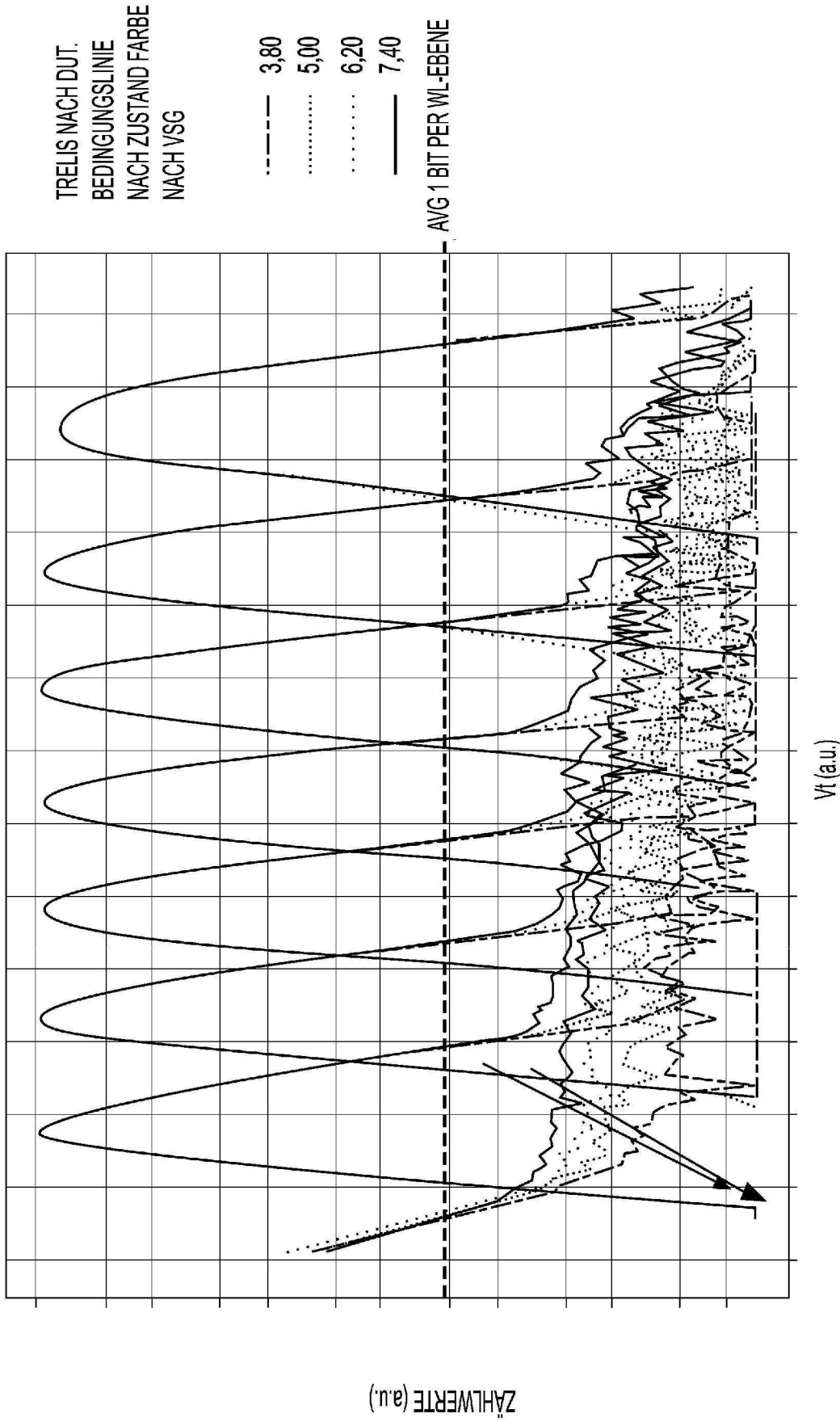


FIG. 10



DEUTLICH REDUZIERT BEI KLEINEM VSG

FIG. 11

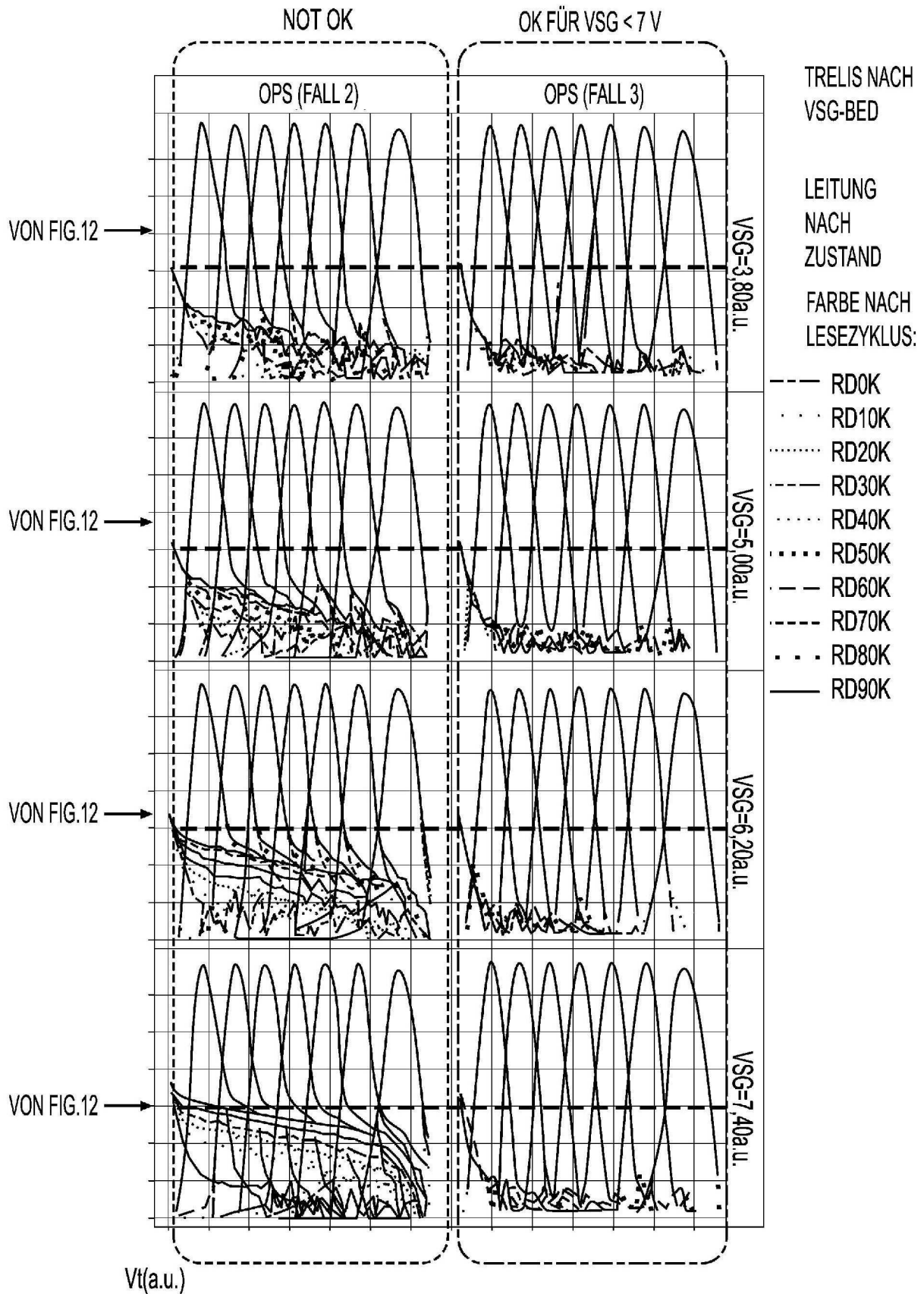


FIG. 12 (FORTS.)

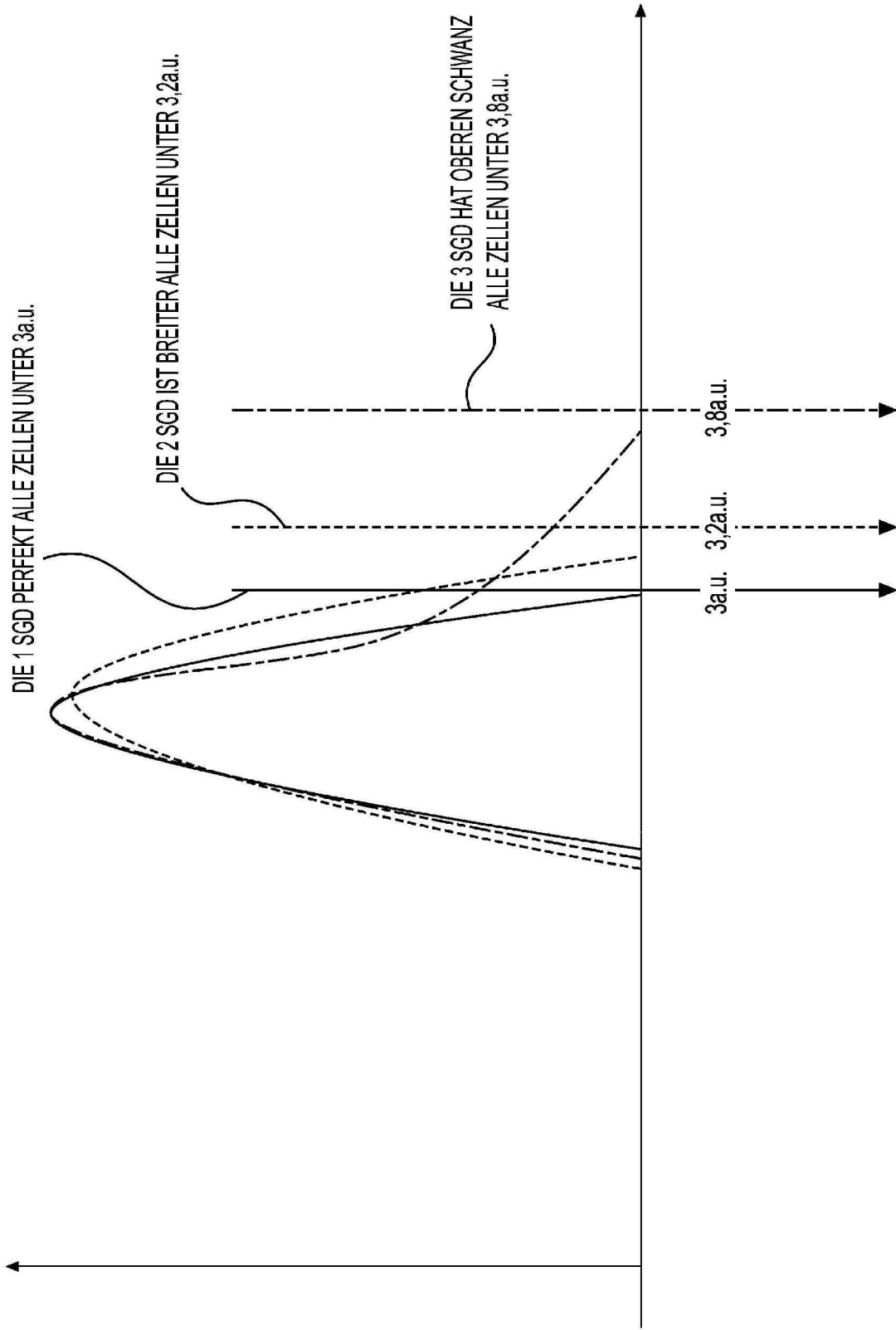


FIG. 13

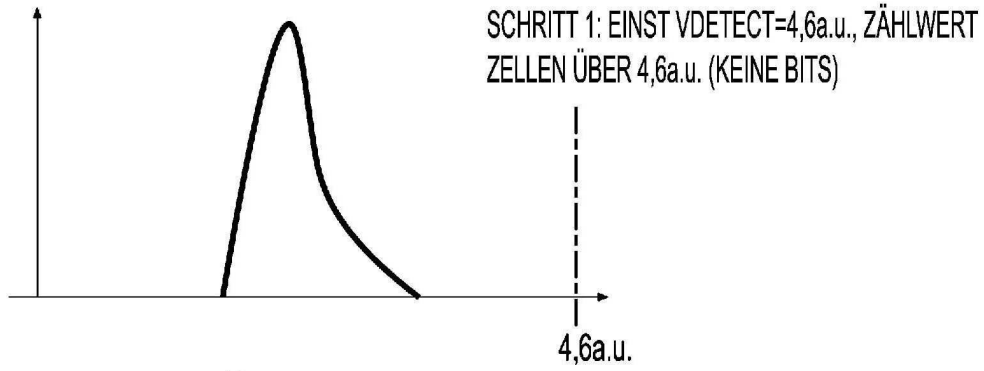


FIG. 14A

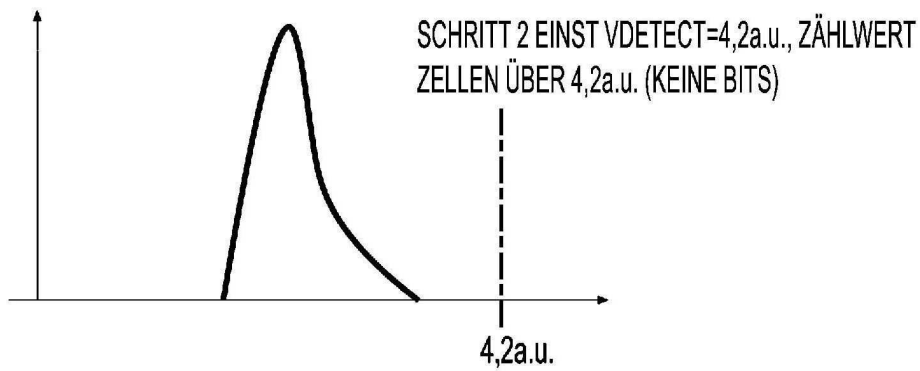


FIG. 14B

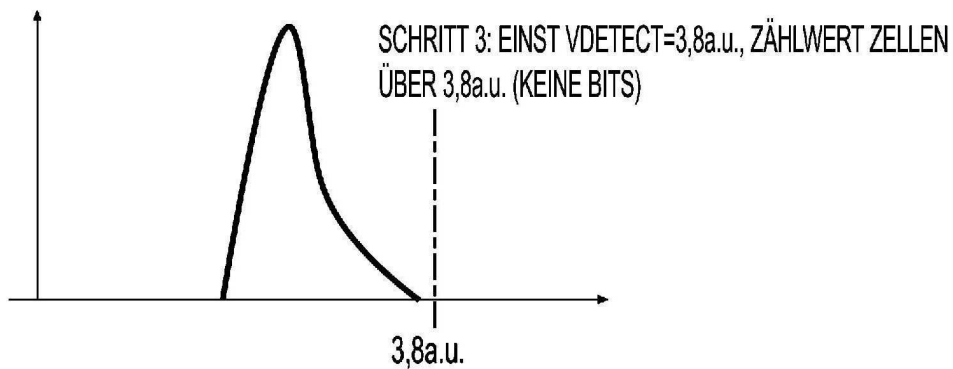


FIG. 14C

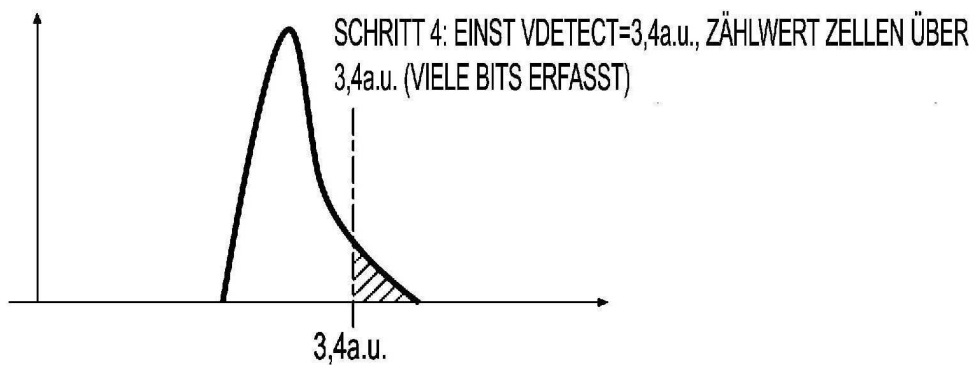


FIG. 14D

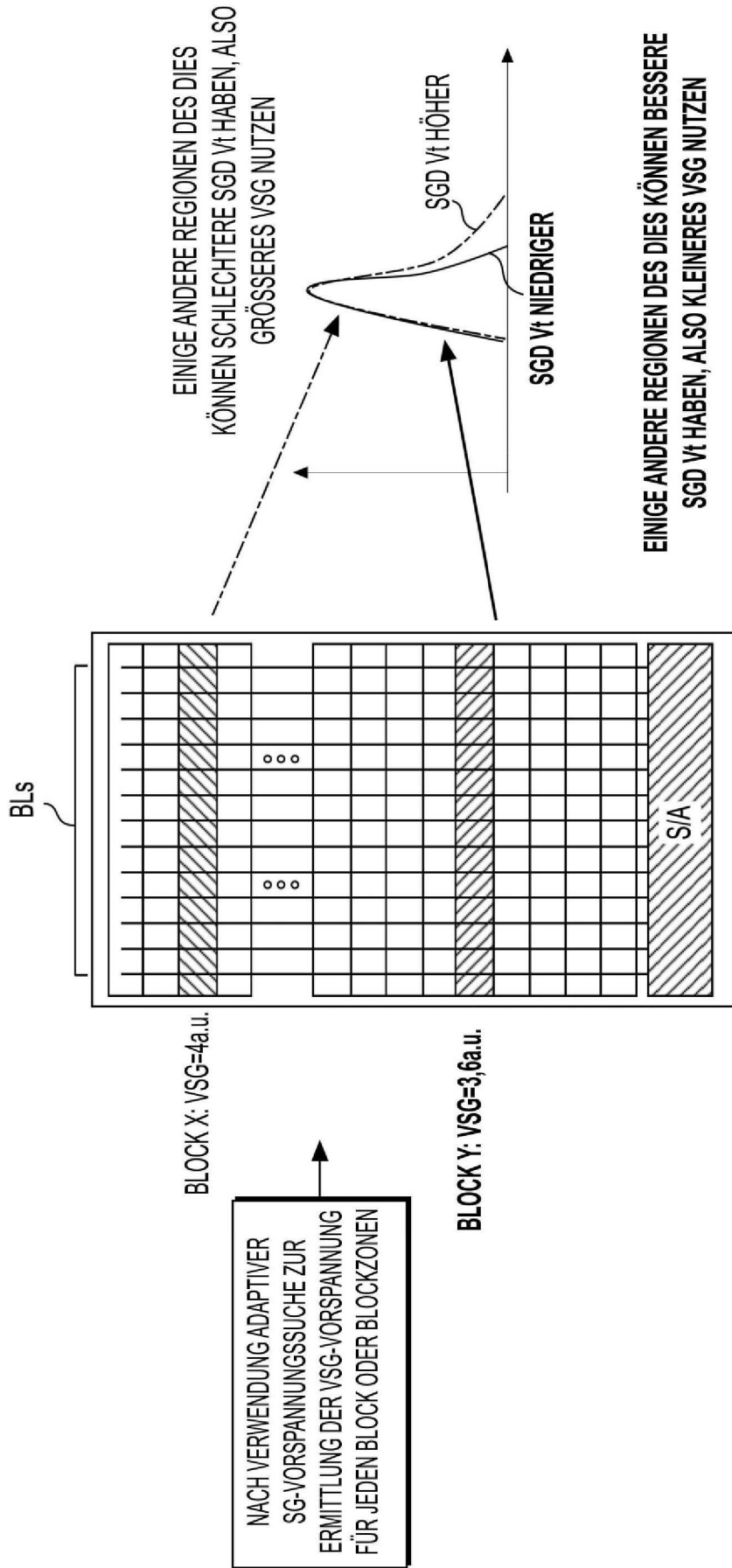


FIG. 15

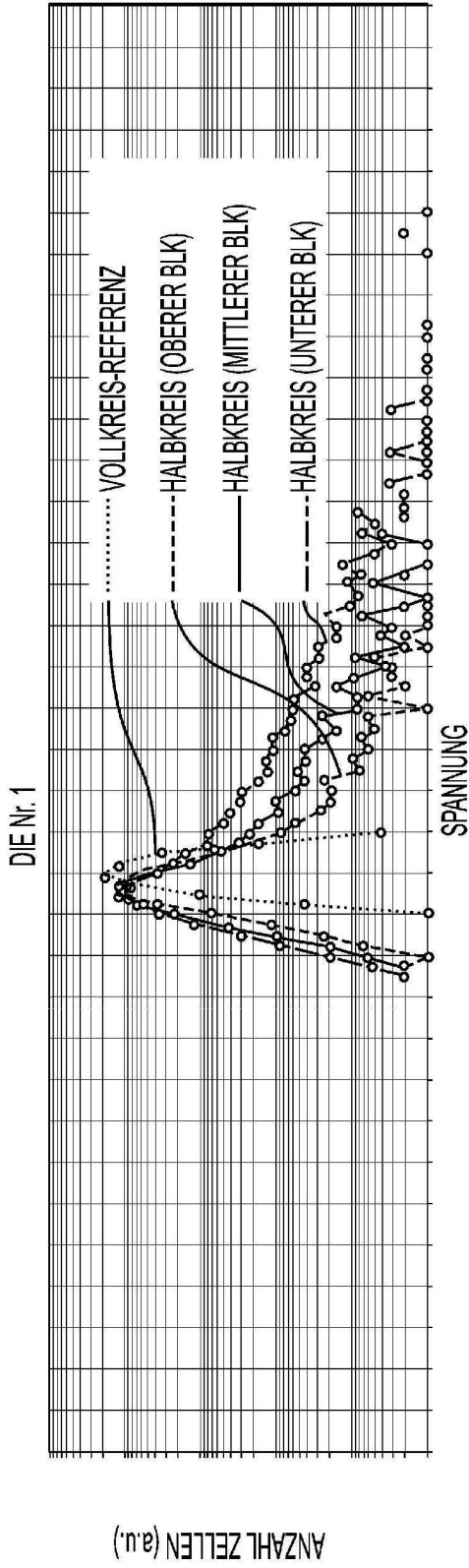


FIG. 16A

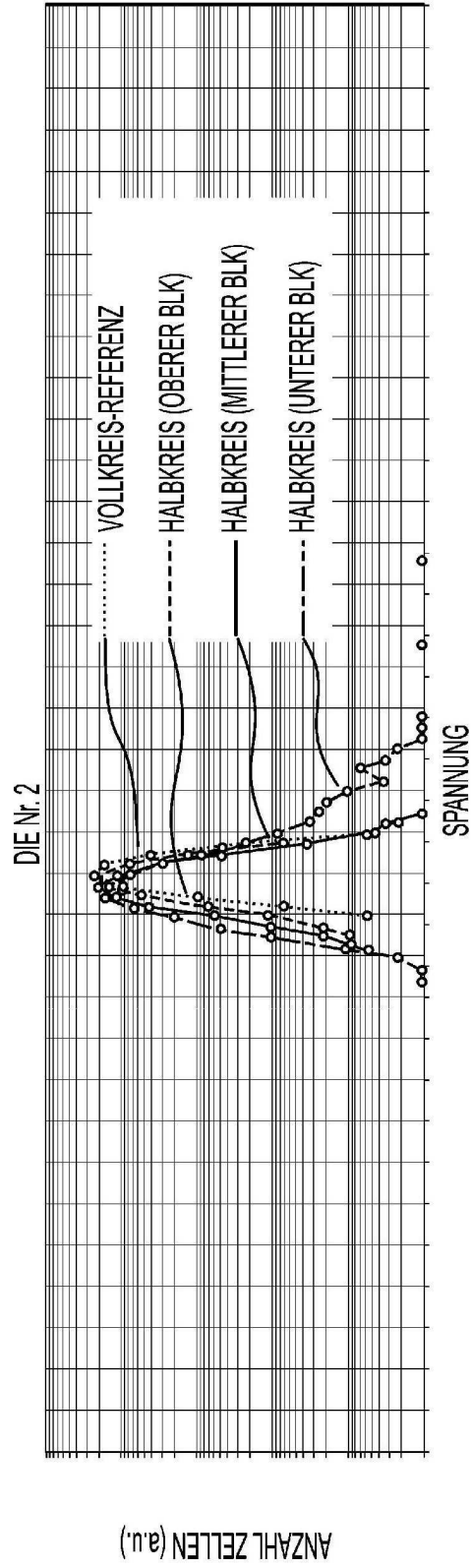


FIG. 16B

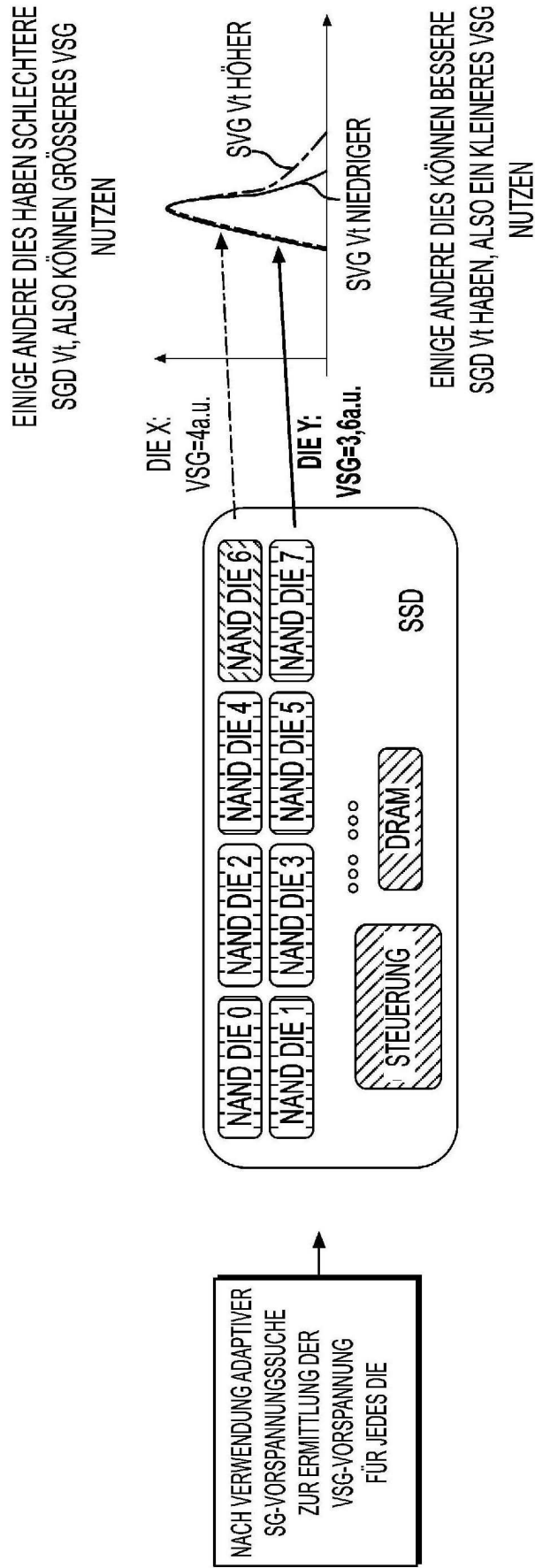


FIG. 17

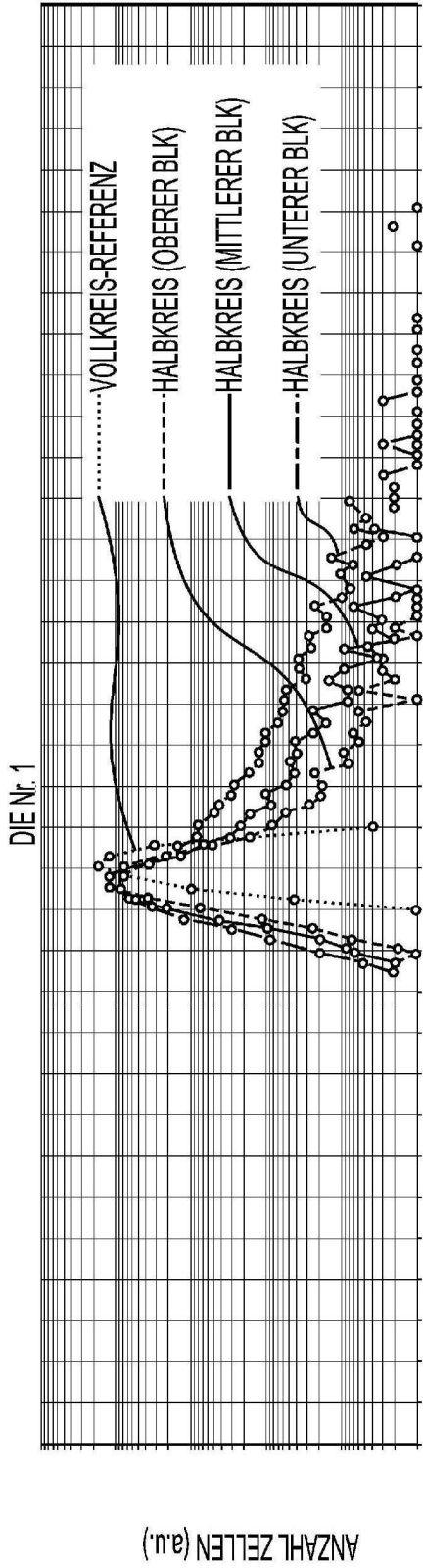


FIG. 18A

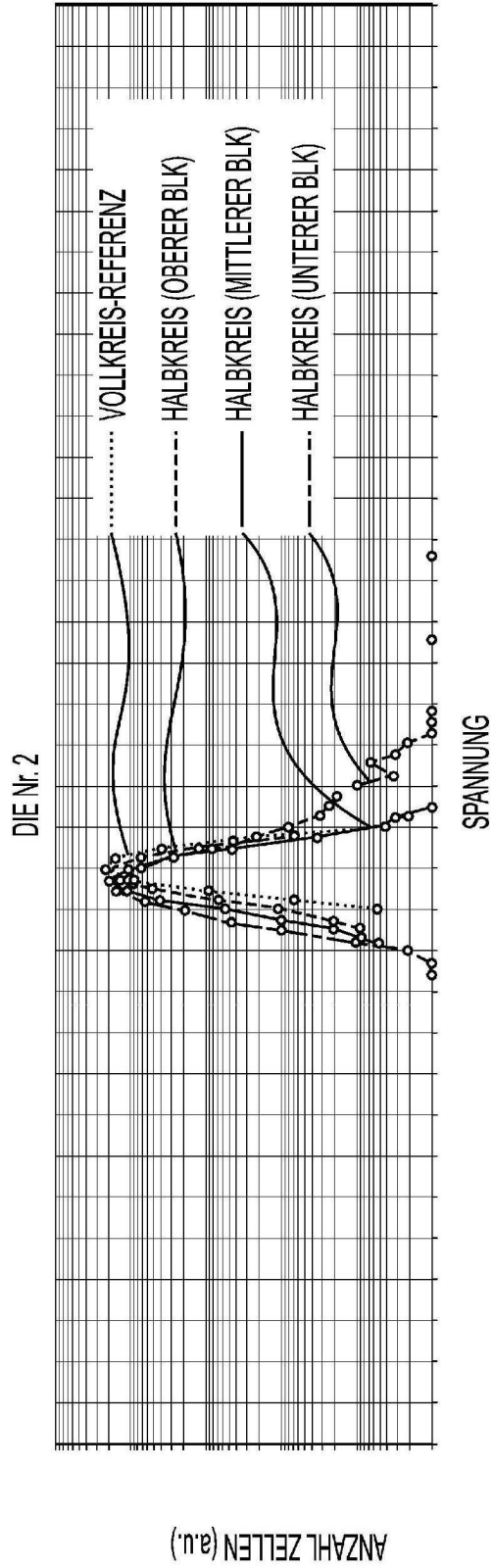


FIG. 18B

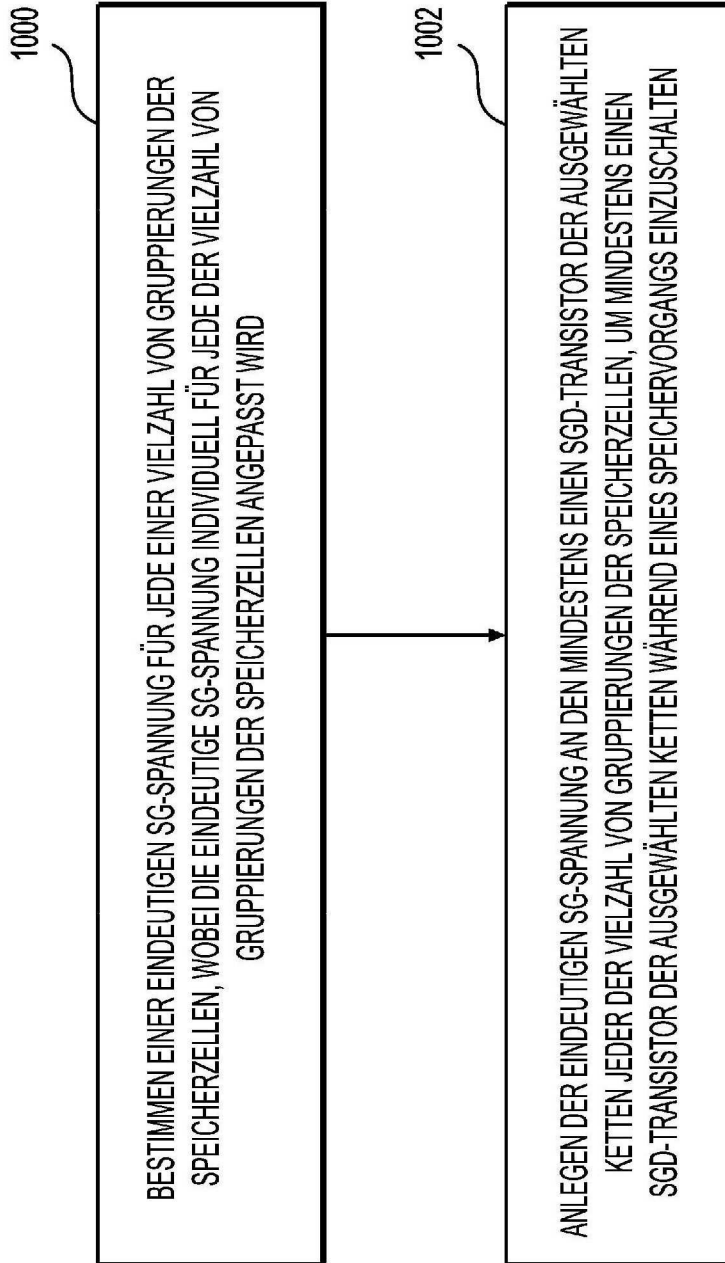


FIG. 19

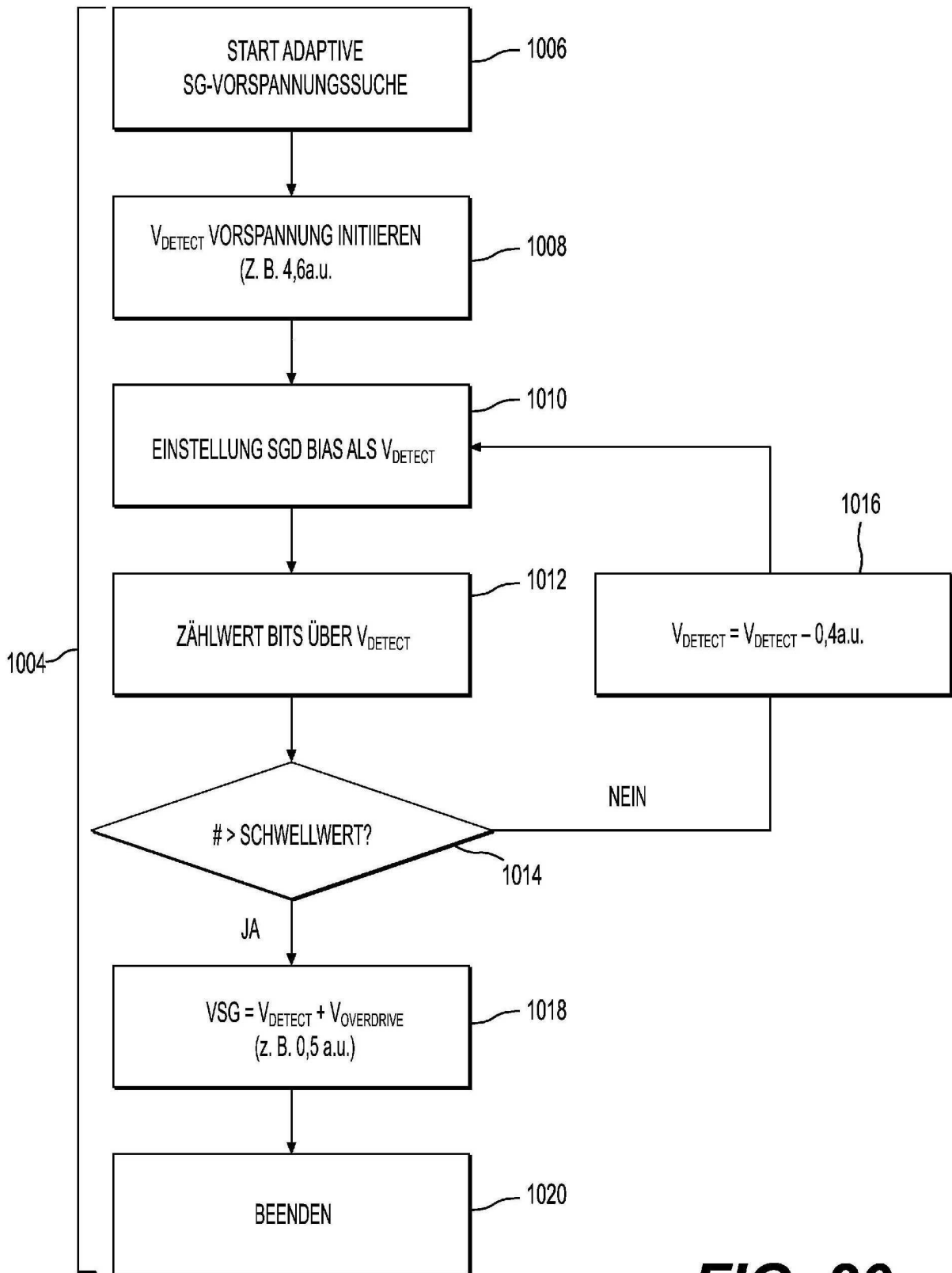


FIG. 20