

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁶
H03K 19/00

(45) 공고일자 1996년06월 19일
(11) 공고번호 실 1996-0005017

(21) 출원번호	실 1993-0027180	(65) 공개번호	실 1999-0000001
(22) 출원일자	1993년 12월 10일	(43) 공개일자	1999년 01월 01일
(73) 실용신안권자	현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산 136-1		
(72) 고안자	장성준 경기도 이천군 대월면 사동리 347-248번지 윤병진 서울특별시 서대문구 남가좌2동 3-108번지		
(74) 대리인	이권희, 서종완, 이정훈		

심사관 : 이해평 (책)
자공보 제2345호

(54) 데이터 출력버퍼

요약

내용없음.

대표도

도1

명세서

[고안의 명칭]

데이터 출력버퍼

[도면의 간단한 설명]

제1도는 종래의 데이터 출력버퍼의 일례를 도시한 회로도.

제2a도 내지 제2b도는 제1도의 출력 파형도.

제3도는 본 고안의 데이터 출력버퍼의 실시예를 도시한 회로도.

제4a도 내지 제4b도는 제3도의 출력 파형도.

* 도면의 주요 부분에 대한 부호의 설명

100 : 전압 감지회로

[실용신안의 상세한 설명]

본 고안은 반도체 소자의 데이터 출력버퍼(data output buffer)에 관한 것으로, 특히 전압 감지회로의 출력력을 이용하여 데이터 출력버퍼의 구동 트랜지스터의 동작을 조절함으로써, 낮은 전원전압에서의 고속 동작과 높은 전원전압에서의 잡음(noise) 억제를 동시에 실현한 데이터 출력버퍼에 관한 것이다.

제1도는 종래의 데이터 출력버퍼의 일례를 도시한 회로도로서, 통상 이러한 회로를 CMOS형 데이터 출력버퍼라 한다.

제1도의 데이터 출력버퍼는 출력하고자 하는 데이터(Data) 신호와 데이터 출력버퍼 제어신호(OE)를 입력으로 하여 풀-업(pull-up) 구동 트랜지스터(mp)의 게이트로 인가되는 신호(pu)를 출력하는 낸드 게이트(NAND gate)구조의 트랜지스터(p1, p2, n1, n2)와, 상기 낸드 게이트 구조의 트랜지스터(n2)의 소오스와 전지전압 사이에 직렬 접속된 저항소자(R11)와, 데이터(Data) 신호와 데이터 출력버퍼 제어신호(OE)를 입력으로 하여 풀-다운(pull-down) 구동 트랜지스터(mn)의 게이트로 인가되는 신호(pd)를 출력하는 노아 게이트(NOR gate) 구조의 트랜지스터(p5, p6, n5, n6)와, 상기 노아 게이트 구조의 트랜지스터(p5)의 소오스와 전원전압 사이에 직렬접속된 저항소자(R12)와, 전원전압과 데이터 출력버퍼 출력단(Dout) 사이에 접속되고 상기 낸드게이트의 출력(pu)에 의해 게이트가 제어되어 출력단(Dout)에 전하를 공급하는 풀-업 구동트랜지스터(mp)와, 출력단(Dout)과 전지전압 사이에 접속되고 상기 노아 게이트의 출력(pd)에 의해 게이트가 제어되어 출력단(Dout)의 전하를 접지전압으로 방전시키는 풀-다운 구동 트랜지스터(mn)를 포함하고 있다.

가장 일반적인 데이터 출력버퍼 회로로는 제1도에서 저항소자(R11, R12)를 제거한 단순한 낸드, 노아 게

이트 및 최종 단의 풀-업, 풀-다운 구동 트랜지스터로 구성된 것이 있다.

상기한 구성의 데이터 출력버퍼는 다비트(multi-bit)의 반도체 기억소자에서 발생하는 잡음 문제를 전혀 고려하지 않은 것으로 온도 및 전원전압의 변화에 따라 잡음이 발생하고, 이와같은 잡음은 반도체 칩의 오동작을 유발시키는 문제점이 있었다.

이와같은 문제점을 제거하기 위하여 종래에는 저항소자(R11, R12)를 각각의 낸드, 노아 게이트에 제1도와 같이 삽입함으로써, 데이터 출력이 변화할 때(예를 들어, 로우 데이터에서 하이 데이터 또는 하이 데이터에서 로우 데이터로 변화할 때)에 피크 전류(peak current)를 줄여 전원선(power line)에서 발생하는 인덕티브 응답(inductive response)을 감소시키고 있다.

그러나, 상기 제1도에 도시된 데이터 출력버퍼를 사용하게 되면 저항소자(R11, R12)로 인해 낸드 게이트의 출력신호(pu)와 노아 게이트의 출력신호(pd)가 전이할 때에 약간 지연되게 되고, 이로 인해 출력버퍼의 동작속도가 지연되는 문제가 발생하게 된다.

즉, 약 50%의 잡음을 감소시키는 대신에 약 2ns의 지연시간이 증가하게 된다.

제2a도 내지 제2b도는 제1도의 출력 파형도로서, 제2a도는 전원전압이 6V인 경우의 출력 파형도이고, 제2b도는 전원전압이 4V인 경우의 출력 파형도이다. 이 도면을 참고하면 높은 전원전압에서는 피크 전류가 줄어들지만, 낮은 전원전압에서는 신호의 동작지연이 발생하여 소자의 동작 속도가 느리게 됨을 알 수 있다. 종래의 데이터 출력버퍼에 의하면 상기한 바와같이, 회로 설계시 원하는 동작 속도와 잡음 특성을 동시에 만족시키기가 어려우므로, 두 가지 특성을 어느 정도 만족시키는 최적의 조건을 찾아 회로를 설계하여야만 하는 문제점이 있었다.

따라서, 본 고안의 목적은 상술한 문제점을 해소하고, 전원 전압의 전위를 감지할 수 있는 전압 감지회로를 사용하여 낮은 전원전압에서는 빠른 동작 속도를 얻고, 높은 전원전압에서는 향상된 잡음 마진을 얻을 수 있는 데이터 출력버퍼를 제공하는데 있다.

상기 목적달성을 위한 본 고안의 데이터 출력버퍼는 출력단자로 고전위를 전달하는 풀-업 드라이버와 저전위를 전달하는 풀-다운 드라이버를 구비하는 데이터 출력버퍼에 있어서, 전원전압과 접지전압 사이에 연결되며 전위를 감출하여 제1레벨의 출력신호와 제2레벨의 출력신호를 발생시키기 위한 전압 감지회로와, 전원전압과 접지전압 사이에 접속되며, 입력 데이터(Data)와 데이터 출력버퍼 제어신호(OE)를 낸드 연산하여 상기 풀-업 드라이버의 동작을 제어하기 위한 신호를 발생시키는 풀-업 드라이버 제어회로와, 상기 풀-업 드라이버 제어회로와 접지전압 사이에 접속되며 상기전압 감지회로로부터 출력되는 제1출력신호에 의해 상기 풀-업 드라이버 제어회로로부터 접지단자로 흐르는 전류량을 제어하기 위한 풀-업 가변저항수단과, 상기 전원전압과 접지전압 사이에 접속되며, 상기 입력 데이터(Data)와 데이터 출력버퍼 제어신호(OE)를 노아 연산하여 상기 풀-다운 드라이버의 동작을 제어하기 위한 신호를 발생시키는 풀-다운 드라이버 제어회로와, 상기 풀-다운 드라이버 제어회로와 전원전압 사이에 접속되며 상기 전압 감지회로로부터 출력되는 제2출력신호에 의해 상기 전원단자로부터 상기 풀-다운 드라이버 제어회로로 흐르는 전류량을 제어하기 위한 풀-업 가변 저항수단을 포함하는 것을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 고안의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

제3도는 본 고안의 데이터 출력버퍼의 실시예를 도시한 회로도로서, 전압 감지회로(100)를 포함하고 있으며, 제1도에 도시된 회로에서 저항소자(R11) 대신에 게이트로 전원전압이 인가되는 NMOS형 트랜지스터(n3)와 게이트가 전압 감지회로(100)의 출력(B)에 의해 제어되는 NMOS형 트랜지스터(n4)를 병렬 접속시킨 회로를 사용하고, 저항소자(R12) 대신에 게이트로 접지전압이 인가되는 PMOS형 트랜지스터(p3)와 게이트가 전압 감지회로(100)의 출력(A)에 의해 제어되는 PMOS형 트랜지스터(p4)를 병렬 접속시킨 회로를 사용하는 것으로서, NMOS형, PMOS형 트랜지스터(n3, n4, p3, p4)는 일종의 디지털(digital) 가변 저항으로 사용된다.

동작 상태를 간단히 설명하면, 우선 전압 감지회로(100)의 동작은 저항소자(R1, R2, R3)와 NMOS형 트랜지스터(N7)에 의해 인버터(INV4)의 입력노드(N1)의 전압이 결정되고, 이 전압이 인버터(INV4)의 로직 문턱전압(logic threshold voltage)보다 낮은면 출력(A)는 로우, 출력(B)는 하이 상태가 되고, 노드(N)의 전압이 인버터(INV4)의 로직 문턱전압 보다 높은 경우에는 출력(A)는 하이, 출력(B)는 로우 상태가 된다. 이것은 일반적인 동작이며, 이 회로를 통해 원하는 전원전압을 검출할 수 있다.

먼저, 높은 전원전압이 인가되면, 노드(N1)의 전위에 의해 출력(A)는 하이, 출력(B)는 로우 상태가 되고, 이는 데이터 출력버퍼의 NMOS형 트랜지스터(n4)와 PMOS형 트랜지스터(p4)를 턴-오프 시킴으로써, 트랜지스터(p1, p2, n1, n2, n3)로 구성된 낸드 게이트와 트랜지스터(p3, p5, p6, n5, n6)로 구성된 노아 게이트만으로 구동단(mp, mn)을 제어하게 된다.

이때, 트랜지스터(n3, p3)는 작은 크기의 트랜지스터로서 큰 저항성분을 가지므로 이 트랜지스터를 통해 흐르는 전류는 매우 작기 때문에 데이터 변환시 출력 구동단에서의 피크 전류를 줄일 수 있다.

즉, 일반적인 저항을 삽입한 데이터 출력버퍼와 동일하게 동작하게 되는 것이다. 그러므로, 상기 트랜지스터(n3, p3)의 크기를 조정하면 원하는 만큼의 피크 전류를 얻어서 잡음을 제어할 수 있게 된다(제4a도의 출력 파형도 참조).

반면에 낮은 전원전압이 인가되면, 턴-오프되었던 트랜지스터(n4, p4)가 턴-온되고, 이에 따라 낸드, 노아 게이트를 통해 흐르는 전류는 트랜지스터(n4, p4)에 의해 그 양이 커지게 됨으로써, 출력 구동단(mp, mn)은 빠른 데이터 변환을 하게 된다. 이때 구동단(mp, mn)을 통해 흐르는 피크 전류는 낮은 전압에서는 작기 때문에 칩의 동작을 방해할 만큼의 잡음은 발생하지 않는다(제4b도의 출력 파형도 참조).

즉, 본 고안의 데이터 출력버퍼는 일반적인 데이터 출력버퍼에 비해 높은 전원전압에서는 느린 동작속도

와 낮은 피크 전류를 얻게 되고, 낮은 전원전압에서는 빠른 동작속도와 높은 피크 전류를 얻게 된다. 이때 높은 전압에서의 동작속도의 지연은 반도체 소자의 전체 동작에는 영향을 주지 않는다. 이는 전원전압이 높음에 따라 소자의 다른 회로의 동작속도가 빨라지게 되어 데이터 출력버퍼에서의 속도지연을 보상할 수 있기 때문이다. 또한, 낮은 전원전압에서의 피크전류의 증가는 높은 전원전압에서의 피크 전류보다 작기 때문에 잡음의 증가가 높은 전원전압에서처럼 영향을 미치지 않는다.

이상, 제3도 내지 제4b도에서 설명한 바와같이 본 고안의 데이터 출력버퍼를 반도체 소자 내부에 구현하게 되면, 낮은 전원전압에서는 빠른 동작속도를 얻고, 높은 전원전압에서는 낮은 피크 전류를 얻어 잡음을 감소시킴으로써, 칩을 빠른 동작시간과 높은 전원전압에서 안정되게 동작시키는 효과를 얻게 된다.

본 고안의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 고안의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1

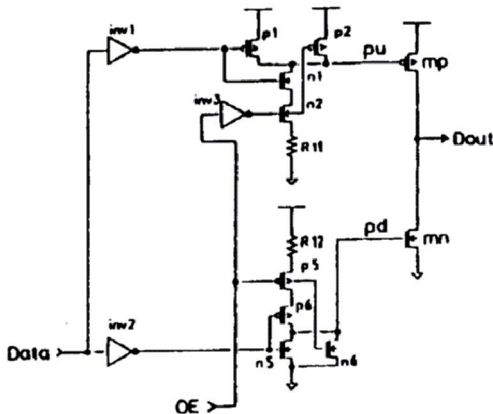
출력단자로 고전위를 전달하는 풀-업 드라이버와 저전위를 전달하는 풀-다운 드라이버를 구비하는 데이터 출력버퍼에 있어서, 전원전압과 접지전압 사이에 연결되며 전위를 검출하여 제1레벨의 출력신호와 제2레벨의 출력신호를 발생시키기 위한 전압 감지회로와, 전원전압과 접지전원 사이에 접속되며, 입력 데이터(Data)와 데이터 출력버퍼 제어신호(OE)를 낸드 연산하여 상기 풀-업 드라이버의 동작을 제어하기 위한 신호를 발생시키는 풀-업 드라이버 제어회로와, 상기 풀-업 드라이버 제어회로와 접지전압 사이에 접속되며 상기 전압 감지회로로부터 출력되는 제1출력신호에 의해 상기 풀-업 드라이버 제어회로로부터 접지단자로 흐르는 전류량을 제어하기 위한 풀-업 가변 저항수단과, 상기 전원전압과 접지전압 사이에 접속되며, 상기 입력 데이터(Data)와 데이터 출력버퍼 제어신호(OE)를 노아 연산하여 상기 풀-다운 드라이버의 동작을 제어하기 위한 신호를 발생시키는 풀-다운 드라이버 제어회로와, 상기 풀-다운 드라이버 제어회로와 전원전압 사이에 접속되며 상기 전압 감지회로로부터 출력되는 제2출력신호에 의해 상기 전원단자로부터 상기 풀-다운 드라이버 제어회로로 흐르는 전류량을 제어하기 위한 풀-업 가변 저항수단을 포함하는 것을 특징으로 하는 데이터 출력버퍼.

청구항 2

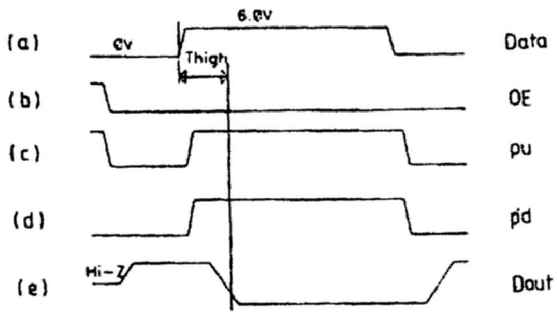
제1항에 있어서, 상기 풀-업 가변저항 수단은 각각의 게이트로 전원전압 및 상기 제1출력신호가 입력되고 병렬 접속된 2개의 NMOS형 트랜지스터를 포함하고, 상기 풀-다운 가변저항 수단은 각각의 게이트로 접지전압 및 상기 제2출력신호가 입력되고 병렬 접속된 2개의 NMOS형 트랜지스터를 포함하는 것을 특징으로 하는 데이터 출력버퍼.

도면

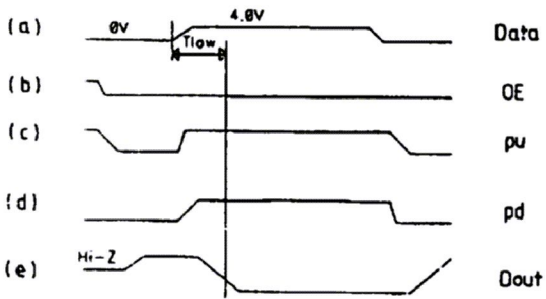
도면1



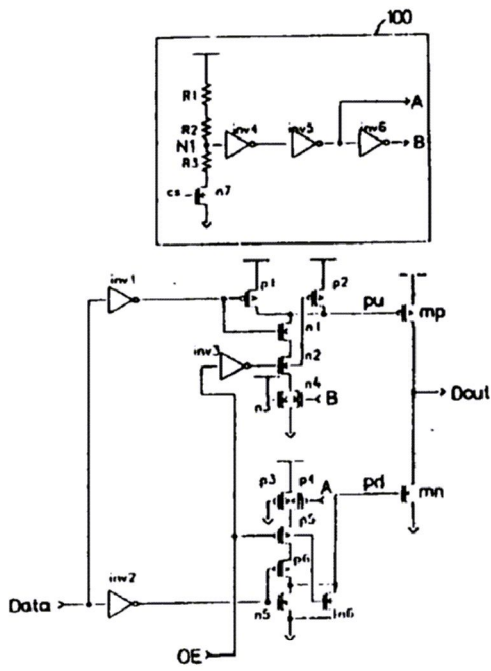
도면2a



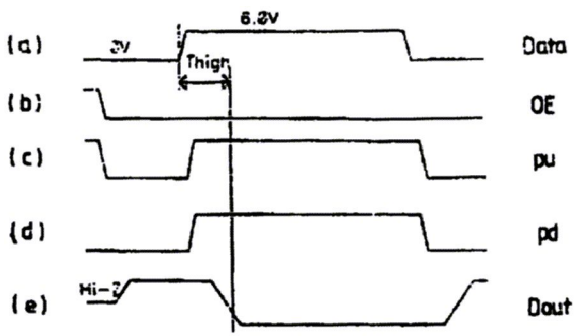
도면2b



도면3



도면4a



도면4b

