

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-277694
(P2008-277694A)

(43) 公開日 平成20年11月13日(2008.11.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	4 M 1 0 4
HO 1 L 29/788 (2006.01)	HO 1 L 29/58 G	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 29/44 S	5 F 1 0 1
HO 1 L 29/423 (2006.01)	HO 1 L 27/10 4 3 4	
HO 1 L 29/49 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-122429 (P2007-122429)
(22) 出願日 平成19年5月7日(2007.5.7)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置

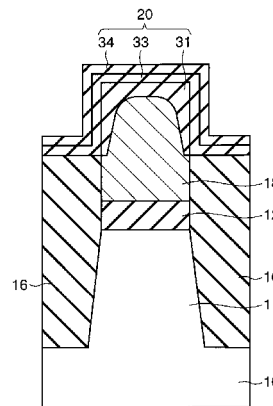
(57) 【要約】

【課題】 電極間絶縁膜のリーク電流や絶縁耐圧に関する問題を防止することが可能な半導体装置を提供する。

【解決手段】 素子形成領域 11 を有する半導体基板 10 と、素子形成領域上に形成されたトンネル絶縁膜 12 と、トンネル絶縁膜上に形成された浮遊ゲート電極 18 と、素子形成領域の側面、トンネル絶縁膜の側面及び浮遊ゲート電極の下部分の側面を覆う素子分離絶縁膜 16 と、浮遊ゲート電極の上部分の上面及び側面を覆う電極間絶縁膜 20 と、電極間絶縁膜上に形成された制御ゲート電極とを備え、浮遊ゲート電極の上部分の上面及び側面に平行な方向から見て、浮遊ゲート電極の上コーナ部は丸められている。

【選択図】 図 6

図 6



【特許請求の範囲】

【請求項 1】

素子形成領域を有する半導体基板と、
 前記素子形成領域上に形成されたトンネル絶縁膜と、
 前記トンネル絶縁膜上に形成された浮遊ゲート電極と、
 前記素子形成領域の側面、前記トンネル絶縁膜の側面及び前記浮遊ゲート電極の下部分の側面を覆う素子分離絶縁膜と、
 前記浮遊ゲート電極の上部分の上面及び側面を覆う電極間絶縁膜と、
 前記電極間絶縁膜上に形成された制御ゲート電極と、
 を備え、
 前記浮遊ゲート電極の前記上部分の上面及び側面に平行な方向から見て、前記浮遊ゲート電極の上コーナー部は丸められている
 ことを特徴とする半導体装置。

10

【請求項 2】

前記電極間絶縁膜は、前記浮遊ゲート電極に接し且つ前記浮遊ゲート電極の少なくとも上コーナー部を覆う所定絶縁膜を含み、
 前記浮遊ゲート電極の上コーナー部の曲率半径は、前記所定絶縁膜の上コーナー部の曲率半径よりも大きい
 ことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記電極間絶縁膜は、前記浮遊ゲート電極に接する所定絶縁膜を含み、
 前記所定絶縁膜の前記浮遊ゲート電極の側面に形成された部分の厚さは、下から上に向かって増加している
 ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

素子形成領域を有する半導体基板と、
 前記素子形成領域上に形成されたトンネル絶縁膜と、
 前記トンネル絶縁膜上に形成され、下部分及び前記下部分よりも幅が狭い上部分を有する浮遊ゲート電極と、
 前記素子形成領域の側面、前記トンネル絶縁膜の側面及び前記浮遊ゲート電極の下部分の側面を覆い、且つその上面が前記浮遊ゲート電極の下部分と上部分との境界よりも高く位置する素子分離絶縁膜と、
 前記浮遊ゲート電極の上部分の上面及び側面を覆う電極間絶縁膜と、
 前記電極間絶縁膜上に形成された制御ゲート電極と、
 を備えたことを特徴とする半導体装置。

30

【請求項 5】

前記電極間絶縁膜は、前記浮遊ゲート電極の上部分と前記素子分離絶縁膜との間の領域を埋めている
 ことを特徴とする請求項 4 に記載の半導体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

NAND型メモリに代表される不揮発性半導体記憶装置は、半導体基板上に形成されたトンネル絶縁膜と、トンネル絶縁膜上に形成された浮遊ゲート電極と、浮遊ゲート電極上に形成された電極間絶縁膜と、電極間絶縁膜上に形成された制御ゲート電極とを有している（例えば、特許文献 1 参照）。

【0003】

50

しかしながら、半導体装置の微細化に伴い、電極間絶縁膜のリーク電流や絶縁耐圧に関する問題が生じてくる。しかしながら、従来は、電極間絶縁膜のリーク電流や絶縁耐圧に関する問題に対して適切な対策が施されているとは言えなかった。

【特許文献1】特開平9 - 134973号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、電極間絶縁膜のリーク電流や絶縁耐圧に関する問題を防止することが可能な半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0005】

本発明の第1の実施形態に係る半導体装置は、素子形成領域を有する半導体基板と、前記素子形成領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成された浮遊ゲート電極と、前記素子形成領域の側面、前記トンネル絶縁膜の側面及び前記浮遊ゲート電極の下部分の側面を覆う素子分離絶縁膜と、前記浮遊ゲート電極の上部分の上面及び側面を覆う電極間絶縁膜と、前記電極間絶縁膜上に形成された制御ゲート電極と、を備え、前記浮遊ゲート電極の前記上部分の上面及び側面に平行な方向から見て、前記浮遊ゲート電極の上コーナー部は丸められている。

【0006】

本発明の第2の実施形態に係る半導体装置は、素子形成領域を有する半導体基板と、前記素子形成領域上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成され、下部分及び前記下部分よりも幅が狭い上部分を有する浮遊ゲート電極と、前記素子形成領域の側面、前記トンネル絶縁膜の側面及び前記浮遊ゲート電極の下部分の側面を覆い、且つその上面が前記浮遊ゲート電極の下部分と上部分との境界よりも高く位置する素子分離絶縁膜と、前記浮遊ゲート電極の上部分の上面及び側面を覆う電極間絶縁膜と、前記電極間絶縁膜上に形成された制御ゲート電極と、を備える。

【発明の効果】

【0007】

本発明によれば、電極間絶縁膜のリーク電流や絶縁耐圧に関する問題を防止することができ、優れた半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態を図面を参照して説明する。

【0009】

(実施形態1)

以下、本発明の第1の実施形態に係る半導体装置(不揮発性半導体記憶装置)について説明する。本半導体装置は、例えばNAND型メモリに適用されるものである。

【0010】

図1~図4は、本実施形態に係る半導体装置の基本的な製造工程を示したワード線方法(チャンネル幅方向)の断面図である。

【0011】

まず、図1に示すように、p型シリコン基板(半導体基板)10上に、トンネル絶縁膜12として、厚さ1~15nm程度のシリコン酸化膜を形成する。続いて、トンネル絶縁膜12上に、第1の浮遊ゲート電極膜13として、厚さ10~200nm程度のn型ポリシリコン膜を形成する。続いて、第1の浮遊ゲート電極膜13上にマスク膜14を形成する。さらに、フォトリソグラフィにより、マスク膜14上に、第1の方向(ビット線方向)に延伸したフォトレジストパターン(図示せず)を形成する。このフォトレジストパターンをマスクとして用いて、マスク膜14、第1の浮遊ゲート電極膜13、トンネル絶縁膜12及びシリコン基板10をエッチングする。これにより、シリコン基板10に素子形成領域11が形成され、素子形成領域11を規定する素子分離溝15が形成される。

10

20

30

40

50

【 0 0 1 2 】

次に、図 2 に示すように、素子分離絶縁膜 1 6 として、厚さ 2 0 0 ~ 1 5 0 0 n m 程度のシリコン酸化膜を全面に形成し、素子分離溝 1 5 を素子分離絶縁膜 1 6 で埋める。さらに、CMP (chemical mechanical polishing) によって素子分離絶縁膜 1 6 を平坦化し、マスク膜 1 4 の上面を露出させる。マスク膜 1 4 を除去した後、第 2 の浮遊ゲート電極膜 1 7 として、n 型ポリシリコン膜を全面に形成する。

【 0 0 1 3 】

次に、図 3 に示すように、CMP によって第 2 の浮遊ゲート電極膜 1 7 を平坦化し、素子分離絶縁膜 1 6 の上面を露出させる。続いて、素子分離絶縁膜 1 6 をエッチバックし、第 2 の浮遊ゲート電極膜 1 7 の側面を露出させる。なお、以後、第 1 の浮遊ゲート電極膜 1 3 と第 2 の浮遊ゲート電極膜 1 7 とを合わせて浮遊ゲート電極膜 1 8 と呼ぶ。

10

【 0 0 1 4 】

次に、図 4 に示すように、全面に電極間絶縁膜 2 0 を形成する。この電極間絶縁膜 2 0 の形成方法については後述する。続いて、電極間絶縁膜 2 0 上に制御ゲート電極膜 2 1 を形成する。続いて、制御ゲート電極膜 2 1 上に、マスク膜 (図示せず) を形成する。さらに、フォトリソグラフィにより、マスク膜上に、第 1 の方向に垂直な第 2 の方向 (ワード線方向) に延伸したフォトレジストパターン (図示せず) を形成する。このフォトレジストパターンをマスクとして用いて、マスク膜 (図示せず)、制御ゲート電極膜 2 1、電極間絶縁膜 2 0 及び浮遊ゲート電極膜 1 8 をエッチングする。これにより、浮遊ゲート電極 1 8 及び制御ゲート電極 2 1 のパターンが形成される。さらに、シリコン基板 1 0 に不純物元素を導入して、ソース/ドレイン領域 (図示せず) を形成する。

20

【 0 0 1 5 】

以上のようにして、図 4 に示すような不揮発性半導体記憶装置のメモリセルが形成される。すなわち、シリコン基板 1 0 の素子形成領域 1 1 上に、トンネル絶縁膜 1 2、浮遊ゲート電極 1 8、電極間絶縁膜 2 0 及び制御ゲート電極 2 1 が順次積層され、これらによってメモリセルのゲート構造が形成される。また、素子形成領域 1 1 の側面、トンネル絶縁膜 1 2 の側面及び浮遊ゲート電極 1 8 の下部分の側面は、素子分離絶縁膜 1 6 によって覆われており、浮遊ゲート電極 1 8 の上部分の上面及び側面並びに素子分離絶縁膜 1 6 の上面は、電極間絶縁膜 2 0 によって覆われている。なお、図 4 では図示されていないが、後述するように、浮遊ゲート電極 1 8 の上部分の上面及び側面に平行な方向 (紙面に垂直な方向) から見て、浮遊ゲート電極 1 8 の上コーナー部は丸まっている。

30

【 0 0 1 6 】

次に、電極間絶縁膜 2 0 の形成方法の詳細について、図 4 及び図 5 に示した断面図 (ワード線方法の断面図) を参照して説明する。

【 0 0 1 7 】

図 3 の工程の後、図 5 に示すように、異方性プラズマ窒化処理を行う。すなわち、窒素 (N) を含んだ雰囲気中で異方性プラズマ処理を行う。具体的には、基板温度を 2 0 0 ~ 5 0 0、圧力を 5 0 ~ 5 0 0 m T o r r とし、基板に 1 0 ~ 8 0 0 W の電力でバイアスを印加する。この異方性プラズマ処理により、ポリシリコンで形成された浮遊ゲート電極膜 1 8 の露出表面が窒化され、例えば厚さ 0 . 1 ~ 1 0 n m 程度のシリコン窒化膜 3 1 (所定絶縁膜) が形成される。また、素子分離絶縁膜 1 6 の表面も窒化され、素子分離絶縁膜 1 6 の表面領域には窒素が含有される。

40

【 0 0 1 8 】

上述した異方性プラズマ処理では、浮遊ゲート電極膜 1 8 には、主として浮遊ゲート電極膜 1 8 の上面に対して垂直な方向から窒素が到達するが、斜め方向から浮遊ゲート電極膜 1 8 に到達する窒素も存在する。したがって、浮遊ゲート電極膜 1 8 の上コーナー部では、垂直方向に加えて水平方向からも窒化が進行する。また、上述した異方性プラズマ処理では、浮遊ゲート電極膜 1 8 の上コーナー部に電界が集中するため、上コーナー部に窒素が集中しやすい。

【 0 0 1 9 】

50

上述したような理由から、上述した異方性プラズマ処理では、浮遊ゲート電極膜 18 の上コーナー部で窒化作用が強くなる。その結果、図 5 に示すように、浮遊ゲート電極膜 18 の上コーナー部では、他の部分よりもシリコン窒化膜 31 が厚く形成される。そして、浮遊ゲート電極膜 18 の上コーナー部は丸められた形状となる。ただし、浮遊ゲート電極膜 18 の窒化によってシリコン窒化膜 31 が形成されるため、シリコン窒化膜 31 の上コーナー部は、浮遊ゲート電極膜 18 の上コーナー部に比べて丸まりにくい。したがって、浮遊ゲート電極膜 18 の上コーナー部の曲率半径は、シリコン窒化膜 31 の上コーナー部の曲率半径よりも大きくなる。

【0020】

また、上述したような理由から、シリコン窒化膜 31 の浮遊ゲート電極膜 18 の側面に形成された部分の厚さは、シリコン窒化膜 31 の浮遊ゲート電極膜 18 の上面に形成された部分の厚さよりも薄くなる。そして、シリコン窒化膜 31 の浮遊ゲート電極膜 18 の側面に形成された部分の厚さは、下から上に向かって増加している。

10

【0021】

次に、図 6 に示すように、シリコン窒化膜 31 上及び素子分離絶縁膜 16 上に、高誘電体膜 33 として金属酸化物膜（例えば、アルミニウム酸化物膜）を形成する。さらに、高誘電体膜 33 上にシリコン窒化膜 34 を形成する。これにより、シリコン窒化膜 31、高誘電体膜 33 及びシリコン窒化膜 34 の積層膜で形成された電極間絶縁膜 20 が得られる。なお、浮遊ゲート電極膜 18 の上コーナー部の曲率半径は、上記積層膜で形成された電極間絶縁膜 20 の上コーナー部の曲率半径よりも大きい。

20

【0022】

上記のようにして電極間絶縁膜 20 を形成した後、図 4 で示したように、電極間絶縁膜 20 上に制御ゲート電極膜 21 を形成する。

【0023】

以上のように、本実施形態によれば、浮遊ゲート電極 18 の上面及び側面に平行な方向（紙面に垂直な方向）から見て、浮遊ゲート電極 18 の上コーナー部が丸められている。そのため、浮遊ゲート電極 18 の上コーナー部での電界集中を緩和することができる。また、浮遊ゲート電極 18 の上コーナー部が丸められていることから、上コーナー部では電極間絶縁膜 20（特にシリコン窒化膜 31）の膜厚が十分に厚くなっている。したがって、電極間絶縁膜 20 のリーク電流の増加や絶縁耐圧の低下を効果的に防止することができる。その結果、電荷保持特性の向上等をはかることができ、特性や信頼性に優れた半導体装置を得ることが可能となる。

30

【0024】

なお、上述した実施形態は、以下に示すような各種の変更が可能である。

【0025】

上述した実施形態では、電極間絶縁膜 20 を、シリコン窒化膜 31、高誘電体膜 33 及びシリコン窒化膜 34 の積層構造で構成したが、他の積層構造で構成してもよい。例えば、シリコン窒化膜、シリコン酸化膜、高誘電体膜、シリコン酸化膜及びシリコン窒化膜が当該順序で積層された積層構造を、電極間絶縁膜 20 として用いてもよい。この場合には、浮遊ゲート電極 18 に接する最下層のシリコン窒化膜が、上述したシリコン窒化膜 31 に対応する。また、電極間絶縁膜 20 を、積層構造とせず、シリコン窒化膜 31 の単層構造としてもよい。これらの場合にも、上述した効果と同様の効果を得ることが可能である。

40

【0026】

また、上述した実施形態では、異方性プラズマ窒化処理によって浮遊ゲート電極 18 を窒化してシリコン窒化膜 31 を形成したが、異方性プラズマ酸化処理によって浮遊ゲート電極膜 18 を酸化してシリコン酸化膜を形成するようにしてもよい。この場合にも、上述したシリコン窒化膜 31 と同様の形状を得ることができ、上述した効果と同様の効果を得ることが可能である。また、シリコン窒化膜 31 の代わりにシリコン酸化膜を用いた場合には、電極間絶縁膜 20 として、シリコン酸化膜、高誘電体膜及びシリコン酸化膜が当該

50

順序で積層された積層構造を採用することが可能である。また、電極間絶縁膜 20 として、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜が当該順序で積層された積層構造を採用することも可能である。また、電極間絶縁膜 20 を、積層構造とせずに、シリコン酸化膜の単層構造としてもよい。これらの場合にも、上述した効果と同様の効果を得ることが可能である。

【0027】

また、上述した実施形態では、異方性プラズマ処理によってシリコン窒化膜 31（或いはシリコン酸化膜）を形成したが、その他の異方性処理によってシリコン窒化膜 31（或いはシリコン酸化膜）を形成するようにしてもよい。例えば、浮遊ゲート電極膜 18 の表面領域にイオン注入によって窒素（或いは酸素）を導入し、その後で熱処理を行うようにしてもよい。この場合にも、上述した実施形態で述べた構造と同様の構造を得ることが可能であり、上述した効果と同様の効果を得ることが可能である。

10

【0028】

また、上述した実施形態及び変更例において、シリコン酸化膜には窒素が含有されていてもよい。また、シリコン窒化膜には酸素が含有されていてもよい。

【0029】

また、上述した実施形態では、浮遊ゲート電極 18 の基本的な形状（電極間絶縁膜 20 を形成する前の形状）については特に言及しなかったが、図 7（a）～図 7（d）に示すような各種の基本的な形状を採用することが可能である。これらの場合にも、上述した効果と同様の効果を得ることが可能である。

20

【0030】

図 8 及び図 9 は、電極間絶縁膜 20 を、シリコン窒化膜、シリコン酸化膜、高誘電体膜、シリコン酸化膜及びシリコン窒化膜の積層構造で構成した場合の測定結果を示した図である。浮遊ゲート電極に接する最下層のシリコン窒化膜を、上述した実施形態で述べたような異方性プラズマ窒化処理によって形成している。

【0031】

図 8 は、異方性プラズマ窒化処理における基板バイアスパワーと、フラットバンド電圧変動（ V_{fb} ）との関係を示した図である。縦軸は、浮遊ゲート電極に電荷を蓄積してから 6×10^5 秒経過したとき V_{fb} の値である。図 8 に示すように、基板バイアスパワーが 10 W から 800 W の範囲では、 V_{fb} の値が小さくなっている。したがって、基板バイアスパワーは 10 W から 800 W の範囲であることが好ましい。

30

【0032】

図 9 は、異方性プラズマ窒化処理におけるチャンバ内圧力と、電極間絶縁膜のリーク電流密度 J_g との関係を示した図である。図 9 に示すように、圧力が 50 mTorr から 500 mTorr の範囲では、 J_g の値が小さくなっている。したがって、圧力は 50 mTorr から 500 mTorr の範囲であることが好ましい。

【0033】

（実施形態 2）

以下、本発明の第 2 の実施形態に係る半導体装置（不揮発性半導体記憶装置）について説明する。本半導体装置は、例えば NAND 型メモリに適用されるものである。

40

【0034】

本実施形態に係る半導体装置の基本的な製造工程も、第 1 の実施形態で示した図 1～図 4 と同様である。したがって、それらの詳細な説明は省略する。

【0035】

以下、電極間絶縁膜 20 の形成方法の詳細について、図 10～図 14 に示した断面図（ワード線方法の断面図）を参照して説明する。

【0036】

まず、第 1 の実施形態と同様にして、図 1～図 3 の工程を行う。図 10 は、図 3 の工程終了後の構造を模式的に示した図である。

【0037】

50

次に、図 1 1 に示すように、浮遊ゲート電極膜 1 8 を等方性エッチングする。この等方性エッチングでは、ポリシリコンで形成された浮遊ゲート電極膜 1 8 を、シリコン酸化膜で形成された素子分離絶縁膜 1 6 に対して選択的にエッチングする。具体的には、アンモニア等のアルカリエッチング液によって浮遊ゲート電極膜 1 8 をエッチングする。その結果、浮遊ゲート電極膜 1 8 の上部分の幅は減少し、浮遊ゲート電極膜 1 8 と素子分離絶縁膜 1 6 との間に溝 4 1 が形成される。

【 0 0 3 8 】

次に、図 1 2 に示すように、被覆性に優れた成膜法を用いて、全面にシリコン窒化膜 4 2 を形成する。例えば、CVD (chemical vapor deposition) 法により、厚さ 1 0 ~ 2 0 n m 程度のシリコン窒化膜 4 2 を形成する。これにより、浮遊ゲート電極膜 1 8 と素子分離絶縁膜 1 6 との間に形成された溝 4 1 が、シリコン窒化膜 4 2 で埋められる。なお、溝 4 1 をシリコン窒化膜 4 2 で確実に埋めるようにするため、目的とする厚さよりも厚くシリコン窒化膜 4 2 を形成する。

10

【 0 0 3 9 】

次に、図 1 3 に示すように、シリコン窒化膜 4 2 をエッチングして、シリコン窒化膜 4 2 の厚さを薄くする。具体的には、5 0 ~ 1 8 0 程度に加熱されたリン酸を用いてシリコン窒化膜 4 2 をエッチングする。このエッチングにより、シリコン窒化膜 4 2 の厚さは 1 ~ 1 0 n m 程度となる。

【 0 0 4 0 】

次に、図 1 4 に示すように、シリコン窒化膜 4 2 上に、高誘電体膜 4 3 として金属酸化物膜 (例えば、アルミニウム酸化物膜) を形成する。さらに、高誘電体膜 4 3 上にシリコン窒化膜 4 4 を形成する。これにより、シリコン窒化膜 4 2 、高誘電体膜 4 3 及びシリコン窒化膜 4 4 の積層膜で形成された電極間絶縁膜 2 0 が得られる。さらに、電極間絶縁膜 2 0 上に制御ゲート電極膜 2 1 を形成する。

20

【 0 0 4 1 】

このようにして得られた不揮発性半導体記憶装置のメモリセルでは、図 1 4 に示すように、浮遊ゲート電極 1 8 は、トンネル絶縁膜上に形成された下部分 1 8 a と、下部分よりも幅が狭い上部分 1 8 b とを有している。そして、素子分離絶縁膜 1 6 は、素子形成領域 1 1 の側面、トンネル絶縁膜 1 2 の側面及び浮遊ゲート電極 1 8 の下部分 1 8 a の側面を覆い、素子分離絶縁膜 1 6 の上面は、浮遊ゲート電極 1 8 の下部分 1 8 a と上部分 1 8 b との境界 1 8 c よりも高く位置している。なお、境界 1 8 c は仮想的なものであり、下部分 1 8 a と上部分 1 8 b との境界に境界面が実際に存在するわけではない。電極間絶縁膜 2 0 は、浮遊ゲート電極 1 8 の上部分 1 8 b の上面及び側面を覆い、且つ素子分離絶縁膜 1 6 の上面を覆っている。そして、電極間絶縁膜 2 0 (特に、シリコン窒化膜 4 2) は、浮遊ゲート電極 1 8 の上部分 1 8 b と素子分離絶縁膜 1 6 との間に形成された溝 4 1 (図 1 1 参照) を埋めている。

30

【 0 0 4 2 】

以上のように、本実施形態によれば、浮遊ゲート電極 1 8 の上部分 1 8 b が下部分 1 8 a よりも幅が狭くなっている。そして、浮遊ゲート電極 1 8 の上部分 1 8 b と素子分離絶縁膜 1 6 との間の領域が、電極間絶縁膜 2 0 によって埋められている。したがって、素子分離絶縁膜 1 6 の上コーナー部近傍では、電極間絶縁膜 2 0 (特にシリコン窒化膜 4 2) の膜厚が実質的に厚くなっている。言い換えると、電界が集中しやすい制御ゲート電極 2 1 の下コーナー部近傍で、電極間絶縁膜 2 0 (特にシリコン窒化膜 4 2) の膜厚が実質的に厚くなっている。その結果、電極間絶縁膜 2 0 のリーク電流の増加や絶縁耐圧の低下を効果的に防止することができる。したがって、電荷保持特性の向上等をはかることができ、特性や信頼性に優れた半導体装置を得ることが可能となる。

40

【 0 0 4 3 】

なお、上述した実施形態は、以下に示すような各種の変更が可能である。

【 0 0 4 4 】

上述した実施形態では、電極間絶縁膜 2 0 を、シリコン窒化膜 4 2 、高誘電体膜 4 3 及

50

びシリコン窒化膜 44 の積層構造で構成したが、他の積層構造で構成してもよい。例えば、シリコン窒化膜、シリコン酸化膜、高誘電体膜、シリコン酸化膜及びシリコン窒化膜が当該順序で積層された積層構造を、電極間絶縁膜 20 として用いてもよい。この場合には、浮遊ゲート電極 18 に接する最下層のシリコン窒化膜が、上述したシリコン窒化膜 42 に対応する。また、電極間絶縁膜 20 を、積層構造とせずに、シリコン窒化膜 42 の単層構造としてもよい。これらの場合にも、上述した効果と同様の効果を得ることが可能である。

【0045】

また、上述した実施形態では、浮遊ゲート電極 18 に接する絶縁膜としてシリコン窒化膜 42 を形成したが、シリコン窒化膜 42 の代わりにシリコン酸化膜を形成するようによ

10

【0046】

また、上述した実施形態及び変更例において、シリコン酸化膜には窒素が含有されてい

20

【0047】

また、上述した実施形態では、浮遊ゲート電極 18 のエッチングによって形成される溝 41 の形状については特に言及しなかったが、図 15 及び図 16 に示すような各種の形状を採用することが可能である。図 15 の例では、溝 41 の幅が上から下に向かって狭くなっている。図 16 の例では、溝 41 の底部近傍で溝が広がっている。これらの場合にも、上述した効果と同様の効果を得ることが可能である。

【0048】

図 17 及び図 18 は、電極間絶縁膜 20 を、シリコン窒化膜、シリコン酸化膜、高誘電体膜、シリコン酸化膜及びシリコン窒化膜の積層構造で構成した場合の測定結果を示した

30

【0049】

図 17 は、電極間絶縁膜に印加される電界 E_g と、電極間絶縁膜のリーク電流密度 J との関係を示した図である。図 17 からわかるように、本実施形態の構造を採用することにより、リーク電流特性が大幅に改善されている。

【0050】

図 18 は、浮遊ゲート電極に電荷を蓄積してからの経過時間と、フラットバンド電圧変動 (V_{fb}) との関係を示した図である。図 18 からわかるように、本実施形態の構造を採用した場合には、時間が経過しても V_{fb} 値はあまり変化していない。

40

【0051】

したがって、図 17 及び図 18 の測定結果からも、本実施形態の構造が有効であることがわかる。

【0052】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

50

【図面の簡単な説明】

【0053】

【図1】本発明の第1及び第2の実施形態に係る半導体装置の基本的な製造工程を示した断面図である。

【図2】本発明の第1及び第2の実施形態に係る半導体装置の基本的な製造工程を示した断面図である。

【図3】本発明の第1及び第2の実施形態に係る半導体装置の基本的な製造工程を示した断面図である。

【図4】本発明の第1及び第2の実施形態に係る半導体装置の基本的な製造工程を示した断面図である。

【図5】本発明の第1の実施形態に係り、電極間絶縁膜の形成方法の詳細を模式的に示した断面図である。

【図6】本発明の第1の実施形態に係り、電極間絶縁膜の形成方法の詳細を模式的に示した断面図である。

【図7】本発明の第1の実施形態に係り、浮遊ゲート電極の各種の基本的な形状を模式的に示した断面図である。

【図8】本発明の第1の実施形態に係る半導体装置の測定結果を示した図である。

【図9】本発明の第1の実施形態に係る半導体装置の測定結果を示した図である。

【図10】本発明の第2の実施形態に係り、電極間絶縁膜等の形成方法の詳細を模式的に示した断面図である。

【図11】本発明の第2の実施形態に係り、電極間絶縁膜等の形成方法の詳細を模式的に示した断面図である。

【図12】本発明の第2の実施形態に係り、電極間絶縁膜等の形成方法の詳細を模式的に示した断面図である。

【図13】本発明の第2の実施形態に係り、電極間絶縁膜等の形成方法の詳細を模式的に示した断面図である。

【図14】本発明の第2の実施形態に係り、電極間絶縁膜等の形成方法の詳細を模式的に示した断面図である。

【図15】本発明の第2の実施形態の変更例を模式的に示した断面図である。

【図16】本発明の第2の実施形態の変更例を模式的に示した断面図である。

【図17】本発明の第2の実施形態及びその比較例に係る半導体装置の測定結果を示した図である。

【図18】本発明の第2の実施形態及びその比較例に係る半導体装置の測定結果を示した図である。

【符号の説明】

【0054】

- | | |
|-------------------|--------------------|
| 10 ... シリコン基板 | 11 ... 素子形成領域 |
| 12 ... トネル絶縁膜 | 13 ... 第1の浮遊ゲート電極膜 |
| 14 ... マスク膜 | 15 ... 素子分離溝 |
| 16 ... 素子分離絶縁膜 | 17 ... 第2の浮遊ゲート電極膜 |
| 18 ... 浮遊ゲート電極 | 18 a ... 下部分 |
| 18 b ... 上部分 | 18 c ... 境界 |
| 20 ... 電極間絶縁膜 | 21 ... 制御ゲート電極 |
| 31、34 ... シリコン窒化膜 | 33 ... 高誘電体膜 |
| 41 ... 溝 | 42、44 ... シリコン窒化膜 |
| 43 ... 高誘電体膜 | |

10

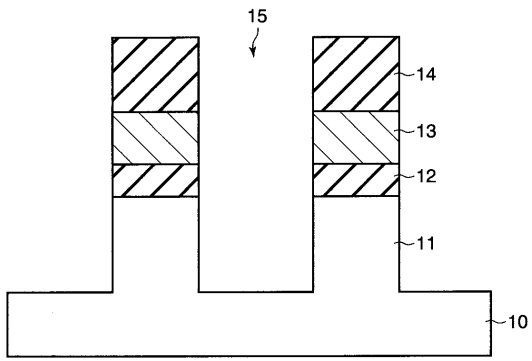
20

30

40

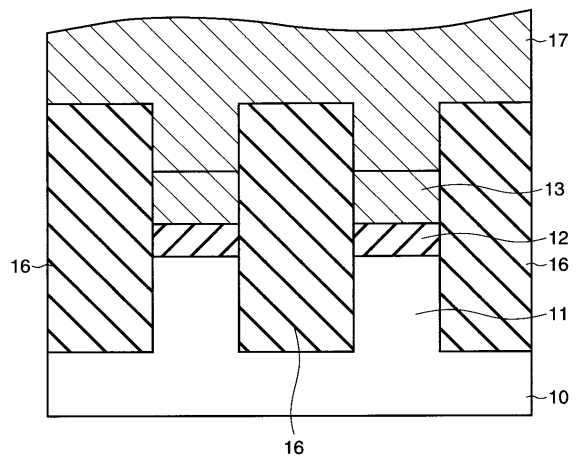
【 図 1 】

図 1



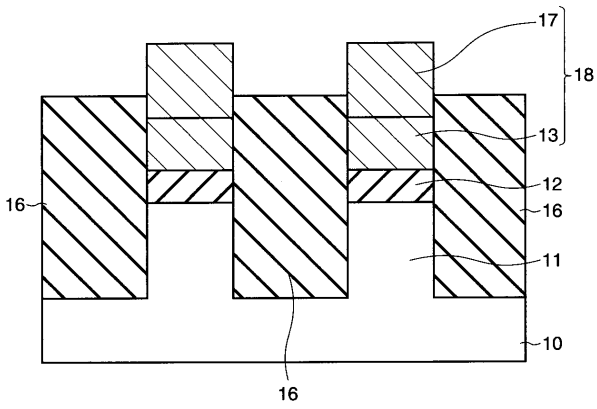
【 図 2 】

図 2



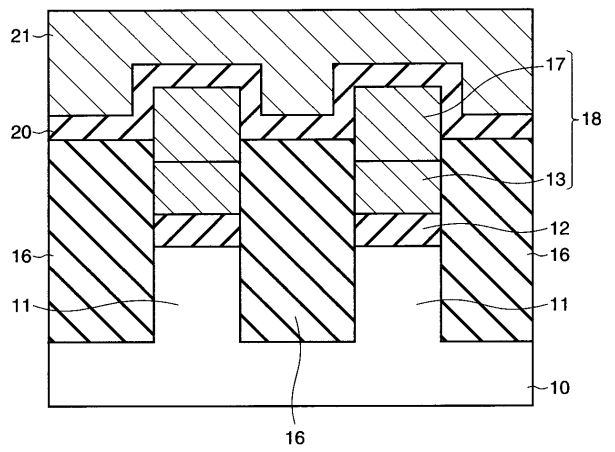
【 図 3 】

図 3



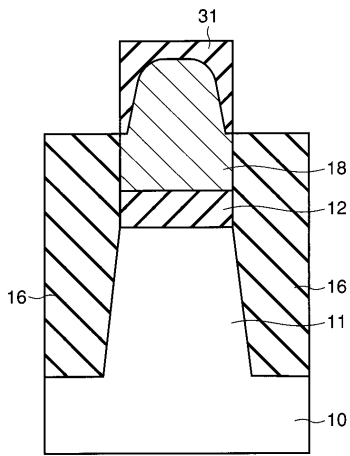
【 図 4 】

図 4



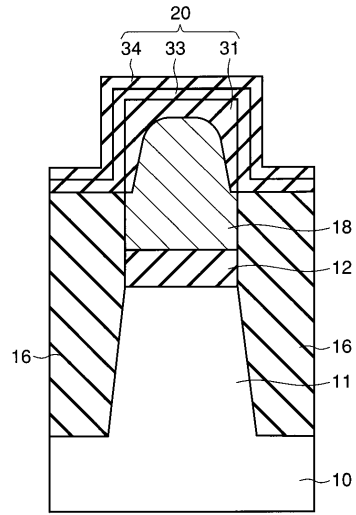
【 図 5 】

図 5



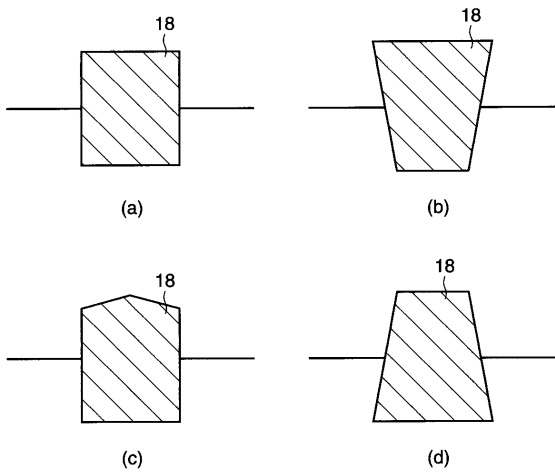
【 図 6 】

図 6



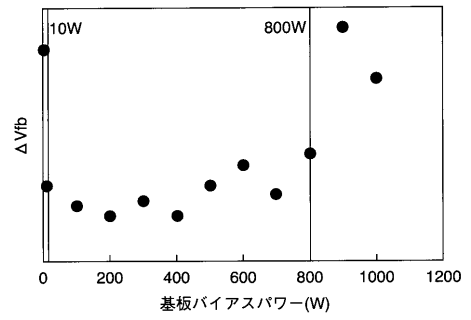
【 図 7 】

図 7



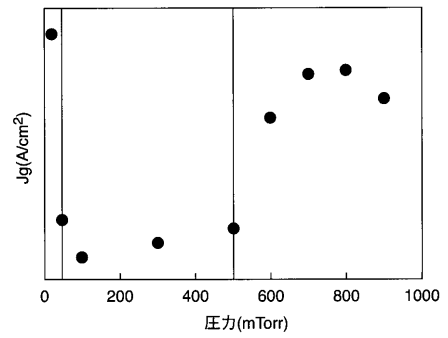
【 図 8 】

図 8



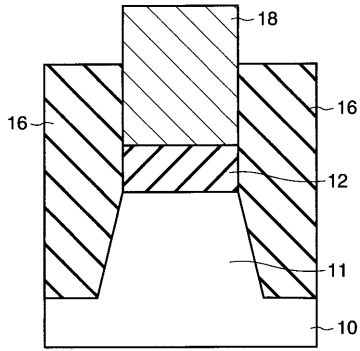
【 図 9 】

図 9



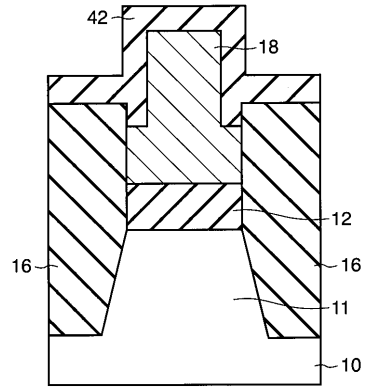
【 図 1 0 】

図 10



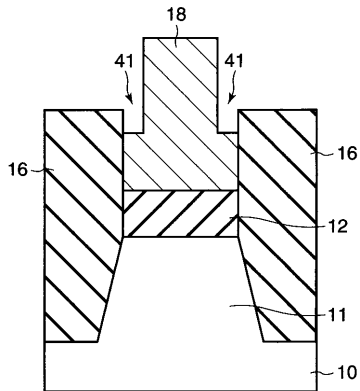
【 図 1 2 】

図 12



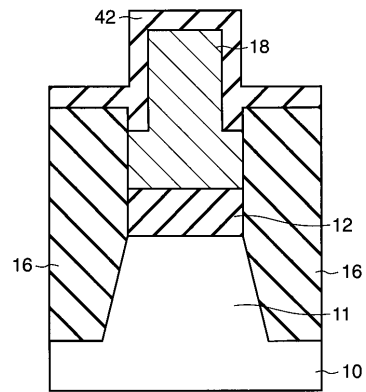
【 図 1 1 】

図 11



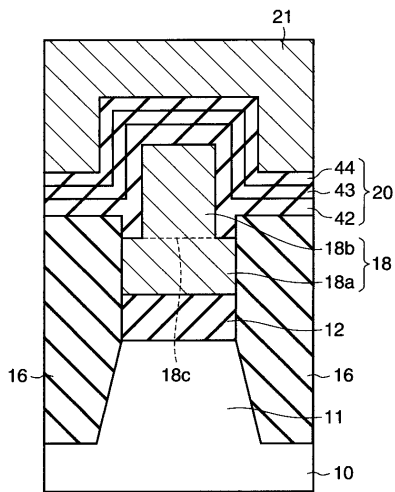
【 図 1 3 】

図 13



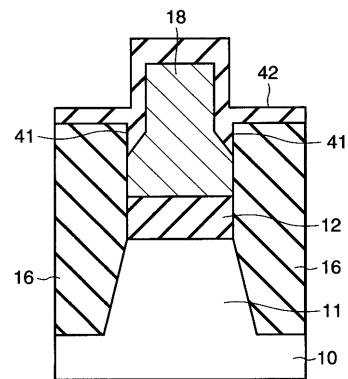
【 図 1 4 】

図 14



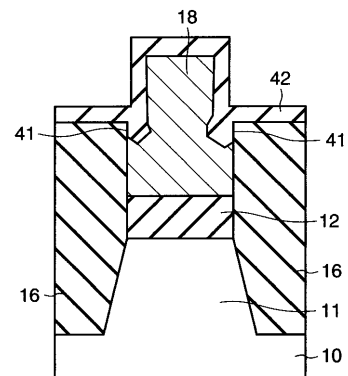
【 図 1 5 】

図 15



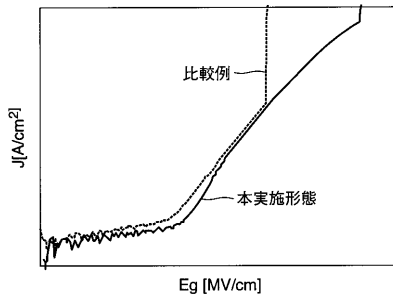
【 図 1 6 】

図 16



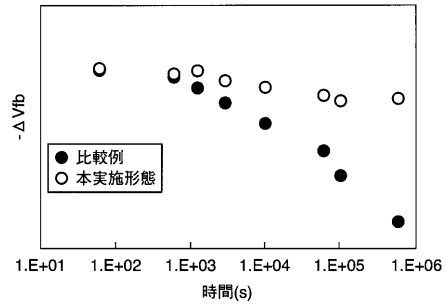
【 図 1 7 】

図 17



【 図 1 8 】

図 18



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/41 (2006.01)
H 0 1 L 27/115 (2006.01)

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 西田 大介

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 山本 明人

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小澤 良夫

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 名取 克晃

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 関根 克行

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 田中 正幸

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 藤塚 良太

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M104 AA01 BB01 BB40 CC05 DD64 DD79 DD89 EE03 EE05 EE16
 EE17 FF13 GG16 HH00 HH20
 5F083 EP02 EP23 EP27 EP55 EP76 GA06 JA02 NA01 NA06 PR05
 PR15
 5F101 BA01 BA26 BA36 BB02 BD02 BD34 BD35 BF09 BH05 BH15