



(12) 发明专利申请

(10) 申请公布号 CN 105390433 A

(43) 申请公布日 2016. 03. 09

(21) 申请号 201410452054. 1

(22) 申请日 2014. 09. 05

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 孟令款

(74) 专利代理机构 北京蓝智辉煌知识产权代理
事务所(普通合伙) 11345
代理人 陈红

(51) Int. Cl.
H01L 21/768(2006. 01)
H01L 21/033(2006. 01)

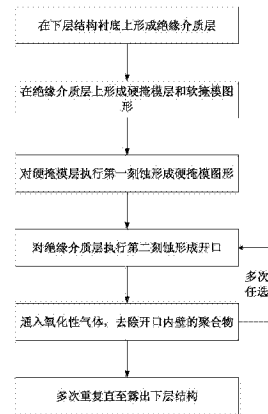
权利要求书1页 说明书5页 附图1页

(54) 发明名称

半导体器件制造方法

(57) 摘要

一种半导体器件制造方法,包括:步骤1,在包括下层结构的衬底上形成绝缘介质层;步骤2,在绝缘介质层上形成硬掩模层和软掩模图形;步骤3,以软掩模图形为掩模,对硬掩模层执行第一刻蚀以形成硬掩模图形;步骤4,以硬掩模图形为掩模,对绝缘介质层执行第二刻蚀以形成沟槽或接触孔;步骤5,通入氧化性气体,去除开沟槽或接触孔侧壁上的聚合物;步骤6,多次执行步骤4和/或步骤5,直至露出下层结构。依照本发明的半导体器件制造方法,采用主要包括非晶硅的独特硬掩模图形提高了刻蚀绝缘介质的选择性,并且刻蚀绝缘介质之后或者过程中还单独通入氧化性气体去除聚合物,从而获得较高深宽比结构,提高了器件可制造性和可靠性。



1. 一种半导体器件制造方法,包括:
步骤 1,在包括下层结构的衬底上形成绝缘介质层;
步骤 2,在绝缘介质层上形成硬掩模层和软掩模图形;
步骤 3,以软掩模图形为掩模,对硬掩模层执行第一刻蚀以形成硬掩模图形;
步骤 4,以硬掩模图形为掩模,对绝缘介质层执行第二刻蚀以形成接触孔或沟槽;
步骤 5,通入氧化性气体,去除接触孔或沟槽侧壁上的聚合物;
步骤 6,多次执行步骤 4 和 / 或步骤 5,直至露出下层结构。
2. 如权利要求 1 的半导体器件制造方法,其中,绝缘介质层包括氧化硅、氮化硅、低 k 材料中的一种或其组合。
3. 如权利要求 1 的半导体器件制造方法,其中,硬掩模层材料主要由非晶硅组成。
4. 如权利要求 3 的半导体器件制造方法,其中,硬掩模层除了非晶硅的第一层之外,还可包括选自多晶硅、非晶碳、氧化硅、氮化硅的任意一种或其组合的多个第二层。
5. 如权利要求 1 的半导体器件制造方法,其中,第一刻蚀的反应气体包括选自 Cl_2 、 HBr 、 SF_6 或碳氟基气体的任意一种或其组合的刻蚀气体,以及选自 O_2 、 CO 中的任意一种或其组合的氧化性气体。
6. 如权利要求 1 的半导体器件制造方法,其中,第二刻蚀的反应气体包括选自 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 、 C_4F_6 、 C_4F_8 的任意一种或其组合的碳氟基刻蚀气体。
7. 如权利要求 5 的半导体器件制造方法,其中,碳氟基气体包括选自 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 的任意一种或其组合的碳氟基刻蚀气体。
8. 如权利要求 6 的半导体器件制造方法,其中,第二刻蚀的反应气体也包括氧化性气体,并且步骤 5 中停止通入碳氟基刻蚀气体。
9. 如权利要求 8 的半导体器件制造方法,其中,提高碳氟基刻蚀气体中的碳氟的流量比或者减小氧化性气体的比例以形成倾斜的接触孔或沟槽侧壁;还可通过减小碳氟基刻蚀气体中的碳氟比或者增大氧化性气体的比例以形成垂直的接触孔或沟槽侧壁。
10. 如权利要求 1 或 8 的半导体器件制造方法,其中,步骤 5 或步骤 4 中的氧化性气体选自 O_2 、 CO 中的任意一种或其组合。
11. 如权利要求 1 的半导体器件制造方法,其中,软掩模图形为适用于电子束光刻、193nm 浸入式光刻、i 线光刻、g 线光刻的任意一种或其组合的光刻胶图形,第二刻蚀的刻蚀设备为电容耦合等离子体 (CCP) 或电感耦合等离子体 (ICP、TCP) 腔体。

半导体器件制造方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,更具体地,涉及一种纳米级介质孔的制备和刻蚀技术。

背景技术

[0002] 随着集成电路器件根据摩尔定律的要求持续微缩,及消费市场对更先进器件的需求,当前先进的逻辑 CMOS 器件技术已经达到 22nm 节点,并有望准时进入 14/16nm 节点。这对许多工艺技术提出了挑战,特别是刻蚀技术,由于它形成了器件的图形,使得集成电路的制造成为可能。其中,介质孔刻蚀是 CMOS 超大规模集成电路的关键技术,主要包括前段的接触孔刻蚀及后段铜互连线的通孔刻蚀。另外,随着 3DFinFET 技术的引入,传统的接触孔结构由向接触沟槽结构转变的趋势。另外,对于先进的存储器而言,深宽比已经达到了 40:1 以上的比例,这更加增添了挑战。

[0003] 对于接触孔而言,根据技术节点的不同,采用的介质主要是无掺杂或者掺杂 B、P 等的二氧化硅材料,对它们的刻蚀主要采用碳氟基气体来实现。为了获得较高的刻蚀深度及可控的刻蚀形貌,往往采用较高的功率及在刻蚀过程中能够产生较多高分子聚合物的刻蚀气体,如 C_4F_6 、 C_4F_8 。另外,对于低 K 材料而言,由于刻蚀中会产生损伤使得 K 值增加,导致互连线延时滞后。因此,在刻蚀过程中,不能采用较高的功率及含有氧气较多的刻蚀气体。

[0004] 除了上述挑战外,当前,先进技术节点的接触孔及通孔大小有望进入亚 50nm。为了获得如此小的尺寸,光刻胶的厚度必须降低以实现更高的分辨率。同时,由于光刻胶对介质材料的抗蚀性变得更低,使得单纯采用光刻胶作为掩模来形成合适的孔已不可能。另外,传统的硬掩模如氧化硅和氮化硅难以对介质孔材料有高的刻蚀选择比,因此,必须选择合适的硬掩模并且要有较高的刻蚀选择比。这些都对孔的刻蚀提出了挑战。

[0005] 在选择合适的硬掩模外,还需要考虑到如此小尺寸的深孔所具有的较高深宽比。在刻蚀过程中,孔内会产生较多的聚合物,而难以及时的抽出,易于导致刻蚀抑制从而使得刻蚀停止。因此,需要开发合适的刻蚀工艺以去除孔内及侧壁上的聚合物。

发明内容

[0006] 有鉴于此,本发明的目的在于提供一种创新性的纳米级介质孔的刻蚀方法,提高侧壁陡直度以及深宽比,同时还能提高绝缘介质填充率,最终提高了器件的可靠性。

[0007] 实现本发明的上述目的,是通过提供一种半导体器件制造方法,包括:步骤 1,在包括下层结构的衬底上形成绝缘介质层;步骤 2,在绝缘介质层上形成硬掩模层和软掩模图形;步骤 3,以软掩模图形为掩模,对硬掩模层执行第一刻蚀以形成硬掩模图形;步骤 4,以硬掩模图形为掩模,对绝缘介质层执行第二刻蚀以形成接触孔或沟槽;步骤 5,通入氧化性气体,去除接触孔或沟槽侧壁上的聚合物;步骤 6,多次执行步骤 4 和 / 或步骤 5,直至露出下层结构。

[0008] 其中,绝缘介质层包括氧化硅、氮化硅、低 k 材料中的一种或其组合。

[0009] 其中,硬掩模层材料主要由非晶硅组成。

[0010] 其中,硬掩模层除了非晶硅的第一层之外,还包括选自多晶硅、非晶碳、氧化硅、氮化硅的任意一种或其组合的多个第二层。

[0011] 其中,第一刻蚀的反应气体包括选自 Cl_2 、 HBr 、 SF_6 、碳氟基气体中的任意一种或其组合的刻蚀气体,以及选自 O_2 、 CO 中的任意一种或其组合的氧化性气体。

[0012] 其中,第一刻蚀中的碳氟基气体包括选自 CF_4 、 CHF_3 、 CH_2F_2 中的任意一种或其组合的气体。

[0013] 其中,第二刻蚀的反应气体包括选自 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 、 C_4F_6 、 C_4F_8 的任意一种或其组合的碳氟基刻蚀气体。

[0014] 其中,第二刻蚀的反应气体也包括氧化性气体,并且步骤 5 中停止通入碳氟基刻蚀气体。

[0015] 其中,提高碳氟基刻蚀气体中的碳氟比或者减小氧化性气体的比例以形成倾斜的开口侧壁;还可通过减小碳氟基刻蚀气体中的碳氟比或者增大氧化性气体的比例以形成垂直的开口侧壁。

[0016] 其中,步骤 5 或步骤 4 中的氧化性气体选自 O_2 、 CO 中的任意一种或其组合。

[0017] 其中,软掩模图形为适用于电子束光刻、193nm 浸入式光刻、i 线光刻、g 线光刻的任意一种或其组合的光刻胶图形,第二刻蚀的刻蚀设备为电容耦合等离子体 (CCP) 或电感耦合等离子体 (ICP、TCP) 腔体。

[0018] 依照本发明的半导体器件制造方法,采用主要包括非晶硅的独特硬掩模图形提高了刻蚀绝缘介质的选择性,并且刻蚀绝缘介质之后或者过程中还单独通入氧化性气体去除聚合物,从而获得较高深宽比结构,提高了器件可制造性和可靠性。

附图说明

[0019] 以下参照附图来详细说明本发明的技术方案,其中:

[0020] 图 1 至图 3 为依照本发明的半导体器件制造方法各步骤的剖面示意图;以及

[0021] 图 4 为依照本发明的半导体器件制造方法的流程图。

具体实施方式

[0022] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

[0023] 参照图 4 以及图 1,在绝缘介质层 1 上形成硬掩模 2 和软掩模图形 3P。

[0024] 提供衬底(未示出),其可以是体 Si、SOI、体 Ge、GeOI、SiGe、GeSb,也可以是 III-V 族或者 II-VI 族化合物半导体衬底,例如 GaAs、GaN、InP、InSb 等等。为了与现有的 CMOS 工艺兼容以应用于大规模数字集成电路制造,衬底优选地为体 Si 或者 SOI。采用现有的半导体器件制造工艺(例如 CMOS 兼容工艺),在衬底中和/或衬底上形成多个下层结构(未示出)。其中,下层结构在 MOSFET 中可以是源漏区、源漏区上的金属硅化物、或者是栅极,下层结构在集成电路中也可以是下层互连线(例如多层互连中的下层互连线,或者是接触焊

垫),在存储器阵列中也可以是存储器单元中的 MOSFET 源端或者漏端、或者单元中的电容等无源器件的电极,或者下层结构是用于保护其他器件结构的刻蚀停止层(例如后栅工艺中的接触刻蚀停止层 CESL,或者多层互连之间的刻蚀停止层)。

[0025] 在衬底上形成绝缘介质层 1,其材质可以是氧化硅、氮化硅、低 k 材料及其组合(组合方式可以是堆叠也可以是混杂)。其中低 k 材料包括但不限于有机低 k 材料(例如含芳基或者多元环的有机聚合物)、无机低 k 材料(例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低 k 材料(例如二硅三氧烷(SSQ)基多孔低 k 材料、多孔二氧化硅、多孔 SiOCH、掺 C 二氧化硅、掺 F 多孔无定形碳、多孔金刚石、多孔有机聚合物)。形成绝缘介质层 1 的方法可以是快速热氧化(RTO)、SACVD、LPCVD、PECVD、HDPCVD、旋涂、喷涂、丝网印刷等等。绝缘介质层 1 的厚度要大于等于需要形成的接触塞或者互连线的厚度。

[0026] 接着,采用 LPCVD、PECVD、热生长或炉管沉积方法等常规工艺,在绝缘介质层 1 上形成硬掩模 2 由于传统的硬掩模材料如氮化硅难以获得对孔介质材料 1(主要是氧化硅、氮化硅)好的刻蚀选择比,因此,选择合适的掩模材料成为纳米级深孔制备的关键。本发明主要采用非晶硅材料作为孔介质材料的掩模层,由于具有类似多晶硅的特点,无须开发特殊的刻蚀工艺即可与当前的 CMOS 工艺兼容且没有污染问题。通过等离子体工艺,在 $Cl_2/HBr/O_2/He$ 气体下,调节合适的工艺参数以获得对光刻胶较高的刻蚀选择比,即可得到优化的硬掩模图形结构。在本发明一个优选实施例中,硬掩模 2 是完全由非晶硅材料构成的单层,然而在本发明其他实施例中,硬掩模 2 为主要由非晶硅材料构成的多层。例如,硬掩模 2 包括由非晶硅材料构成的第一层,以及由多晶硅、非晶碳、氧化硅、氮化硅等其他材料构成的多个第二层(可以夹设在第一层上下两侧构成叠层结构,其中第一层和第二层图中均未示出)。

[0027] 随后,采用常规的旋涂、曝光、显影等方法,在硬掩模层 2 之上形成了由光刻胶层 3 构成的软掩模图形 3P。在本发明一个优选实施例中,采用适用于电子束光刻的精细光刻胶以便提高图形的精确度。此外,在本发明其他实施例中,也可以采用适用于沉浸式 193nm 光刻工艺、i 线、g 线光刻工艺的普通光刻胶。

[0028] 参照图 4 以及图 2 所示,以软掩模图形 3 为掩模,采用第一刻蚀工艺,刻蚀硬掩模层 2 形成硬掩模图形 2P。第一刻蚀工艺针对主要为非晶硅材质的硬掩模层 2,选用的各向异性的干法刻蚀工艺,例如等离子干法刻蚀或反应离子刻蚀。当前主流的刻蚀设备主要采用双射频系统,高频功率主要用来产生等离子体,用于调节等离子体密度;低频系统用于增强离子能量及轰击强度,提升刻蚀方向性。两者之间可以单独调节,以免相互影响。这使得可以根据刻蚀硬掩模层 2 的具体特点进行不同的优化,而不改变所刻的硬掩模层 2 在其他方面的形貌特征。第一刻蚀工艺的刻蚀气体主要包含卤素基刻蚀气体,例如气态卤素(如氯气 Cl_2) 和 / 或卤素的氢化气体(如 HBr),此外还可以增加包括 O_2 、 CO 氧化性气体以控制刻蚀反应速率,也可以进一步包括 H_2 、 He 、 Ar 、 N_2 的载气或者保护性气体。调节合适的工艺参数以获得对光刻胶 3P 较高的刻蚀选择比,得到优化的硬掩模图形结构 2P。优选地,形成 2P 之后采用湿法和或干法工艺去除光刻胶图形 3P。

[0029] 参照图 4 以及图 3 所示,以硬掩模图形 2 为掩模,刻蚀绝缘介质层 1,形成接触孔或沟槽 1T 直至最后暴露下层结构(未示出)。这可以通过碳氟基刻蚀气体来实现,例如包括 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 、 C_4F_6 、 C_4F_8 的任何一个及其组合。为了降低刻蚀过程中非晶硅的侧

向损失,较高的刻蚀选择比成为关键参数。依照不同要求,可以采用不可的刻蚀气体,并且通过气体间的比例获得合适的选择比,这是形成图形结构的重要环节。例如,碳氟基气体如 C_4F_6 或 C_4F_8 一般用于二氧化硅孔的刻蚀,由于其碳氟比较高,除了作为刻蚀性气体,更重要的在于其能够产生较多的高分子聚合物薄膜,沉积在孔的侧壁及底部,从而对二氧化硅的绝缘介质层 1 形成各向异性刻蚀,获得高达 20:1 以上的深宽比。例如,提高碳氟基刻蚀气体中的碳氟比或者减小氧化性气体的比例以形成倾斜的开口侧壁;还可通过减小碳氟基刻蚀气体中的碳氟比或者增大氧化性气体的比例以形成垂直的开口侧壁。此外,对于低碳氟比气体如 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 等亦可用于孔结构的刻蚀,可以充分利用其刻蚀过程中产生较少聚合物的特点,得到需要的图形结构。

[0030] 本发明中孔介质材料所用刻蚀设备采用电容耦合等离子体 (CCP) 或电感耦合等离子体 (ICP、TCP) 腔体,具有双射频。高频功率为主要用来产生高浓度的等离子体,用于调节等离子体密度;低频系统用于增强离子能量及轰击强度,提升刻蚀方向性。射频之间是相互独立的,以免相互影响。这使得可以根据刻蚀深孔的具体特点进行不同的优化,而不改变所刻蚀孔在其他方面的形貌特征。如通过调节调频射频电源获得更高密度的等离子体,增加刻蚀速度。亦可调节低频射频电源获得合适的轰击强度,控制刻蚀的形貌及损伤程度。

[0031] 另一方面,由于高的选择比往往意味着在刻蚀过程中会产生大量的高分子聚合物,特别对于纳米级孔刻蚀而言更是如此。为了降低聚合物的影响使得刻蚀能够持续进行,需要调节碳氟基气体的比例控制高分子聚合物的量,并实现可控的刻蚀形貌。另外,随着刻蚀的进行,孔的深宽比逐渐增加,使得聚合物的抽出变得困难。因此,需要对深孔中的聚合物分子进行去除以推进刻蚀的进行。

[0032] 因此,本发明可以在刻蚀形成接触孔或沟槽 1T 的某一深度处执行聚合物清除工艺,停止通入刻蚀气体而仅通入氧化性气体,以防刻蚀中止。视刻蚀深度及孔结构的开口大小,上述对孔介质的刻蚀和对聚合物的清除工艺可以循环进行,直到得到所需的刻蚀深度。在此过程中,亦可以通过调节刻蚀工艺参数,控制刻蚀的形貌。如陡直的孔结构会为后续的填充带来相当大的挑战,有时候为了后续的填充工艺,会将底部的尺寸做的小一些。作为一个实施例,此处以中微半导体 Primo DRIE 刻蚀设备为例,通过增加例如碳氟基气体 C_4F_8 的刻蚀气体的流量(例如从 40sccm 增加至 50sccm),同时也可降低例如 O_2 的氧化性气体的流量(例如从 100sccm 减小至 90sccm),增强聚合物在侧壁的沉积,使得侧向刻蚀降低而形成略微倾斜的侧壁。底部沉积的聚合物可以在低频高功率下被轰击掉,而不影响各向异性的刻蚀。然后,再通过 O_2 去除工艺去除在此过程中侧壁上产生的多余聚合物,以利于接下来对介质的刻蚀。

[0033] 作为另外一个实施例,亦可进行两次或更多次循环,尽管会降低晶片的刻蚀速度,但却可以提高刻蚀深度及对形貌实现良好的控制。

[0034] 具体地,作为一个实施例,优选 C_4F_8 、 O_2 等进行刻蚀,腔体压力保持在 40mt,气体流量分别为 40sccm C_4F_8 、100sccm O_2 、400sccm He,高低功率选择 600W/1500W,从而刻蚀出陡直的形貌。

[0035] 此外,对于高深宽比的刻蚀孔,上述陡直的形貌,会为后续的填充带来相当挑战。有时候为了后续的工艺,会将底部的尺寸做的小一些,顶部的略大一些。作为一个实施例,通过增加高碳氟比的碳氟基气体(例如 C_4F_8) 的流量,同时也可降低例如 O_2 的氧化性气体的

流量,增强聚合物在侧壁的沉积,使得侧向刻蚀降低。底部沉积的聚合物可以在低频高功率下被轰击掉,而不影响各向异性的刻蚀。最终,形成略倾斜的刻蚀形貌。工艺参数可以设定如下,腔体压力 40mt,气体流量分别为 50sccm C_4F_8 、80sccm CH_2F_2 、90sccm O_2 、400sccm Ar,高低频功率选择 600W/1500W。

[0036] 此外,由于刻蚀设备可调节的参数实在太多,任何说明都无法穷尽不同薄膜不同状况的具体刻蚀。因此,在选用气体时,要根据需求及不同的薄膜而定,进而视具体情况可获得不同的刻蚀形貌。如增加聚合物量(增加碳氟基气体特别是高碳氟比气体的流量),可产生略倾斜的深孔,却可以方便后续介质的填充;增加氧化性气体,可调节聚合物数量,形成较为陡直的深孔,但可能会对后续介质的填充带来挑战。

[0037] 依照本发明的半导体器件制造方法,采用主要包括非晶硅的独特硬掩模图形提高了刻蚀绝缘介质的选择性,并且刻蚀绝缘介质之后或者过程中还单独通入氧化性气体去除聚合物,从而获得较高深宽比结构,提高了器件可制造性和可靠性。

[0038] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

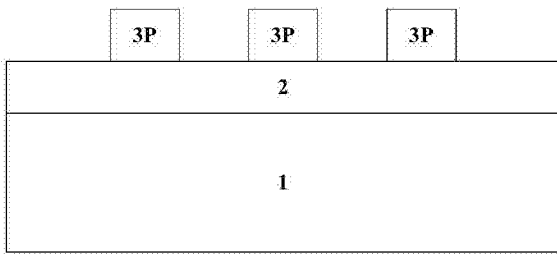


图 1

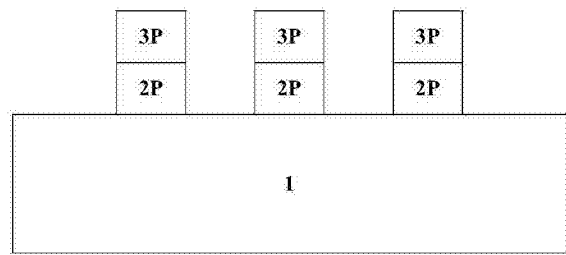


图 2

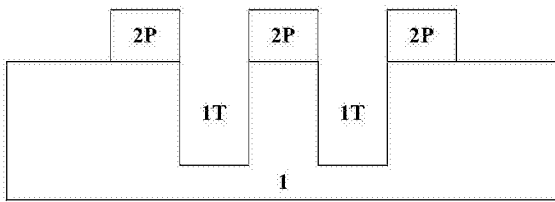


图 3

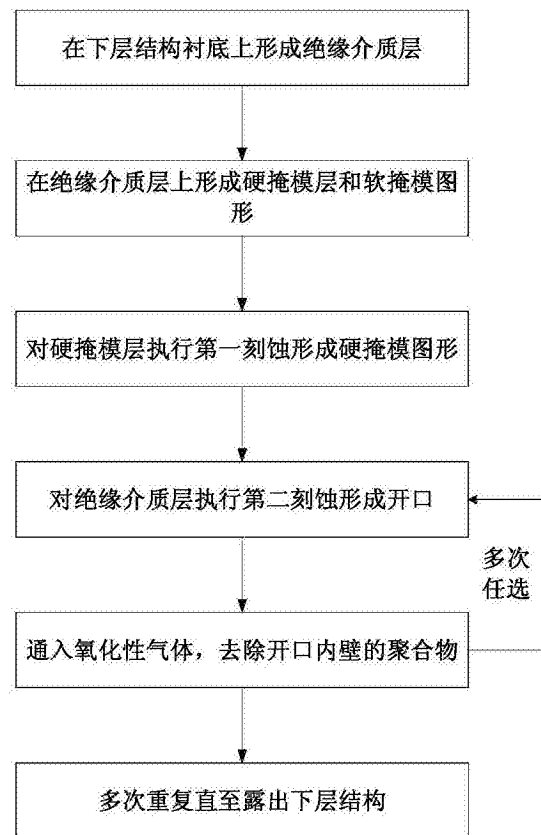


图 4