



(12) 发明专利

(10) 授权公告号 CN 102360564 B

(45) 授权公告日 2013. 04. 10

(21) 申请号 201110285756. 1

审查员 孔昕

(22) 申请日 2011. 09. 23

(73) 专利权人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

(72) 发明人 陈静 余涛 罗杰馨 伍青青 柴展

(74) 专利代理机构 上海光华专利事务所 31219 代理人 李仪萍

(51) Int. Cl.

G11C 11/40 (2006. 01)

(56) 对比文件

US 2005/0146921 A1, 2005. 07. 07, 说明书第 0014-0022 段 ;附图 1.

CN 1615547 A, 2005. 05. 11, 全文 .

US 2009/0022001 A1, 2009. 01. 22, 全文 .

CN 1845330 A, 2006. 10. 11, 全文 .

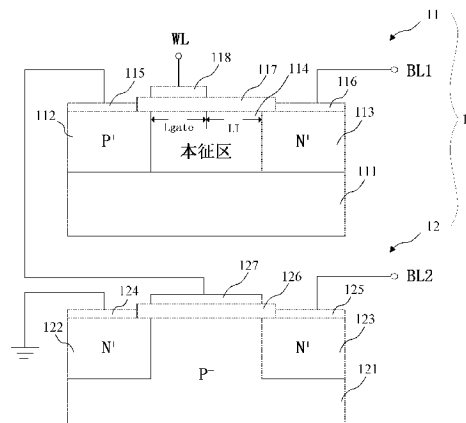
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

双晶体管储存器

(57) 摘要

本发明提供一种双晶体管储存器,包括 I-MOS 管与 MOSFET 管,所述 I-MOS 管的栅极连接有字线,所述 I-MOS 管的漏极连接有第一位线,所述 MOSFET 管的栅极连接所述 I-MOS 管的源极,所述 MOSFET 管的漏极连接有第二位线,所述 MOSFET 管的源极接地。本发明中由 I-MOS 管与 MOSFET 管组成的双晶体管储存器不但具有非常快的开关速度,而且能有效避免“0”状态时 GIDL 电流的影响,从而提高“0”态保持时间。



1. 一种双晶体管储存器,其特征在于,包括:

I-MOS 管,具有掩埋绝缘层、位于所述掩埋绝缘层上的半导体层、所述半导体层包括第一源区、第一漏区以及位于所述第一源区与第一漏区之间的本征区、以及位于所述半导体层上的对应所述第一源区的第一源极、对应所述第一漏区的第一漏极、以及位于所述第一源极与第一漏极之间并对应所述本征区的第一栅绝缘层,所述第一栅绝缘层上表面的一侧堆叠有第一栅极,所述第一栅极连接有字线,所述第一漏极连接有第一位线;所述 I-MOS 管的本征区中包括有效沟道区,所述有效沟道区的宽度随所述第一栅极上施加的栅压大小而变化,所述第一栅极与下方的沟道部分重叠;以及

MOSFET 管,具有衬底、位于所述衬底一侧形成有第二源区、位于所述衬底的另一侧形成有第二漏区、位于所述衬底上的对应所述第二源区的第二源极、对应所述第二漏区的第二漏极、以及位于所述第二源极与第二漏极之间的第二栅绝缘层,所述第二栅绝缘层上堆叠有第二栅极,所述第二栅极连接所述第一源极,所述第二漏极连接有第二位线,所述第二源极接地。

2. 根据权利要求 1 所述的双晶体管储存器,其特征在于:所述 I-MOS 管为 P 型沟道 I-MOS 管。

3. 根据权利要求 1 所述的双晶体管储存器,其特征在于:所述 MOSFET 管为增强型 MOSFET 管。

4. 根据权利要求 1 所述的双晶体管储存器,其特征在于:所述 MOSFET 管为耗尽型 MOSFET 管。

## 双晶体管存储器

### 技术领域

[0001] 本发明涉及微电子与固体电子学技术领域,特别是涉及一种新型高密度无电容 TTRAM 双晶体管存储器。

### 背景技术

[0002] 传统 DRAM 存储单元包含一个 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 和一个 MOS 电容 (即 1T1C)。其中, MOSFET 相当于一个开关,用来控制存储单元写入、更新以及读出的操作, MOS 电容器则作为电荷存储之用。在实际应用中,存储于电容器上的电荷会逐渐流失,因此 DRAM 的工作是“动态”的,需做周期性地刷新。根据摩尔定理,只要 DIY 硬件在更新换代,内存规格也将不断更替,传统 DRAM 中电容器的尺寸和耦合将严重阻碍存储单元面积的进一步缩减。因此,人们提出利用 SOI MOSFET 固有的浮体效应来实现动态存储单元的概念。

[0003] 在基于浮体结构 (FBC) 的存储器家族中,有两大典型的结构类型。一种是:2002 年由瑞士 Innovative Silicon 公司独创出的 Z-RAM (Zero capacitor RAM) 技术,它不是采用存储在电容器中的电荷来表示信息,而是通过采用这种技术的 DRAM 单元在一个传统绝缘硅 (SOI) MOSFET 的沟道下捕获电荷来存储数据。这种基于浮体结构 (FBC) 的 Z-RAM 技术是采用单晶体管 (1T) 结构。因此,它可以有近 SRAM 的存取速度、以及胜过传统 DRAM 的记忆密度。另外一种类型是:2005 年,日本 Renesas 公司提出了 TTRAM 的概念,它由两个完全相同的 PD-SOI n 型 MOSFET 串联而成。前一晶体管起读/写功能,后一晶体管是存储单元。其优点是:(1) 完全与 CMOS 工艺兼容,单元面积虽比 Z-RAM (1T) 结构的大,但还是小于传统 1T1C 的存储单元。(2) 操作电压完全与 CMOS 逻辑电路的电压相兼容,与 Z-RAM 单晶体管不同的是 (操作电压至少 3 种), TTRAM 只需 VDD、VDD/2 和 0 三种电压,降低了对外围电路的要求。(3) TTRAM 存储单元区分“0”和“1”态的保持时间 (retention time) 要长于 Z-RAM 单元。

[0004] 其中,保持时间是 DRAM 存储单元一个重要的指标。保持时间就是能区分“0”和写“1”状态最长的时间,也可以认为是存储单元最长的刷新时间。由于在保持态位线的偏置有所不同,会对“0”和“1”的保持时间造成严重影响。例如“0”已经写入浮体效应单元,然后进入保持状态,如若再对同列存储单元进行写“1”操作,位线势必会偏置到较高的正电压,由于同列公用位线,所以处于保持“0”状态的存储单元的位线也为正,这样会反偏体区到漏极的 P-N 结,产生反向漏电。此外还会产生 GIDL 效应,所述的 GIDL 效应是指:栅极加负偏压,在沟道表面形成积累层,同时漏极加正电压,在栅极与漏极的重叠区域会出现耗尽,最终形成反型层,结果导致 band to band tunneling 隧穿。这样,体区的电子会隧穿到漏极,留下空穴在体区,最终对保持“0”态而造成严重影响。换言之,由于 GIDL 电流的存在,会使得体区不断地充电,从而改变了“0”状态,这就是“0”状态处于最坏情况的保持时间。

### 发明内容

[0005] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种双晶体管储存器,使其不但具有非常快的开关速度,而且能有效避免“0”状态时 GIDL 电流的影响,从而提高“0”态保持时间。

[0006] 为实现上述目的及其他相关目的,本发明提供一种双晶体管储存器,其特征在于,包括:I-MOS 管,具有掩埋绝缘层、位于所述掩埋绝缘层上的半导体层、所述半导体层包括第一源区、第一漏区以及位于所述第一源区与第一漏区之间的本征区、以及位于所述半导体层上的对应所述第一源区的第一源极、对应所述第一漏区的第一漏极、以及位于所述第一源极与第一漏极之间并对应所述本征区的第一栅绝缘层,所述第一栅绝缘层上表面的一侧堆叠有第一栅极,所述第一栅极连接有字线,所述第一漏极连接有第一位线;以及 MOSFET 管,具有衬底、位于所述衬底一侧形成有第二源区、位于所述衬底的另一侧形成有第二漏区、位于所述衬底上的对应所述第二源区的第二源极、对应所述第二漏区的第二漏极、以及位于所述第二源极与第二漏极之间的第二栅绝缘层,所述第二栅绝缘层上堆叠有第二栅极,所述第二栅极连接所述第一源极,所述第二漏极连接有第二位线,所述第二源极接地。

[0007] 本发明的双晶体管储存器,其中,所述 I-MOS 管的本征区中包括有效沟道区,所述有效沟道区的宽度随所述第一栅极上施加的栅压大小而变化。所述 I-MOS 管为 P 型沟道 I-MOS 管。

[0008] 本发明的双晶体管储存器,其中,所述 MOSFET 管为增强型 MOSFET 管,或者为耗尽型 MOSFET 管。

[0009] 如上所述,本发明的双晶体管储存器与传统 TTRAM 结构上的不同之处是:T1 管采用 I-MOS 结构 (Impact-Ionization MOS), T2 管为正常 MOSFET。其优势是:不但具有非常快的开关速度,这对“0”和“1”态的写、保持、读状态可实施快速转换。而且能有效避免“0”状态时 GIDL 电流的影响,从而提高“0”态保持时间。

## 附图说明

[0010] 图 1 显示为本发明的双晶体管储存器组成结构示意图。

[0011] 图 2 显示为本发明的双晶体管储存器中的 I-MOS 管结构示意图。

[0012] 图 3a 显示为本发明的 I-MOS 管关态时的能带示意图。

[0013] 图 3b 显示为本发明的 I-MOS 管开态时的能带示意图。

[0014] 图 4 显示为雪崩倍增机制中的 P-N 结示意图。

## 具体实施方式

[0015] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在不背离本发明的精神下进行各种修饰或改变。

[0016] 请参阅图 1 至图 4,需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其

组件布局形态也可能更为复杂。

[0017] 请参阅图 1, 图 1 显示为本发明的双晶体管储存器组成结构示意图, 如图所示, 本发明提供一种双晶体管储存器 1, 包括 I-MOS 管 11 与 MOSFET 管 12, 其中, 所述 I-MOS 管 11 的栅极连接字线 WL, 所述 I-MOS 管 11 的漏极连接有第一位线 BL1, 所述 MOSFET 管 12 的栅极连接所述 I-MOS 管 11 的源极, 所述 MOSFET 管 12 的漏极连接有第二位线 BL2, 所述 MOSFET 管 12 的源极接地。于本实施例中, 所述 I-MOS 管 11 为 P 型沟道 I-MOS 管。然并不局限于此, 所述 I-MOS 管 11 亦可为 N 型沟道 I-MOS 管。所述 MOSFET 管 12 为增强型 MOSFET 管, 或者为耗尽型 MOSFET 管。

[0018] 请参阅图 2, 显示为本发明的双晶体管储存器中的 I-MOS 管结构示意图, 如图所示, 所述 I-MOS 管 11 具有掩埋绝缘层 111、位于所述掩埋绝缘层 111 上的半导体层 (未标示)、所述半导体层包括第一源区 112、第一漏区 113 以及位于所述第一源区 112 与第一漏区 113 之间的本征区 114、以及位于所述半导体层上的对应所述第一源区 112 的第一源极 115、对应所述第一漏区 113 的第一漏极 116、以及位于所述第一源极 115 与第一漏极 116 之间并对应所述本征区 114 的第一栅绝缘层 117, 所述第一栅绝缘层 117 上表面的一侧堆叠有第一栅极 118, 具体地, 所述第一栅极 118 铺设的面积小于所述第一栅绝缘层 117 的面积, 以使所述第一栅极 118 与下方的沟道部分重叠, 换言之, 在所述第一栅绝缘层 117 上预留出 Overlap。其中, 所述 I-MOS 管 11 的本征区 114 中包括有效沟道区, 所述有效沟道区的宽度随所述第一栅极 118 上施加的栅压大小而变化。

[0019] 所述 I-MOS 管 11 是通过利用对有效沟道长度的调节, 进而控制本征区 114 的横向电场来控制开、关态的一种栅控二极管。采用 P-I-N 结是为了得到较低的雪崩击穿场强, 这是由于 P-N 结的耗尽宽度很窄, 击穿时所需的电场较大。此外, 当电子从电场中获得足够的动能碰撞本征区 114 的原子时, 本征区 114 可以得到更多的电子-空穴对。所述 I-MOS 管 11 的独特结构, 即第一栅极 118 并未全部与沟道重叠, 可以有效避免在保持“0”态时 GIDL 电流的影响。

[0020] 所述 MOSFET 管 12 具有衬底 121、位于所述衬底 121 一侧形成有第二源区 122、位于所述衬底 121 的另一侧形成有第二漏区 123、位于所述衬底 121 上的对应所述第二源区 122 的第二源极 124、对应所述第二漏区 123 的第二漏极 125、以及位于所述第二源极 124 与第二漏极 125 之间的第二栅绝缘层 126, 所述第二栅绝缘层 126 上堆叠有第二栅极 127。

[0021] 尤其需要说明的是, 在本发明的双晶体管储存器 1 中, 所述第一栅极 118 连接有字线 WL, 所述第一漏极 116 连接第一位线 BL1, 所述第二栅极 127 连接所述第一源极 115, 所述第二漏极 125 连接第二位线 BL2, 所述第二源极 124 接地。

[0022] 为进一步阐明本发明的原理及功效, 请参阅图 3a 至图 4, 首先请参阅图 3a, 显示为 I-MOS 管关态时的能带示意图。如图所示, 所述 I-MOS 管 11 在关态下, 第一栅极 118 加较小的正偏置, 此时既不能形成反型又不能积累, 有效沟道长度为整个本征区 114。此时, 横向电场不足以达到击穿场强, 源端的电子无法获得足够能量发生电离碰撞。

[0023] 再请参阅图 3b, 显示为 I-MOS 管开态时的能带示意图。如图所示, 所述 I-MOS 管 11 在开态下, 第一栅极 118 加较大的负偏置, 所述第一栅极 118 下方的沟道出现积累 P- 区 (如图 1 所示的 Lgate), 从而缩短了器件的有效沟道长度。这时随着  $V_{ds}$  增加, 一部分增量压降会落在 LI 区域 (如图 1 所示) 上, 即加在所述本征区 114 上的横向电场增大, 同时横

向电场会随着栅压的增加而增大。这时第一源极 115 的电子可以获得足够的动能,以至于当和本征区 114 原子产生撞击时,可以破坏键而产生电子-空穴对,这些过程生生不息,连续不断产生新的电子-空穴对。由于这种倍增效应,使得势垒 I 区单位内产生大量载流子,迅速增大反向电流,从而发生 P-N 结击穿。

[0024] 请参阅图 4,显示为雪崩倍增机制中的 P-N 结示意图。所述 I-MOS 管 11 在较大的反向偏压下,势垒本征区 114 中的电场很强,在本征区 114 内的电子和空穴由于受到强电场的漂移作用,具有很大的动能,它们与本征区 114 内的品格原子发生碰撞时,可以把价键上的电子碰撞出来,成为导电电子,同时产生一个空穴。P-I-N 结势垒中电子 e 碰撞出来一个电子 e 和一个空穴 h,这三个载流子在强电场作用下,向相反的方向运动,还会继续发生碰撞,这就是雪崩击穿的机理。雪崩击穿除了与势垒区中电场强度密切相关外,还和势垒区宽度有关,因为载流子动能的增加,还需要有一个加速过程,如若势垒区很薄,即使电场很强也不能发生雪崩击穿,这也是我们采用较宽本征区 114 的原因之一。

[0025] 由上可知,本发明的双晶体管存储器 1 的工作原理为:

[0026] (a) 写“1”状态,所述第一栅极 118 加负偏置,在第一栅极 118 与沟道的重叠区域会出现积累 p 区,有效沟道长度缩短为 L1。此时将第一漏极 116 偏置到正,加到 L1 区域上的横向电场足够大以致发生雪崩击穿,产生的电子经漏极流出,体区空穴通过所述 I-MOS 管 11 第一源极 115 排出,所述 MOSFET 管 12 的第二栅极 127 电位被所述 I-MOS 管 11 的空穴抬高,此时所述 MOSFET 管 12 将开启,通过测量写“1”,“0”时两串联晶体管的电流值即可分辨不同状态。

[0027] (b) 当写“1”完成,进入保持态。此时只需将第一位线 BL1 零偏置,空穴被抽到所述 I-MOS 管 11 沟道下方的 P 区储存。

[0028] (c) 读“1”时,将字线 WL 加正电位,空穴又被排向所述 MOSFET 管 12 的第二栅极 127,此时所述 MOSFET 管 12 被开启,由第二位线 BL2 即可读取电流值。

[0029] (d) 写“0”状态,所述第一栅极 118 仍加负偏置,在第一栅极 118 与沟道的重叠区域会出现积累 p 区,此时将第一漏极 116 偏置到负,空穴随之由所述 I-MOS 管 11 的第一漏极 116 排出。

[0030] (e) 当写“0”完成,进入保持态。此时只需将第一位线 BL1 偏置到零,这时所述 I-MOS 管 11 中已无多余空穴。

[0031] (d) 读“0”时,将字线 WL 加正电位,此时所述 MOSFET 管 12 仍然截止,由第二位线 BL2 读取的电流值为零。

[0032] 通过区分“1”“0”状态下所述第二位线 BL2 的电流值,即可完成存储。

[0033] 综上所述,本发明的双晶体管存储器与传统 TTRAM 结构上的不同之处是:T1 管采用 I-MOS 结构 (Impact-Ionization MOS), T2 管为正常 MOSFET。其优势是:不但具有非常快的开关速度,这对“0”和“1”态的写、保持、读状态可实施快速转换。而且能有效避免“0”状态时 GIDL 电流的影响,从而提高“0”态保持时间。

[0034] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

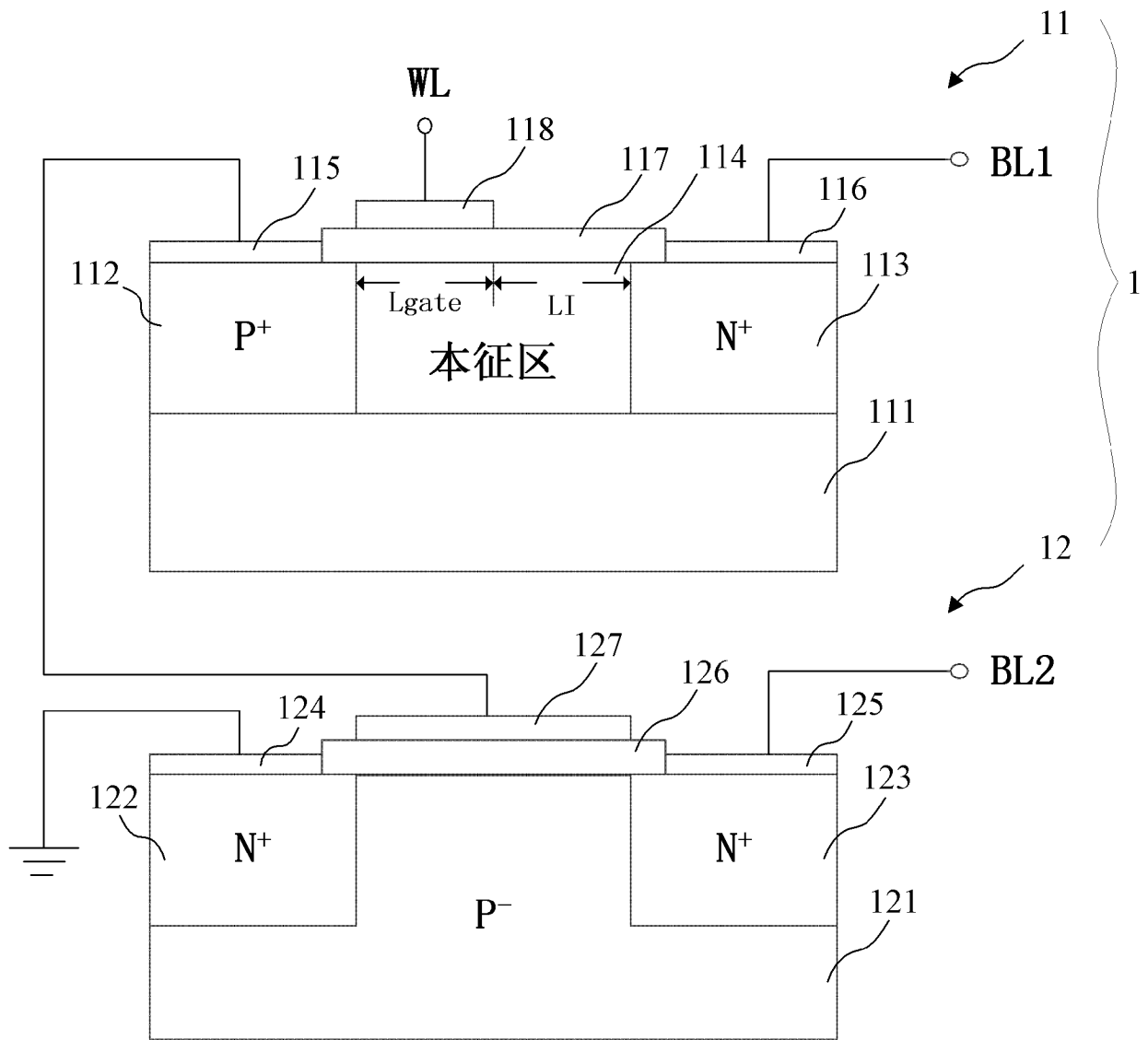


图 1

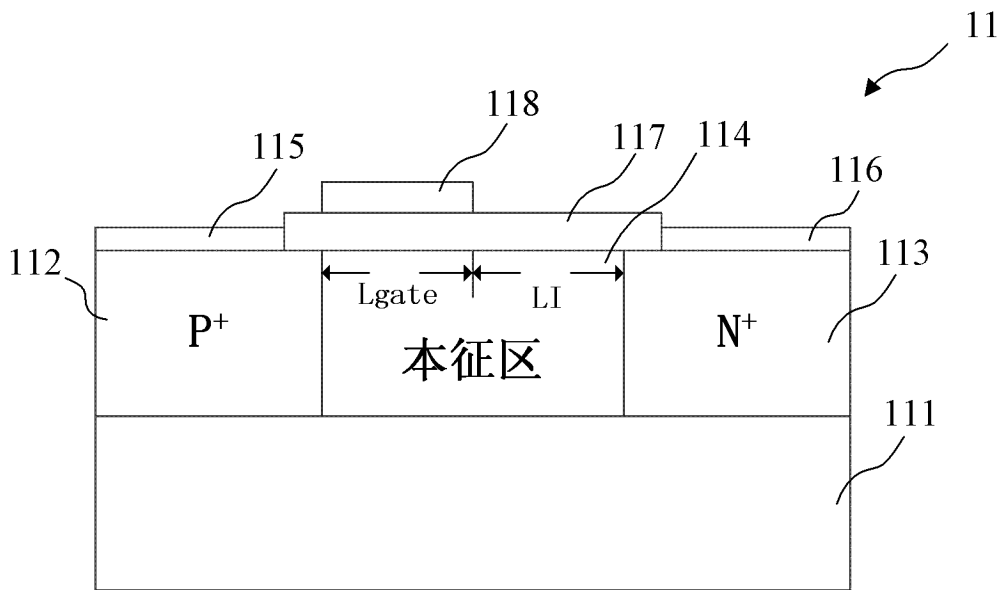


图 2

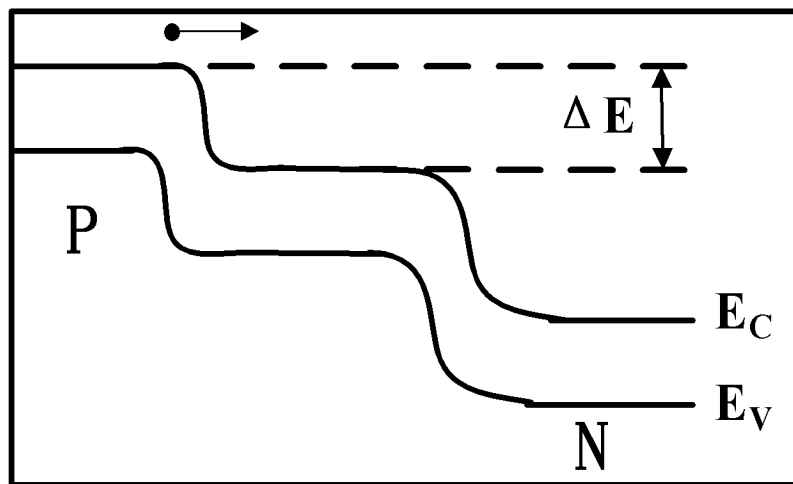


图 3a



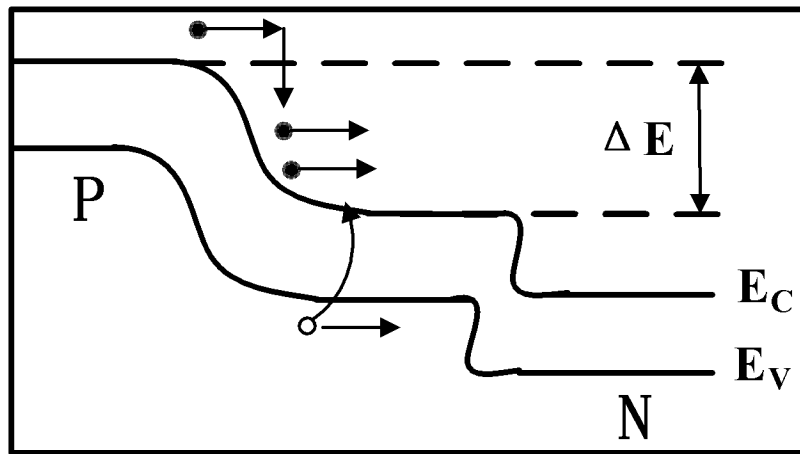


图 3b

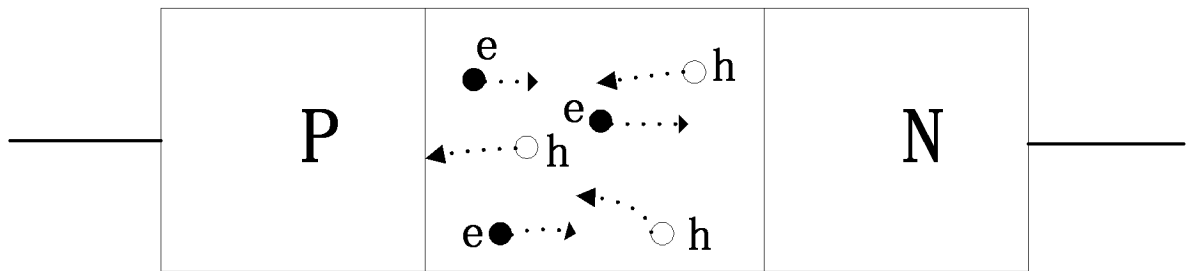


图 4