



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년08월06일  
(11) 등록번호 10-1171175  
(24) 등록일자 2012년07월31일

(51) 국제특허분류(Int. Cl.)  
C09K 13/06 (2006.01)

(21) 출원번호 10-2004-0088809

(22) 출원일자 2004년11월03일

심사청구일자 2009년11월03일

(65) 공개번호 10-2006-0039631

(43) 공개일자 2006년05월09일

(56) 선행기술조사문헌

KR1020040029289 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박홍식

경기도 수원시 영통구 태장로 45, 현대아이파크아파트 202동 1003호 (망포동)

강성호

충청남도 천안시 서북구 서부대로 648-13, 주공아파트 101동 203호 (성정동)

조홍제

충청남도 천안시 서북구 늘푸른1길 19, 101동 301호 (두정동, 부경파크빌)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 12 항

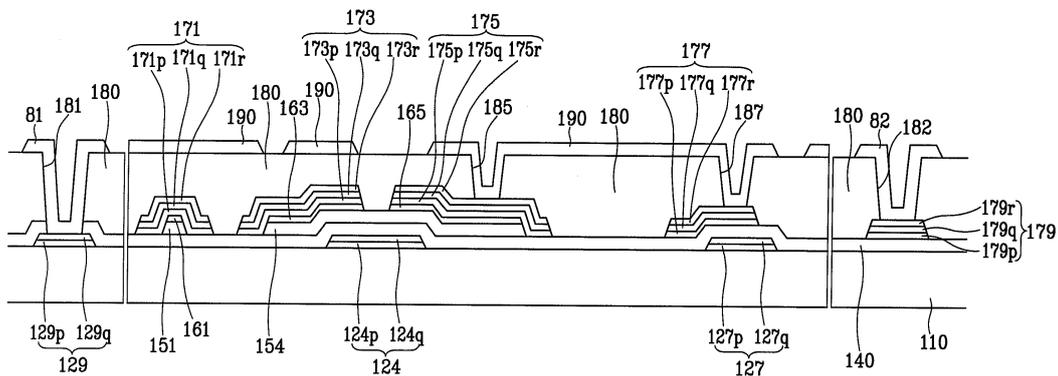
심사관 : 이병진

**(54) 발명의 명칭 도전체용 식각액 및 이를 이용한 박막 트랜지스터표시판의 제조 방법**

**(57) 요약**

절연 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 순차적으로 적층하는 단계, 상기 게이트 절연막 및 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격으로 마주하고 있는 드레인 전극을 형성하는 단계, 및 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하며, 상기 게이트선을 형성하는 단계, 상기 데이터선과 상기 드레인 전극을 형성하는 단계 및 상기 화소 전극을 형성하는 단계 중 적어도 하나는 65 내지 75중량%의 인산, 0.5 내지 15중량%의 질산, 2 내지 15중량%의 아세트산, 0.1 내지 8.0%의 칼륨 화합물 및 잔량의 물을 포함하는 식각액 조성물을 이용하여 사진 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법을 제공한다.

**대표도 - 도2**



**특허청구의 범위**

**청구항 1**

65 내지 75 중량%의 인산, 0.5 내지 15 중량%의 질산, 2 내지 15 중량%의 아세트산, 0.1 내지 8.0 중량%의 칼륨 화합물, 0.1 내지 8.0 중량%의 염기성 질소 화합물 및 잔량의 물을 포함하고,

상기 칼륨 화합물은 질산칼륨(KNO<sub>3</sub>) 및 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>)에서 선택된 적어도 어느 하나를 포함하고,

상기 염기성 질소 화합물은 황화수소암모늄(NH<sub>4</sub>HS) 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>)에서 선택된 적어도 어느 하나를 포함하는 도전체용 식각액 조성물.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

절연 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막 및 반도체층을 순차적으로 적층하는 단계,

상기 게이트 절연막 및 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격으로 마주하고 있는 드레인 전극을 형성하는 단계, 및

상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하며,

상기 게이트선을 형성하는 단계, 상기 데이터선과 상기 드레인 전극을 형성하는 단계 및 상기 화소 전극을 형성하는 단계는 65 내지 75 중량%의 인산, 0.5 내지 15 중량%의 질산, 2 내지 15 중량%의 아세트산, 0.1 내지 8.0 중량%의 칼륨 화합물, 0.1 내지 8.0 중량%의 염기성 질소 화합물 및 잔량의 물을 포함하는 식각액 조성물을 이용하여 사진 식각하는 단계를 포함하고,

상기 칼륨 화합물은 질산칼륨(KNO<sub>3</sub>) 및 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>)에서 선택된 적어도 어느 하나를 포함하고,

상기 염기성 질소 화합물은 황화수소암모늄(NH<sub>4</sub>HS) 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>)에서 선택된 적어도 어느 하나를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

제8항에서, 상기 게이트선을 형성하는 단계는 알루미늄을 포함하는 제1 금속층 및 몰리브덴을 포함하는 제2 금속층을 순차적으로 적층하고 사진 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 13**

제12항에서, 상기 제1 금속층은 알루미늄(Al)-네오디뮴(Nd) 합금으로 이루어지는 박막 트랜지스터 표시판의 제조 방법.

**청구항 14**

제12항에서, 상기 제2 금속층은 질화몰리브덴(MoN) 또는 몰리브덴-니오븀(Mo-Nb)을 포함하는 몰리브덴 합금(Mo-alloy)으로 이루어지는 박막 트랜지스터 표시판의 제조 방법.

**청구항 15**

제8항에서, 상기 데이터선 및 드레인 전극을 형성하는 단계는 몰리브덴(Mo)을 포함하는 제1 금속층, 알루미늄(Al)을 포함하는 제2 금속층 및 몰리브덴(Mo)을 포함하는 제3 금속층을 순차적으로 적층하고 사진 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 16**

제15항에서, 상기 제1 금속층 또는 제3 금속층은 질화몰리브덴(MoN) 또는 몰리브덴-니오븀(Mo-Nb)을 포함하는 몰리브덴 합금(Mo-alloy)으로 이루어지는 박막 트랜지스터 표시판의 제조 방법.

**청구항 17**

제15항에서, 상기 제2 금속층은 알루미늄(Al)-네오디뮴(Nd)을 포함하는 알루미늄 합금으로 이루어지는 박막 트랜지스터 표시판의 제조 방법.

**청구항 18**

제8항에서, 상기 화소 전극을 형성하는 단계는 ITO 또는 IZO를 적층하고 사진 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 19**

삭제

**청구항 20**

제8항에서, 상기 식각액 조성물을 이용하여 사진 식각하는 단계는 30 내지 45℃에서 수행되는 박막 트랜지스터 표시판의 제조 방법.

**청구항 21**

제8항에서, 상기 사진 식각하는 단계는 상기 게이트선, 상기 데이터선, 상기 드레인 전극 및 상기 화소 전극용 도전체에 30 내지 200초간 상기 식각액 조성물을 적용하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**청구항 22**

제21항에서, 상기 사진 식각하는 단계는 상기 게이트선, 상기 데이터선, 상기 드레인 전극 및 상기 화소 전극용 도전체에 상기 식각액 조성물을 분무(spray)하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0019] 본 발명은 도전체용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법에 관한 것으로, 보다 상세하게는 단일층 또는 다층의 저저항 배선을 양호한 프로파일로 식각할 수 있는 도전체용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법에 관한 것이다.
- [0020] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- [0021] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 구조이다. 이 중에서도, 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 형태가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자소자인 박막 트랜지스터를 각 화소 전극에 연결하고, 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판(이하 '박막 트랜지스터 표시판'이라 함)에 형성한다. 상기 박막 트랜지스터는 게이트선을 통하여 전달되는 주사 신호에 따라 데이터선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다. 이러한 박막 트랜지스터는, 자발광소자인 능동형 유기 발광 표시 소자(AM-OLED)에서도 각 발광 소자를 개별적으로 제어하는 스위칭 소자로서 역할을 한다.
- [0022] 최근에는 액정 표시 장치 또는 유기 발광 표시 소자 등의 평판 표시 장치가 점점 대형화됨에 따라, 게이트선 및 데이터선의 길이가 점점 길어지게 되고 이에 따라 낮은 비저항을 가지는 도전 재료로 배선을 형성할 필요가 있다. 또한, 접촉 특성 등을 향상시키기 위하여 둘 이상의 금속층을 적층한 다층 구조로 형성하는 경우도 있다.
- [0023] 그런데, 낮은 비저항을 가지는 금속은 일반적으로 내화확성이 약하여 식각 공정에서 소망하는 패턴을 형성하기 곤란하고, 더구나 이중층 또는 삼중층과 같은 다층 구조의 배선을 형성하는 경우에는 각각의 금속마다 내화확성이 상이하여 언더컷(undercut) 또는 오버행(overhang)과 같이 배선의 프로파일(profile)이 변형되는 문제점이 있다.
- [0024] 또한, 박막 트랜지스터 표시판은 일반적으로 도전 물질을 적층한 후 사진 식각 공정에 따라 패터닝함으로써 게이트 배선, 데이터 배선 및 화소 전극을 형성하는데, 이 경우 상기 각각의 도전 물질은 막질의 특성이 상이하기 때문에 서로 다른 식각액 또는 식각 조건을 적용하여야 하며, 이 경우 제조 공정이 복잡하고 제조 비용이 증가하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- [0025] 따라서, 본 발명은 상기 문제점을 해결하기 위한 것으로서, 제조 공정 및 비용을 최소화하면서도 우수한 프로파일을 얻을 수 있는 도전체용 식각액 및 이를 이용한 박막 트랜지스터 표시판의 제조 방법을 제공한다.

**발명의 구성 및 작용**

- [0026] 본 발명에 따른 도전체용 식각액 조성물은 65 내지 75중량%의 인산, 0.5 내지 15중량%의 질산, 2 내지 15중량%의 아세트산, 0.1 내지 8.0%의 칼륨 화합물 및 잔량의 물을 포함한다.
- [0027] 또한, 상기 칼륨 화합물은 질산칼륨(KNO<sub>3</sub>) 및 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 중 적어도 어느 하나를 포함하는 것이 바람직하다.

- [0028] 또한, 상기 식각액 조성물에 0.1 내지 8.0%의 염기성 질소 화합물을 더 포함하는 것이 바람직하다.
- [0029] 또한, 상기 염기성 질소 화합물은 황화수소암모늄(NH<sub>4</sub>HS) 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 중 적어도 어느 하나를 포함하는 것이 바람직하다.
- [0030] 또한, 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은, 절연 기판 위에 게이트 전극을 포함하는 게이트 선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 순차적으로 적층하는 단계, 상기 게이트 절연막 및 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 소정 간격으로 마주하고 있는 드레인 전극을 형성하는 단계 및 상기 드레인 전극과 연결되어 있는 화소 전극을 형성하는 단계를 포함하며, 상기 게이트선을 형성하는 단계, 상기 데이터선과 상기 드레인 전극을 형성하는 단계 및 상기 화소 전극을 형성하는 단계 중 적어도 하나는 65 내지 75중량%의 인산, 0.5 내지 15중량%의 질산, 2 내지 15중량%의 아세트산, 0.1 내지 8.0%의 칼륨 화합물 및 잔량의 물을 포함하는 식각액 조성물을 이용하여 사진 식각하는 단계를 포함한다.
- [0031] 또한, 상기 식각액 조성물에 0.1 내지 8.0%의 염기성 질소 화합물을 더 포함하는 것이 바람직하다.
- [0032] 또한, 상기 게이트선을 형성하는 단계, 상기 데이터선과 상기 드레인 전극을 형성하는 단계 및 상기 화소 전극을 형성하는 단계는 동일한 식각액을 이용하여 사진 식각하는 것이 바람직하다.
- [0033] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0034] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0035] [실시예 1-3]
- [0036] 본 실시예에서는 본 발명에 따른 도전체용 식각액을 이용하여 게이트선, 데이터선 및 화소 전극의 프로파일(profile) 및 식각 균일성을 평가하였다.
- [0037] 먼저, 표 1에 기재된 조성비에 따라 혼합하여 식각액을 제조하였다.

**표 1**

[0038]

(중량%)	인산	질산	아세트산	KNO <sub>3</sub>	KC <sub>2</sub> H <sub>3</sub> O <sub>2</sub>	NH <sub>4</sub> HS	C <sub>7</sub> H <sub>9</sub> NO <sub>2</sub>	탈염수
실시예1	67	6	10	1	1	-	-	15
실시예2	67	6	10	1	1	1	1	13
실시예3	73	8.5	7	2	2	-	-	7.5
비교예1	63	3	15.5	-	-	-	-	18.5
비교예2	64	5	10	-	-	-	-	21
비교예3	63	3	10	4.5	4.5	4.5	4.5	6

- [0039] 또한, 본 실시예에서 사용하기 위한 기판으로서, 알루미늄-네오디뮴(Al-Nd)으로 이루어진 제1 도전층과 질화몰리브덴(MoN)으로 이루어진 제2 도전층이 순차적으로 적층되어 있는 게이트 배선용 기판, 몰리브덴-니오븀(Mo-Nb)으로 이루어진 제1 도전층, 알루미늄-네오디뮴(Al-Nd)으로 이루어진 제2 도전층과 몰리브덴-니오븀(Mo-Nb)으로 이루어진 제3 도전층이 순차적으로 적층되어 있는 데이터 배선용 기판, IZO가 적층되어 있는 화소 전극용 기판을 각각 6장씩 준비하고, 각 기판에 대하여 노광 및 현상 공정을 수행하였다.
- [0040] 그 다음, 분사(spray)형 식각 챔버(etch chamber)에 상기에서 제조된 식각액들을 각각 채웠다. 이 경우, 식각 챔버 내의 온도는 약 30 내지 45℃가 바람직하며, 본 실시예에서는 모든 식각 챔버에 대하여 약 40℃로 동일하게 조절하였다.
- [0041] 상기 조건이 갖추어지면, 각 식각 챔버 내에 노광 및 현상 공정을 거친 상기 게이트 배선용 기판, 데이터 배선용 기판 및 화소 전극용 기판 한 장씩에 대하여 각각 식각을 실시하였다. 식각 시간은 약 30 내지 200초 범위

내에서 조절 가능하며, 동일한 기판에 대하여는 동일 시간 동안 식각을 수행하였다.

- [0042] 식각이 완료되면 식각 챔버로부터 기판을 꺼내어 탈염수(deionized water)로 충분히 세정한 후 회전식 건조 장치를 이용하여 건조하였다. 이어서, 포토레지스트를 제거(strip)한 후, 전자 주사 현미경(SEM)을 이용하여 각 배선의 단층 프로파일을 확인하였다.
- [0043] 그 결과, 실시예 1 내지 3에 따른 식각액 조성물을 이용하여 식각 공정을 수행한 게이트 배선용 기판, 데이터 배선용 기판 및 화소 전극용 기판은 양호한 경사각 및 CD(critical dimension) 특성을 나타내었고 언더컷(undercut) 또는 오버행(overhang)과 같은 불량 패턴은 관찰되지 않았다. 또한, 기판 전면에 걸쳐 균일한 식각이 이루어져 얼룩 등이 발생하지 않았다. 특히, 실시예 2의 경우, 보다 우수한 프로파일을 나타내었다. 이는 칼륨 화합물만 존재하는 실시예 1 및 3에 비하여, 염기성 질소 화합물이 더 포함됨으로써 보다 우수한 효과가 나타내는 것을 알 수 있다.
- [0044] 이에 반하여, 비교예 1 및 2에 따른 식각액 조성물을 이용하여 식각 공정을 수행한 게이트 배선용 기판 및 데이터 배선용 기판은 각 층의 식각 속도 차이로 인하여 알루미늄층에 언더컷 등의 불량한 프로파일을 나타내었고, 화소 전극용 기판은 현저하게 불량한 패턴을 나타내었다. 더구나, 기판 전면에 걸쳐 균일한 식각이 이루어지지 못하여 일부 영역에서 얼룩이 발생하였다.
- [0045] 또한, 비교예 3의 따른 식각액 조성물을 이용하여 식각을 수행한 경우에는, 비교예 1 및 2와는 반대로 몰리브덴층이 더 많이 식각된 프로파일을 나타내었다.
- [0046] 도 27은 비교예 1에 따른 식각액 조성물을 이용하여 형성한 게이트 배선(a) 및 비교예 3에 따른 식각액 조성물을 이용하여 형성한 데이터 배선(b)의 단층 사진이고, 도 28은 본 발명의 상기 실시예 2에 따른 게이트 배선(a), 데이터 배선(b) 및 화소 전극(c)의 단층 사진이다.
- [0047] 도 27에서 보는 바와 같이, 비교예 1에 따른 식각액 조성물을 이용하여 식각한 게이트 배선의 경우(a)에는, 알루미늄-네오디뮴(Al-Nd)으로 이루어진 제1 도전층(1)과 질화몰리브덴(MoN)으로 이루어진 제2 도전층(2)의 식각 속도 차이로 인하여 알루미늄-네오디뮴(Al-Nd)으로 이루어진 제1 도전층(1)에서 언더컷(undercut)이 발생하였음을 확인할 수 있고, 비교예 3에 따른 식각액 조성물을 이용하여 식각한 데이터 배선의 경우(b)에는, 몰리브덴-니오븀(Mo-Nb)으로 이루어진 제1 도전층(1) 및 제3 도전층(3)이 제2 도전층(2)보다 오히려 더 많이 식각되어 게이트 배선과 마찬가지로 불량한 프로파일을 나타냄을 알 수 있다(부호 4는 미제거된 포토레지스트층). 이 경우, 불량한 프로파일로 인하여, 각 배선의 경사각 및 CD 오차(CD skew)의 정확한 측정은 곤란하였다. 또한, 각 배선마다 얼룩이 심하게 발생한 것도 확인할 수 있다.
- [0048] 반면, 도 28에서 보는 바와 같이, 본 발명의 실시예 2에 따른 식각액 조성물을 이용하여 식각한 경우, 게이트 배선(a), 데이터 배선(b) 및 화소 전극(c) 모두에서 양호한 프로파일을 나타내었고 언더컷 또는 오버행과 같은 문제는 발생하지 않았다. 특히, 이중층 또는 삼중층으로 이루어진 게이트 배선(a) 및 데이터 배선(b)에서 상부층과 하부층의 식각 속도 차이로 인한 프로파일의 변형은 일어나지 않았고, 동일한 식각액으로 화소 전극(c)에 대하여도 우수한 식각 특성이 나타냄을 확인하였다. 구체적으로는 게이트 배선(a) 및 데이터 배선(b)에서 경사각은 약 60 내지 80도로 측정되었으며 CD 오차값(CD skew)은 약 1.0 내지 1.5 $\mu$ m로 측정되었다. 또한, 화소 전극(c)의 경우, 경사각은 약 50도, CD 오차값(CD skew)은 0.2 내지 0.3 $\mu$ m로 측정되었다. 또한, 각 배선에 얼룩이 거의 발생함 없이 깨끗하게 패터닝된 것을 확인할 수 있었다.
- [0049] 이와 같이, 본 발명에서는 기존의 식각액을 구성하는 인산, 질산 및 아세트산 외에 칼륨 화합물 및/또는 염기성 질소 화합물을 더 포함함으로써, 도전체막의 프로파일을 안정적으로 형성하고 대면적 기판에서의 식각 균일성을 향상시킬 수 있다.
- [0050] 일반적으로, 이중층 또는 다중층으로 이루어지는 도전체의 경우, 각 도전체의 식각 속도 차이로 인하여 프로파일이 불량해지는 문제점이 있다. 특히, 몰리브덴층과 알루미늄층을 포함하는 이중층 또는 삼중층의 경우, 갈바닉 효과에 의하여 더욱 불량한 프로파일의 패턴이 형성될 수 있다. 갈바닉(galvanic) 효과란 용해질 내의 두 금속 사이에 전위차가 존재하는 경우 상대적으로 양(positive)의 전위를 가지는 도전체는 음극(cathode)으로 작용하여 환원되려는 경향을 가지며 상대적으로 음(negative)의 전위를 가지는 금속은 양극(anode)으로 작용하여 산화되려는 경향성을 가지는 현상이다. 이 경우, 음극(cathode)으로 작용하는 금속은 단독으로 존재하는 경우보다 보다 느리게 식각(부식)이 진행되고 양극(anode)으로 작용하는 금속은 단독으로 존재하는 경우보다 보다 빠르게 식각(부식)이 일어나게 된다. 이러한 현상에 따라, 알루미늄층과 몰리브덴층을 포함하는 이중층 또는 다중층인 경우, 알루미늄층이 몰리브덴층보다 급격히 빠르게 식각되는 문제점이 발생한다.

- [0051] 본 발명에서는, 이러한 갈바닉 효과를 감소시키기 위하여, 기존의 인산, 질산 및 아세트산에 칼륨 화합물 및/또는 염기성 질소 화합물을 더 포함한다. 칼륨 화합물 및/또는 염기성 질소 화합물은 도전체 간의 전자 이동을 감소시켜 갈바닉 효과를 감소시킬 수 있다. 그러나, 칼륨 화합물 및/또는 염기성 질소 화합물을 일정 함량 이상으로 함유하는 경우, 오히려 갈바닉 효과를 과도하게 억제하여 식각 속도의 역전을 일으킬 수 있다. 따라서, 갈바닉 효과를 적절하게 제어할 수 있는 함량의 칼륨 화합물 및/또는 염기성 질소 화합물을 함유하는 것이 중요하다. 본 발명에서는, 상기 칼륨 화합물 및 염기성 질소 화합물이 식각액 총 중량에 대하여 각각 0.1 내지 8중량%의 범위로 함유하는 것이 바람직하다. 칼륨 화합물 및 염기성 질소 화합물이 0.1중량% 미만인 경우, 비교예 1과 같이 갈바닉 효과를 감소시킬 수 있는 효과를 발휘할 수 없고, 8중량%를 초과하는 경우 비교예 3과 같이 갈바닉 효과를 과도하게 억제하여 오히려 몰리브덴층이 더 빠르게 식각되어 프로파일의 변형을 초래하기 때문이다.
- [0052] 또한, 기존의 식각액을 이용하는 경우, 대면적 기관인 경우, 기관의 중심부와 단부에서의 식각 속도의 차이로 인하여 배선이 불균일하게 식각되는 문제점이 있다. 본 발명에서는 인산, 질산 및 아세트산에 칼륨 화합물 및/또는 염기성 질소 화합물을 더 포함함으로써 우수한 표면 개질 효과를 발휘할 수 있고, 이에 따라 기관 전면에 걸쳐 균일한 식각이 이루어질 수 있다. 이는 상기 도 27 및 도 28에서 확인할 수 있다.
- [0053] 상기와 같이, 본 발명에 따른 식각액 조성물은 단일 도전층은 물론 복수의 도전층으로 이루어지는 게이트 배선, 데이터 배선 및 화소 전극에 대하여 모두 적용할 수 있으며, 프로파일 특성 또한 우수하다는 것을 알 수 있다. 따라서, 기존에 각각의 배선에 대하여 다른 식각액을 사용함으로써 발생하는 비용 및 시간을 절약할 수 있으며 그에 따라 생산 효율을 개선시킬 수 있는 이점이 있다. 또한, 기존에 게이트 배선, 데이터 배선 및 화소 전극에서 쉽게 발견되는 얼룩 문제 또한 해결할 수 있어서 제품의 특성을 향상시킬 수 있는 이점 또한 있다.
- [0054] 상기 실시예에서는 알루미늄-네오디뮴(Al-Nd) 합금, 질화몰리브덴(MoN), 몰리브덴-니오븀(Mo-Nb) 합금 및 IZO만을 이용하였지만, 알루미늄-네오디뮴(Al-Nd) 합금 대신 알루미늄이 포함된 모든 합금, 몰리브덴-니오븀(Mo-Nb) 합금 대신 몰리브덴이 포함된 모든 합금 및 IZO 대신 ITO 등을 이용하여도 무관하며, 상기 실시예에 한정되지 않는다.
- [0055] [실시예 4]
- [0056] 본 실시예에서는 상기 실시예 2에서 제조한 식각액 조성물을 이용하여 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도면을 참조하여 상세하게 설명한다.
- [0057] 도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II'선을 따라 자른 단면도이다.
- [0058] 절연 기관(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선(121)의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이룬다.
- [0059] 게이트선(121)은 알루미늄(Al) 또는 알루미늄에 네오디뮴(Nd)이 첨가된 알루미늄 합금(AlNd)으로 이루어진 제1 금속층(124p)과, 상기 제1 금속층(124p) 상부에 형성된 것으로 몰리브덴(Mo) 또는 질화몰리브덴(MoN)으로 이루어진 제2 금속층(124q)으로 구성되어 있다.
- [0060] 제1 금속층(124p)과 제2 금속층(124q)의 측면은 각각 경사져 있으며 그 경사각은 기관(110)의 표면에 대하여 약 40-80도를 이룬다.
- [0061] 게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0062] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 복수의 선형 반도체층(151)이 형성되어 있다. 선형 반도체층(151)은 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한, 선형 반도체층(151)은 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.
- [0063] 반도체층(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 이루어지는 복수의 섬형 저항성 접촉층(ohmic contact)(163, 165)이 형성되어 있다. 저항성 접촉층(163, 165)은 쌍을 이루어 반도체층(151)의 돌출부(154) 위에 위치한다. 반도체층(151)과 저항성 접촉층

(163, 165)의 측면 역시 경사져 있으며 경사각은 기판(110)에 대해서 40-80°이다.

- [0064] 저항성 접촉층(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.
- [0065] 데이터선(171)은 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다.
- [0066] 상기 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 몰리브덴(Mo)을 포함하는 제1 금속층(171p, 173p, 175p), 알루미늄(Al)을 포함하는 제2 금속층(171q, 173q, 175q) 및 몰리브덴(Mo)을 포함하는 제3 금속층(171r, 173r, 175r)으로 이루어진 복수층으로 형성되어 있다. 이와 같이, 비저항이 낮은 알루미늄 또는 알루미늄 합금층을 상기 몰리브덴 합금층 사이에 개재하는 구조를 가짐으로써, 낮은 비저항의 특성을 그대로 유지하면서도 중간에 개재된 알루미늄층이 하부의 반도체층 및 상부의 화소전극과 직접 접촉하지 않음으로써 접촉 불량에 따른 박막트랜지스터의 특성 저하를 방지할 수 있다.
- [0067] 상기 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(Thin Film Transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다. 유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.
- [0068] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 기판(110)에 대해서 약 40-80°의 각도로 각각 경사져 있다.
- [0069] 저항성 접촉층(163, 165)은 그 하부의 반도체층(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체층(151)은 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서 선형 반도체층(151)의 폭이 데이터선(171)의 폭보다 작지만 앞서 설명했듯이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.
- [0070] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 노출된 반도체층(151) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물질, 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질, 또는 무기 물질인 질화규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다. 또한, 상기 보호막(180)을 유기 물질로 형성하는 경우에는, 소스 전극(173)과 드레인 전극(175) 사이의 반도체층(154)이 드러난 부분으로 보호막(180)의 유기 물질이 접촉하는 것을 방지하기 위하여, 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>)로 이루어진 절연막(도시하지 않음)이 추가로 형성될 수도 있다.
- [0071] 보호막(180)에는 게이트 패드 영역(129), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터 패드 영역(179)을 각각 드러내는 복수의 접촉구(contact hole)(181, 185, 187, 182)가 형성되어 있다.
- [0072] 보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조부재(contact assistant)(82)가 형성되어 있다.
- [0073] 화소 전극(190)은 접촉구(185, 187)를 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.
- [0074] 데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0075] 또한 전술한 바와 같이, 화소 전극(190)과 공통 전극은 액정 축전기(liquid crystal capacitor)를 이루어 박막 트랜지스터가 턴오프(turn off)된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며, 이를 "유지 축전기(storage electrode)"라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 "전단 게이트선(previous gate line)"이라 함]의 중첩

등으로 형성되며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

- [0076] 접촉 보조 부재(81, 82)는 접촉구(181, 182)를 통하여 게이트 패드 영역(129)과 데이터 패드 영역(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 또는 데이터선(171)의 끝 부분과 구동 집적 회로와 같은 외부 장치와의 접촉성을 보완하고 이들을 보호한다.
- [0077] 그러면, 도 1 및 도 2에 도시한 상기 액정 표시 장치용 박막 트랜지스터 표시판을 본 발명의 일실시예에 따라 제조하는 방법에 대하여 도 3a 내지 도 6b와 도 1 및 도 2를 참조하여 상세히 설명한다.
- [0078] 먼저, 도 3a 및 도 3b에서 보는 바와 같이, 절연 기판(110) 위에 알루미늄-니오디움(Al-Nd)을 포함한 제1 금속층 및 몰리브덴(Mo)을 포함하는 제2 금속층을 순차적으로 적층하였다. 여기서 상기 제1 금속층과 제2 금속층은 공동 스퍼터링(Co-sputtering)으로 형성하였다. 본 실시예에서는 공동 스퍼터링의 타겟으로, 알루미늄에 네오디움(Nd)이 2at% 정도 첨가된 알루미늄 합금(Al-Nd)과 몰리브덴(Mo)을 사용하였다. 상기 공동 스퍼터링은, 초기에 몰리브덴(Mo) 타겟에는 파워(power)를 인가하지 않으며 알루미늄 합금(Al-Nd) 타겟에만 파워를 인가하여 기판 위에 알루미늄 또는 알루미늄 합금으로 이루어지는 제1 금속층을 형성하였다. 본 실시예에서는 상기 제1 금속층을 약 2,500Å의 두께로 형성하였지만, 1000 내지 5000Å 범위에서 임의로 선택할 수 있다. 그 다음 알루미늄 합금 타겟에 인가되는 파워를 오프한 후, 몰리브덴(Mo)에 인가되는 파워를 인가하여 제2 금속층을 형성하였다. 본 실시예에서는 상기 제2 금속층을 약 1000Å의 두께로 형성하였지만, 50 내지 2000Å 범위에서 임의로 선택할 수 있다.
- [0079] 그 다음, 상기 제2 금속층 위에 스핀 코팅 방식으로 포토레지스트를 도포하고 마스크를 이용하여 노광한 후 현상하였다.
- [0080] 이어서, 상기 실시예 2에 따른 식각액을 이용하여 상기 제1 금속층 및 제2 금속층을 한번에 식각하였다. 이 경우, 게이트선 식각 공정은 약 35 내지 45℃의 온도에서 약 30 내지 200초 동안 금속층이 적층되어 있는 기판 위에 분무(spray)하는 방식으로 수행하였다.
- [0081] 상기 식각액은 인산 67중량%, 질산 6중량%, 아세트산 10중량%, 질산칼륨(KNO<sub>3</sub>) 1중량%, 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 1중량%, 황화수소암모늄(NH<sub>4</sub>HS) 1중량% 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 1중량%의 조성비로 제조하였으며, 잔량의 탈염수를 포함하였다. 그러나, 본 발명의 식각액은 65 내지 75중량%의 인산, 0.5 내지 15중량%의 질산, 2 내지 15중량%의 아세트산, 0.1 내지 8.0%의 칼륨 화합물 및 잔량의 물을 포함하는 경우, 상기 실시예의 조성비에 한정되지 않으며, 특히 0.1 내지 8.0%의 염기성 질소 화합물을 더 첨가하는 경우 보다 우수한 프로파일을 가지는 배선을 형성할 수 있다.
- [0082] 상기와 같은 식각액을 이용하여 게이트용 패턴을 형성하는 경우, 상술한 바와 같이 갈바닉 효과를 감소시켜 양호한 프로파일을 가진 패턴을 형성할 수 있을 뿐만 아니라, 표면 개질 효과에 따라 기판 전면에 걸쳐 식각 균일성을 향상시킬 수 있다.
- [0083] 상기 식각액을 이용하여 제1 금속층 및 제2 금속층을 동시에 식각하여, 도 3a 및 도 3b에서 보는 바와 같이, 게이트 전극(124), 복수의 확장부(127) 및 게이트 패드 영역(129)을 포함하는 게이트선(121)을 형성하였다.
- [0084] 그 다음, 도 4a 및 도 4b에 도시한 바와 같이, 게이트선(121) 및 게이트 전극(124)을 덮도록 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>)를 증착하여 게이트 절연막(140)을 형성하였다. 게이트 절연막(140)의 적층 온도는 약 250 내지 500℃, 두께는 2,000 내지 5,000Å 정도로 하였다.
- [0085] 그 다음, 게이트 절연막(140) 위에 진성 비정질 규소층(intrinsic amorphous silicon), 불순물이 도핑된 비정질 규소층(extrinsic amorphous silicon)을 연속하여 적층하고, 불순물이 도핑된 비정질 규소층과 진성 비정질 규소층을 사진 식각하여 복수의 돌출부(154)와 복수의 불순물 반도체 패턴(164)을 각각 포함하는 선형 진성 반도체층(151) 및 불순물이 도핑된 비정질 규소층(161)을 형성하였다.
- [0086] 그 다음, 불순물이 도핑된 비정질 규소층(161) 위에 스퍼터링 등의 방법으로 몰리브덴-니오븀(Mo-Nb)으로 이루어지는 제1 금속층, 알루미늄-니오디움(Al-Nd)으로 이루어지는 제2 금속층 및 몰리브덴-니오븀(Mo-Nb)으로 이루어지는 제3 금속층을 차례로 증착하였다. 이 경우, 상기 제1 금속층은 50 내지 2000Å, 제2 금속층은 1000 내지 5000Å 및 제3 금속층은 50 내지 2000Å의 두께로 형성하였으며, 스퍼터링 온도는 약 150℃로 조절하였다.

- [0087] 이어서, 제3 금속층 위에 스핀 코팅 등의 방법으로 포토레지스트를 도포하고 마스크를 이용하여 노광한 후 현상하였다.
- [0088] 그 다음, 상기 실시예 2에 따른 식각액 조성물을 이용하여 포토레지스트 패턴이 남아있는 부분을 제외한 영역의 제1 금속층, 제2 금속층 및 제3 금속층을 한번에 식각하였다. 상기 식각 조건은 상기 게이트용 배선층을 형성하는 경우와 동일하며, 약 35 내지 45℃의 온도에서 약 30 내지 200초 동안 금속층이 적층되어 있는 기판 위에 분무(spray)하는 방식으로 수행하였다.
- [0089] 상기와 같은 식각액을 이용하여 데이터용 패턴을 형성하는 경우, 상술한 바와 같이 갈바닉 효과를 감소시켜 양호한 프로파일을 가진 삼중층 패턴을 형성할 수 있을 뿐만 아니라, 표면 개질 효과에 따라 기판 전면에 걸쳐 균일한 식각이 이루어질 수 있다.
- [0090] 상기 식각에 따라, 도 5a 및 도 5b에 도시된 바와 같이, 소스 전극(173), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터 패드 영역(179)을 형성하였다.
- [0091] 이어, 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체(177)로 덮이지 않고 노출된 불순물 반도체층(161, 165) 부분을 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉층(161)과 복수의 섬형 저항성 접촉층(165)을 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출시켰다. 이 경우, 노출된 진성 반도체(154) 부분의 표면을 안정화시키기 위하여 산소(O<sub>2</sub>) 플라즈마를 실시하는 것이 바람직하다.
- [0092] 다음으로, 도 6a 및 도 6b에 도시한 바와 같이, 평탄화 특성이 우수하며 감광성을 가지는 유기물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질, 또는 무기물질인 질화규소(SiN<sub>x</sub>) 따위를 단일층 또는 복수층으로 형성하여 보호막(passivation layer)을 형성하였다.
- [0093] 그런 다음 보호막(180) 위에 감광막을 코팅한 후 광마스크를 통하여 감광막에 빛을 조사한 후 현상하여 복수의 접촉구(181, 185, 187, 182)를 형성하였다. 이 때 감광성을 가지는 유기막일 경우에는 사진 공정만으로 접촉구를 형성할 수 있으며, 게이트 절연막(140)과 보호막(180)에 대하여 실질적으로 동일한 식각비를 가지는 식각 조건으로 실시하는 것이 바람직하다.
- [0094] 이어서, 상기 보호막(180) 위에 ITO의 투명 금속층을 스퍼터링 방법으로 적층하였다. 이 때, 상기 투명 금속층은 약 400 내지 1500Å의 두께로 형성하였다. 그 다음, 상기 게이트선 및 데이터선 식각 단계와 동일한 조건, 즉 약 35 내지 45℃의 온도에서 약 30 내지 200초 동안 금속층이 적층되어 있는 기판 위에 인산 6중량%, 질산 6중량%, 아세트산 10중량%, 질산칼륨(KNO<sub>3</sub>) 1중량%, 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 1중량%, 황화수소암모늄(NH<sub>4</sub>HS) 1중량% 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 1중량% 및 잔량의 탈염수로 제조된 식각액을 분무(spray)하는 방식으로 상기 투명 금속층을 식각하였다. 상기 식각액을 이용하여 식각한 결과, 약 50도의 경사각을 가지며 안정된 프로파일을 가진 화소 전극(190)과 복수의 접촉 보조 부재(81,82)가 형성되었다.
- [0095] 본 실시예에서는 게이트 전극(124)을 포함하는 게이트선(121), 소스 전극(173)을 포함하는 데이터선(171)과 드레인 전극(175), 및 화소 전극(190)에 대하여 동일한 식각액을 이용하여 동일 조건 하에서 식각한 결과, 제조 비용 및 시간을 감소시키면서도 우수한 프로파일을 가진 배선을 형성할 수 있었다.
- [0096] 본 실시예에서는 알루미늄-네오디뮴(Al-Nd) 합금, 몰리브덴(Mo), 몰리브덴-니오븀(Mo-Nb) 합금 및 ITO만을 이용하였지만, 알루미늄-네오디뮴(Al-Nd) 합금 대신 알루미늄이 포함된 모든 합금, 몰리브덴-니오븀(Mo-Nb) 합금 대신 몰리브덴이 포함된 모든 합금 및 ITO 대신 IZO 등을 이용하여도 무관하며, 상기 실시예에 한정되지 않는다. 또한, 본 실시예에서는 다층 배선에 대하여만 설명하였지만, 단층 배선에서도 당연히 적용할 수 있다.
- [0097] [실시예 5]
- [0098] 본 실시예에서는 상술한 박막 트랜지스터 표시판의 실시예에 컬러 필터가 더 추가되는 구성을 보여준다.
- [0099] 도 7은 본 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 8은 도 7의 VIII-VIII'선을 따라 자른 단면도이다.
- [0100] 절연기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(124)을 이룬다.
- [0101] 게이트선(121)은 이중층 구조로 형성되어 있으며, 알루미늄(Al)-네오디뮴(Nd)으로 이루어진 제1 금속층(124p,

127p, 129p)과, 상기 제1 금속층(124p, 127p, 129p) 상부에 형성된 것으로 몰리브덴(Mo)으로 이루어진 제2 금속층(124q, 127q, 129q)으로 구성되어 있다.

- [0102] 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 이루어진 복수의 선형 반도체층(151)이 형성되어 있다. 선형 반도체층(151)은 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한 선형 반도체층(151)은 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.
- [0103] 반도체층(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉층(163, 165)이 형성되어 있다. 저항성 접촉층(163, 165)은 쌍을 이루어 반도체층(151)의 돌출부(154) 위에 위치한다. 반도체층(151)과 저항성 접촉층(163, 165)의 측면 역시 경사져 있으며 경사각은 기판(110)에 대해서 30-80°이다.
- [0104] 저항성 접촉층(163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(171)과 복수의 드레인 전극(175) 및 복수의 유지 축전기용 도전체(177)가 형성되어 있다.
- [0105] 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다.
- [0106] 상기 소스 전극(173)을 포함하는 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)는 몰리브덴(Mo)-니오븀(Nb)으로 이루어지는 제1 금속층(173p, 175p, 177p, 179p), 알루미늄(Al) 또는 알루미늄 합금으로 이루어지는 제2 금속층(173q, 175q, 177q, 179q) 및 몰리브덴(Mo)-니오븀(Nb)으로 이루어지는 제3 금속층(173r, 175r, 177r, 179r)으로 이루어지며, 각각 50 내지 2000Å, 1000 내지 5000Å 및 50 내지 2000Å의 두께로 형성되어 있다.
- [0107] 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 기판(110)에 대해서 약 40-80°의 각도로 각각 경사져 있다.
- [0108] 저항성 접촉층(163, 165)은 그 하부의 반도체층(154)과 그 상부의 소스 전극(173) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체층(151)은 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서 선형 반도체층(151)의 폭이 데이터선(171)의 폭보다 작지만 앞서 설명했듯이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.
- [0109] 본 실시예에서는 실시예 4와 달리 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177) 상부에 컬러 필터(230R, 230G, 230B)가 형성되어 있다. 컬러 필터(230R, 230G, 230B)는 데이터선(171)에 의해 구획되는 화소 열을 따라 데이터선(171)과 나란한 방향으로 적, 녹, 청색 컬러 필터(230R, 230G, 230B)가 길게 뻗어 있으며, 화소 열에 교번하여 형성되어 있다.
- [0110] 여기서 적, 녹, 청색 컬러 필터(230R, 230G, 230B)는 외부 회로와 접촉되는 게이트선(121) 또는 데이터선(171)의 끝부분에는 형성하지 않는다. 그리고, 이들 컬러 필터(230R, 230G, 230B)의 가장자리는 데이터선(171) 상부에서 중첩되어 있다. 이처럼 컬러 필터(230R, 230G, 230B)의 가장자리를 중첩하여 형성함으로써 화소 영역의 사이에서 누설되는 빛을 차단하는 기능을 가지며, 데이터선(171)의 상부에서는 적, 녹, 청색의 컬러 필터(230R, 230G, 230B)를 함께 중첩하여 배치할 수도 있다.
- [0111] 또한, 컬러 필터(230R, 230G, 230B)의 하부 또는 상부에는 층간 절연막(801, 802)이 더 형성되어 있다. 층간 절연막(801, 802)은 컬러 필터(230R, 230G, 230B)의 안료가 반도체층(154) 또는 화소 전극(190)으로 유입되는 것을 방지한다.
- [0112] 상기 층간 절연막(801, 802)은 플라즈마 화학 기상 증착으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소 따위로 이루어질 수 있다.
- [0113] 이와 같이, 컬러 필터가 박막 트랜지스터 표시판에 형성되면 상부 표시판의 블랙 매트릭스를 박막 트랜지스터 표시판에만 형성할 수 있으므로, 화소의 개구율이 증가될 수 있다.
- [0114] 상부 층간 절연막(802)에는 게이트 패드 영역(129), 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터 패드 영역(179)을 각각 드러내는 복수의 접촉구(181, 185, 187, 182)가 형성되어 있다.

- [0115] 또한, 상부 층간 절연막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소전극(190) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 접촉구(185, 187, 182)를 통하여 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)과 접촉하고 있다.
- [0116] 화소 전극(190)은 접촉구(185, 187)를 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적으로 전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.
- [0117] 데이터 전압이 인가된 화소 전극(190)은 공통전압을 인가 받는 다른 표시관(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.
- [0118] 이하에서, 본 실시예에 따른 박막 트랜지스터 표시관의 제조 방법에 대하여 설명한다.
- [0119] 먼저, 도 9a 및 도 9b에서 보는 바와 같이, 투명 유리로 이루어진 절연 기판(110) 위에 알루미늄-니오디뮴(Al-Nd)층(124p, 127p, 129p) 및 질화몰리브덴(MoN)층(124q, 127q, 129q)으로 이루어지는 이중층의 게이트선(121)을 형성하였다. 상기 게이트선(121)을 형성하기 위하여, 먼저 약 2500Å 두께의 알루미늄-니오디뮴(Al-Nd)층을 적층한 후, 약 1000Å 두께의 질화몰리브덴(MoN)층을 순차적으로 적층한다. 그 다음, 상기 금속층 위에 스핀 코팅 방식으로 포토레지스트를 도포하고 마스크를 이용하여 노광한 후 현상하였다.
- [0120] 이어서, 상기 실시예 2에 따른 식각액을 이용하여 상기 제1 금속층 및 제2 금속층을 한번에 식각하였다. 이 경우, 게이트선 식각 공정은 약 35 내지 45℃의 온도에서 약 30 내지 200초 동안 금속층이 적층되어 있는 기판 위에 분무(spray)하는 방식으로 수행하였다.
- [0121] 상기 식각액은 인산 67중량%, 질산 6중량%, 아세트산 10중량%, 질산칼륨(KNO<sub>3</sub>) 1중량%, 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 1중량%, 황화수소암모늄(NH<sub>4</sub>HS) 1중량% 및 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 1중량%의 조성비로 제조하였으며, 잔량의 탈염수를 포함하였다. 그러나, 본 발명의 식각액은 65 내지 75중량%의 인산, 0.5 내지 15중량%의 질산, 2 내지 15중량%의 아세트산, 0.1 내지 8.0%의 칼륨 화합물 및 잔량의 물을 포함하는 경우, 상기 실시예의 조성비에 한정되지 않는다. 특히, 0.1 내지 8.0%의 염기성 질소 화합물을 첨가하는 경우, 보다 우수한 프로파일을 가지는 배선을 형성할 수 있다.
- [0122] 상기 식각액을 이용하여 제1 금속층 및 제2 금속층을 동시에 식각하여, 게이트 전극(124), 복수의 확장부(127) 및 게이트 패드 영역(129)을 포함하는 게이트선(121)을 형성하였다.
- [0123] 상기 식각액을 이용하여 이중층의 게이트선(121)을 식각하는 경우, 갈비닉 효과를 감소시킴으로써 식각 속도에 의한 언더컷(undercut) 또는 오버행(overhang)이 발생하지 않았다. 더욱이, 상기 이중층의 게이트선(121)은 약 50-80도의 경사각을 가지며 1.0 내지 1.5μm 정도의 CD 오차값(CD skew)만을 나타내는 양호한 프로파일의 게이트 배선을 형성할 수 있었다(도 28 참조). 또한, 상기 식각액을 이용하는 경우, 우수한 표면 개질 효과에 의하여 식각 균일성이 향상되어 기존의 식각액보다 금속층 내의 얼룩이 현저하게 감소됨을 확인할 수 있었다.
- [0124] 그 다음, 상기 게이트선(121) 위에 게이트 절연막(140), 반도체층(151, 154), 저항성 접촉층(161, 163, 165)을 형성하였다.
- [0125] 그 다음, 몰리브덴층(173p, 175p, 177p, 179p), 알루미늄 합금층(173q, 175q, 177q, 179q) 및 몰리브덴층(173r, 175r, 177r, 179r)으로 이루어진 소스 전극(173)을 포함하는 데이터선(171), 드레인 전극(175) 및 유지 축전지용 도전체(177)를 형성한다. 상기 데이터선(171), 드레인 전극(175) 및 유지 축전지용 도전체(177)도 게이트선(121)과 동일한 식각액 및 식각 조건하에서 사진 식각 공정을 수행할 수 있다.
- [0126] 이 경우, 삼중층의 데이터선(171)은 40 내지 60도 정도의 양호한 경사각을 나타냈으며, 다른 금속층과의 식각 속도의 차이로 인하여 발생하는 언더컷 또는 오버행과 같은 불량한 프로파일은 형성되지 않았다. 더욱이, 금속 내에 얼룩이 거의 발견되지 않았다.
- [0127] 그 다음, 도 9a 및 도 9b에서 보는 바와 같이, 적, 녹, 청색 안료를 포함하는 감광성 유기물질을 각각 차례로 도포하고 각각의 사진 공정을 통하여 적, 녹, 청색 컬러 필터(230R, 230G, 230B)를 차례로 형성하였다. 이 때, 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>) 등의 무기 물질을 적층하여 층간 절연막(801)을 형성한 후 컬러 필터를 형성할 수도 있다. 상기 층간 절연막(801)은 컬러 필터의 안료로부터 반도체층(151, 154)을 보호하는 역할을 한다.

- [0128] 마스크를 이용한 사진 공정으로 적, 녹, 청색 컬러 필터(230R, 230G, 230B)를 형성할 때 드레인 전극(175) 및 유지 축전기용 도전체(177)와 대응하는 부분에 개구부(235, 237)를 형성하였다.
- [0129] 이 후, 도 10a 및 도 10b에 도시한 바와 같이, 컬러 필터(230R, 230G, 230B)의 상부에 4.0 이하의 저유전율을 가지는 유기 물질을 도포하여 층간 절연막(802)을 형성하였다. 그런 다음 층간 절연막(802)을 마스크를 이용한 사진 식각 공정으로 패터닝하여 개구부(235, 237)를 노출하는 접촉구(181, 182, 185, 187)를 형성하였다.
- [0130] 이 후, 도 7 및 도 8에서 보는 바와 같이, 기판(110)에 ITO 또는 IZO 등의 투명한 도전 물질을 증착하고, 사진 식각 공정으로 개구부(235, 237) 및 접촉구(181, 185, 187)를 통해 드레인 전극(175)과 연결되는 화소 전극(190)을 형성하였다. 상기 화소 전극(190)도 상기 게이트선(121) 및 데이터선(171)과 동일한 식각액 및 식각 조건으로 패터닝하였다.
- [0131] 이 경우, 화소 전극 패턴은 약 40-50도 정도의 양호한 경사각을 가지며 CD 오차값은 0.2 내지 0.3 $\mu$ m 정도의 미세한 값만을 나타냈다.
- [0132] 본 실시예에서는 게이트 전극(124)을 포함하는 게이트선(121), 소스 전극(173)을 포함하는 데이터선(171)과 드레인 전극(175), 및 화소 전극(190)에 대하여 동일한 식각액을 이용하여 동일 조건 하에서 식각한 결과, 제조 비용 및 시간을 감소시키면서도 우수한 프로파일을 가진 배선을 형성할 수 있었다.
- [0133] [실시예 6]
- [0134] 본 실시예에서는 본 발명에 따른 식각액을 이용하여 능동형 유기 발광 표시 장치(AM-OLED)용 박막 트랜지스터 표시판을 제조하는 방법에 대하여 설명한다.
- [0135] 도 11은 본 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 12a 및 도 12b는 각각 도 11의 XIIa-XIIa' 선 및 XIIb-XIIb' 선을 따라 자른 단면도이다.
- [0136] 절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(121)이 형성되어 있다. 게이트선(121)은 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 돌출되어 복수의 제1 게이트 전극(124a)을 이룬다. 또한 게이트선(121)과 동일한 층으로 제2 게이트 전극(124b)이 형성되어 있으며, 제2 게이트 전극(124b)에는 세로 방향으로 뻗은 유지 전극(133)이 연결되어 있다.
- [0137] 게이트선(121), 제1 및 제2 게이트 전극(124a, 124b) 및 유지 전극(133)은 물리적 성질이 다른 두 개의 막으로 형성되어 있다. 하부 금속층(124ap, 124bp)은 게이트 신호의 지연이나 전압 강하를 감소시킬 수 있는 낮은 비저항을 가진 금속, 예컨대 알루미늄(Al) 또는 예컨대 네오디뮴(Nd)과 같은 금속이 첨가된 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어지는 것이 바람직하다. 상부 금속층(124aq, 124bq)은 상기 하부 금속층(124ap, 124bp)과는 다른 물질, 특히 ITO 또는 IZO와 전기적 접촉 특성이 우수하면서도 하부 금속층(124ap, 124bp)인 알루미늄과 식각 속도가 크게 차이가 나지 않는 물질이 적합하며, 이러한 조건을 만족하는 금속으로 몰리브덴(Mo), 질화몰리브덴(MoN) 또는 몰리브덴 합금(Mo-alloy) 등으로 형성되어 있다.
- [0138] 게이트선(121)과 유지 전극(133)의 측면은 경사져 있으며 경사각은 기판(110)에 대하여 30-80도를 이룬다.
- [0139] 게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.
- [0140] 게이트 절연막(140) 상부에는 수소화 비정질 규소 등으로 이루어진 복수의 선형 반도체(151)와 섬형 반도체(154b)가 형성되어 있다. 선형 반도체(151)는 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)가 제1 게이트 전극(124a)을 향하여 뻗어 나와 제1 게이트 전극(124a)과 중첩하는 제1 채널부(154a)를 이루고 있다. 또한 선형 반도체(151)는 게이트선(121)과 만나는 지점 부근에서 폭이 확장되어 있다. 섬형 반도체(154b)는 제2 게이트 전극(124b)과 교차하는 제2 채널부를 포함하고, 유지 전극(133)과 중첩하는 유지 전극부(157)를 가진다.
- [0141] 선형 반도체(151) 및 섬형 반도체(154b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉층(161, 165a, 163b, 165b)이 형성되어 있다. 선형 접촉층(161)은 복수의 돌출부(163a)를 가지고 있으며, 이 돌출부(163a)와 섬형 접촉층(165a)은 쌍을 이루어 선형 반도체(151)의 돌출부(154a) 위에 위치한다. 또한, 섬형 접촉층(163b, 165b)은 제2 게이트 전극(124b)을 중심으로 마주하여 쌍을 이루며 섬형 반도체(154b) 상부에 위치한다.
- [0142] 반도체(151, 154b)와 저항성 접촉층(161, 165a, 163b, 165b)의 측면 역시 경사져 있으며 경사각은

30-80도이다.

- [0143] 저항성 접촉층(161, 165a, 163b, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(171)과 복수의 제1 드레인 전극(175a), 복수의 전원선(172) 및 제2 드레인 전극(175b)이 형성되어 있다.
- [0144] 데이터선(171) 및 전원선(172)은 세로 방향으로 뺨어 게이트선(121)과 교차하며 데이터 전압과 전원 전압을 각각 전달한다. 각 데이터선(171)에서 제1 드레인 전극(175a)을 향하여 뺨은 복수의 가지가 제1 소스 전극(173a)을 이루며 각 전원선(172)에서 제2 드레인 전극(175b)을 향하여 뺨은 복수의 가지가 제2 소스 전극(173b)을 이룬다. 한 쌍의 제1 및 제2 소스 전극(173a, 173b)과 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있으며 각각 제1 및 제2 게이트 전극(124a, 124b)에 대하여 서로 반대쪽에 위치되어 있다.
- [0145] 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 선형 반도체(151)의 돌출부(154a)와 함께 스위칭(switching)용 박막 트랜지스터를 이루며, 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 섬형 반도체(154b)와 함께 구동(driving)용 박막 트랜지스터를 이룬다. 이 때, 전원선(172)은 섬형 반도체(154b)의 유지 전극부(157)와 중첩되어 있다.
- [0146] 상기 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)은 삼중층으로 형성되어 있으며, 본 실시예에서는 몰리브덴-니오븀(MoNb)으로 이루어지는 제1 금속층(171p, 173ap, 173bp, 175ap, 175bp), 알루미늄 합금으로 이루어지는 제2 금속층(171q, 173aq, 173bq, 175aq, 175bq) 및 몰리브덴-니오븀(MoNb)으로 이루어지는 제3 금속층(171r, 173ar, 173br, 175ar, 175br)으로 형성되어 있다. 상기 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)도 게이트선(121)과 마찬가지로 그 측면이 약 30-80도의 각도로 각각 경사져 있다.
- [0147] 저항성 접촉층(161, 163b, 165a, 165b)은 그 하부의 선형 반도체(151) 및 섬형 반도체(154b)와 그 상부의 데이터선(171), 제1 드레인 전극(175a, 175b), 전원선(172) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151)는 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이, 데이터선(171) 및 제1 드레인 전극(175a)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 영역에서는 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만, 전술한 바와 같이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)으로 인한 단차 부분에서 데이터선(171)이 단선되는 것을 방지한다.
- [0148] 데이터선(171), 제1 및 제2 드레인 전극(175a, 175b) 및 전원선(172)과 노출된 반도체(151, 154b) 부분의 위에는 평탄화 특성이 우수하며 감광성을 가지는 유기물질 또는 플라즈마 화학 기상 증착(PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.
- [0149] 보호막(180)을 유기 물질로 형성하는 경우에는 선형 반도체(151) 및 섬형 반도체(154b)가 노출된 부분에 유기 물질이 직접 접촉하는 것을 방지하기 위하여 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>)로 이루어진 무기 절연막을 추가로 형성할 수 있다.
- [0150] 보호막(180)에는 제1 드레인 전극(175a), 제2 게이트 전극(124b), 제2 드레인 전극(175b) 및 게이트선의 확장부(125)와 데이터선의 확장부(179)를 각각 드러내는 복수의 접촉구(185, 183, 181, 182, 189)가 형성되어 있다.
- [0151] 보호막(180) 위에는 ITO 또는 IZO로 이루어지는 복수의 화소 전극(190), 복수의 연결부재(192) 및 복수의 접촉 보조 부재(196, 198)가 형성되어 있다.
- [0152] 화소 전극(190)은 접촉구(185)를 통하여 제2 드레인 전극(175b)과 각각 물리적·전기적으로 연결되어 있으며, 연결부재(192)는 접촉구(181, 183)를 통하여 제1 드레인 전극(175a)과 제2 게이트 전극(124b)을 연결한다. 접촉 보조 부재(196, 198)는 접촉 구멍(182, 189)을 통하여 게이트선의 확장부(125) 및 데이터선의 확장부(179)에 각각 연결되어 있다.
- [0153] 보호막(180) 상부에는, 유기 절연 물질 또는 무기 절연 물질로 이루어져 있으며 유기 발광 셀을 분리시키기 위한 격벽(803)이 형성되어 있다. 격벽(803)은 화소 전극(901) 가장자리 주변을 둘러싸서 유기 발광층(70)이 충전될 영역을 한정한다.
- [0154] 격벽(803)에 둘러싸인 화소 전극(901) 위의 영역에는 유기 발광층(70)이 형성되어 있다. 유기 발광층(70)은 적색(R), 녹색(G), 청색(B) 중 어느 하나의 빛을 내는 유기물질로 이루어지며, 적색, 녹색 및 청색의 유기 발광층

(70)이 순서대로 반복적으로 배치되어 있다.

- [0155] 격벽(803) 위에는, 격벽(803)과 동일한 모양의 패턴으로 이루어져 있으며 낮은 비저항을 가지는 도전 물질로 이루어진 보조 전극(272)이 형성되어 있다. 보조 전극(272)은 이후에 형성되는 공통 전극(270)과 접촉하여 공통 전극(270)의 저항을 감소시키는 역할을 한다.
- [0156] 격벽(803), 유기발광층(70) 및 보조 전극(272) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 알루미늄 등의 낮은 저항성을 가지는 금속으로 이루어져 있다. 여기서는 배면 발광형 유기 발광 표시 장치를 예시하고 있으나, 전면 발광형 유기 발광 표시 장치 또는 양면 발광형 유기 발광 표시 장치의 경우에는 공통 전극(270)이 ITO 또는 IZO 등의 투명한 도전 물질로 형성될 수도 있다.
- [0157] 이하, 도 11 내지 도 12b에 도시한 유기 발광 표시 장치용 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 13 내지 도 26b 및 도 11 내지 도 12b를 참조하여 상세히 설명한다.
- [0158] 먼저, 도 13 내지 도 14b에서 보는 바와 같이, 투명 유리 등으로 이루어진 절연 기판(110) 위에 게이트용 금속층을 적층한다. 상기 게이트용 금속층은 단일층으로 형성할 수도 있으나, 본 실시예에서는 알루미늄 합금(Al-alloy)으로 이루어진 제1 금속층과 몰리브덴 합금(Mo-alloy)으로 이루어진 제2 금속층을 형성하였다. 이 때, 상기 제1 금속층은 1000 내지 5000Å의 두께로 형성하며, 상기 제2 금속층은 50 내지 2000Å의 두께로 형성하였다.
- [0159] 그 다음, 인산 67중량%, 질산 6중량%, 아세트산 10중량%, 질산칼륨(KNO<sub>3</sub>) 1중량%, 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 1중량%, 황화수소암모늄(NH<sub>4</sub>HS) 1중량%, 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 1중량% 및 잔량의 탈염수를 포함하는 식각액을 분무(spray) 방식으로 상기 제1 금속층 및 제2 금속층 위에 적용하여 식각하였다. 상기 식각은 약 30 내지 45℃에서 약 30 내지 200초 동안 수행하였다.
- [0160] 상기와 같은 식각액을 이용하여 게이트용 패턴을 형성하는 경우, 상술한 바와 같이 갈바닉 효과를 감소시켜 양호한 프로파일을 가진 패턴을 형성할 수 있을 뿐만 아니라, 표면 개질 효과에 따라 기판 전면에 걸쳐 식각 균일성을 향상시킬 수 있다.
- [0161] 이에 따라, 도 13 내지 14b에서 보는 바와 같이, 오버행 또는 언더컷이 전혀 발생하지 않는 우수한 프로파일을 나타내는 복수의 게이트 전극(124a)을 포함하는 게이트선(121)과 제2 게이트 전극(124b) 및 유지 전극(133)을 형성하였다.
- [0162] 다음, 도 15 내지 도 16b에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층, 불순물 비정질 규소층의 삼중막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사인 식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154a)를 각각 포함하는 선형 반도체(151) 및 섬형 반도체(154b)를 형성하였다. 게이트 절연막(140)의 재료로는 질화규소(SiN<sub>x</sub>)가 바람직하며, 적층 온도는 약 250~500℃, 두께는 약 2,000 내지 5,000Å 정도가 바람직하다.
- [0163] 다음, 도 17 내지 도 18b에 도시한 바와 같이, 몰리브덴 합금으로 이루어진 제1 금속층(171p, 173ap, 173bp, 175ap, 175bp), 알루미늄 또는 알루미늄 합금으로 이루어진 제2 금속층(171q, 173aq, 173bq, 175aq, 175bq) 및 몰리브덴 합금으로 이루어진 제3 금속층(171r, 173ar, 173br, 175ar, 175br)을 순차적으로 적층하고, 그 상부에 감광막을 형성하고 이를 식각 마스크로 도전막을 패터닝하여 복수의 제1 소스 전극(173a)을 가지는 복수의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)을 형성하였다.
- [0164] 이 경우, 삼중층의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)은 상기 게이트선(121)과 동일한 식각액 및 식각 조건 하에서 사인 식각 공정을 수행하였다. 그 결과, 삼중층의 데이터선(171), 복수의 제1 및 제2 드레인 전극(175a, 175b) 및 복수의 제2 소스 전극(173b)을 가지는 전원선(172)은 40 내지 60도 정도의 양호한 경사각을 나타냈으며, 다른 금속층과의 식각 속도의 차이로 인하여 발생하는 언더컷 또는 오버행과 같은 불량한 프로파일은 형성하지 않았다. 더욱이, 금속 내에 얼룩이 거의 발견되지 않았다.
- [0165] 이어서, 데이터선(171), 전원선(172) 및 제1 및 제2 드레인 전극(175a, 175b) 상부의 감광막을 제거하거나 그대로 둔 상태에서, 노출된 불순물 반도체(164) 부분을 제거함으로써 복수의 돌출부(163a)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉층(165a, 165b, 163b)을 완성하는 한편, 그 아래의 선형

진성 반도체(151) 및 섬형 진성 반도체(154b) 일부분을 노출시켰다.

- [0166] 이어, 진성 반도체(151, 154b)의 노출된 표면을 안정화시키기 위하여 산소(O<sub>2</sub>) 플라즈마를 뒤이어 실시하는 것이 바람직하다.
- [0167] 다음으로, 도 19 내지 도 20b에서 보는 바와 같이, 유기 절연 물질 또는 무기 절연 물질을 도포하여 보호막(180)을 형성하고, 사진 공정으로 건식 식각하여 복수의 접촉구(189, 185, 183, 181, 182)를 형성하였다. 접촉구(181, 182, 185, 183, 189)는 제1 및 제2 드레인 전극(175a, 175b), 제2 게이트 전극(124b)의 일부, 게이트선의 확장부(125) 및 데이터선의 확장부(179)를 드러내었다.
- [0168] 다음, 도 21 내지 도 22b에 도시한 바와 같이, 화소 전극(190), 연결 부재(192) 및 접촉 보조 부재(196, 198)를 ITO 또는 IZO로 형성하였다. 상기 화소 전극(190)도 상기 게이트선(121) 및 데이터선(171)과 마찬가지로, 인산 67중량%, 질산 6중량%, 아세트산 10중량%, 질산칼륨(KNO<sub>3</sub>) 1중량%, 아세트산칼륨(KC<sub>2</sub>H<sub>3</sub>O<sub>2</sub>) 1중량%, 황화수소암모늄(NH<sub>4</sub>HS) 1중량%, 2,6-피리딘디메탄올(C<sub>7</sub>H<sub>9</sub>NO<sub>2</sub>) 1중량% 및 잔량의 물을 포함하는 식각액을 이용하여 동일한 식각 조건 하에 사진 식각 공정을 수행하였다. 이 경우, 화소 전극(190) 패턴은 약 40-50도 정도의 양호한 경사각을 가지며, CD 오차값은 0.2 내지 0.3 $\mu$ m 정도의 미세한 값만을 나타내었다.
- [0169] 이어, 도 23 내지 26b에서 보는 바와 같이, 하나의 마스크를 이용한 사진 식각 공정으로 격벽(803)과 보조 전극(272)을 형성하고, 도 11 내지 도 12b에 도시한 바와 같이 유기 발광층(70)과 공통 전극(270)을 형성하였다.
- [0170] 본 실시예에서는 게이트 전극(124a)을 포함하는 게이트선(121), 소스 전극(173a, 173b)을 포함하는 데이터선(171)과 드레인 전극(175a, 175b) 및 화소 전극(190)에 대하여 동일한 식각액을 이용하여 동일 조건 하에서 식각한 결과, 제조 비용 및 시간을 감소시키면서도 우수한 프로파일을 가진 배선을 형성할 수 있었다.

**발명의 효과**

- [0171] 상기와 같이, 본 발명에 따른 식각액 조성물을 이용하여 게이트 배선, 데이터 배선 및 화소 전극을 식각하는 경우, 상기 배선을 동일한 식각액으로 동일 조건하에서 식각할 수 있어서 제조 공정 및 비용을 최소화할 수 있으면서도 언더컷 및 오버행이 발생함없이 우수한 프로파일을 가진 배선을 얻을 수 있다.

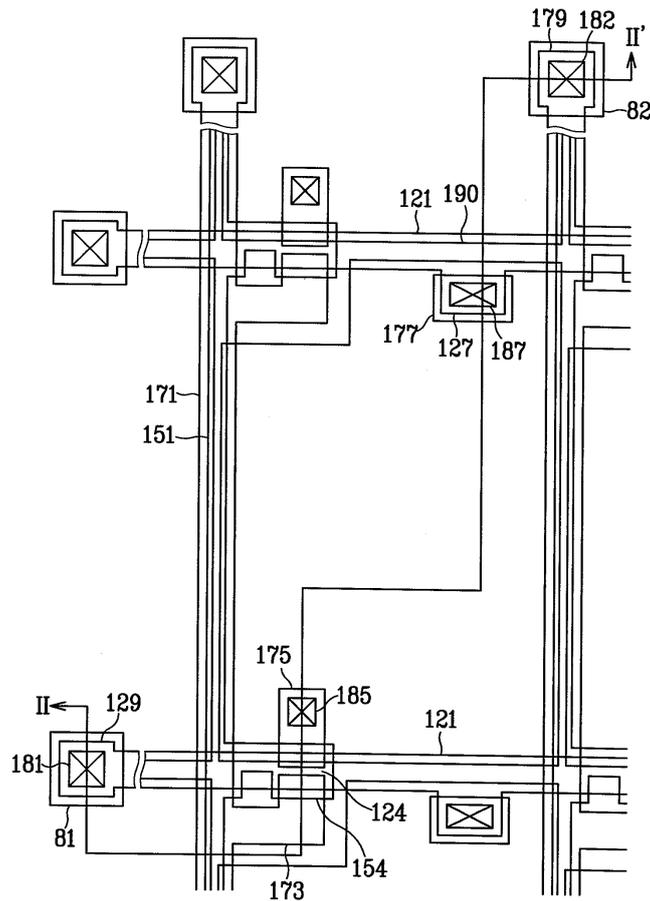
**도면의 간단한 설명**

- [0001] 도 1은 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0002] 도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선을 따라 자른 단면도이고,
- [0003] 도 3a, 도 4a, 도 5a 및 도 6a는 본 발명의 제4 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순차적으로 도시한 박막 트랜지스터 표시판의 배치도이고,
- [0004] 도 3b는 도 3a의 IIIb-IIIb' 선을 따라 자른 단면도이고,
- [0005] 도 4b는 도 4a의 IVb-IVb' 선을 따라 자른 단면도이고,
- [0006] 도 5b는 도 5a의 Vb-Vb' 선을 따라 자른 단면도이고,
- [0007] 도 6b는 도 6a의 VIb-VIb' 선을 따라 자른 단면도이고,
- [0008] 도 7은 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
- [0009] 도 8은 도 7의 VIII-VIII' 선을 따라 자른 단면도이고,
- [0010] 도 9a 및 도 10a는 본 발명의 제5 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 순차적으로 도시한 단면도이고,
- [0011] 도 9b는 도 9a의 IXb-IXb' 선을 따라 자른 단면도이고,
- [0012] 도 10b는 도 10a의 Xb-Xb' 선을 따라 자른 단면도이고,
- [0013] 도 11은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

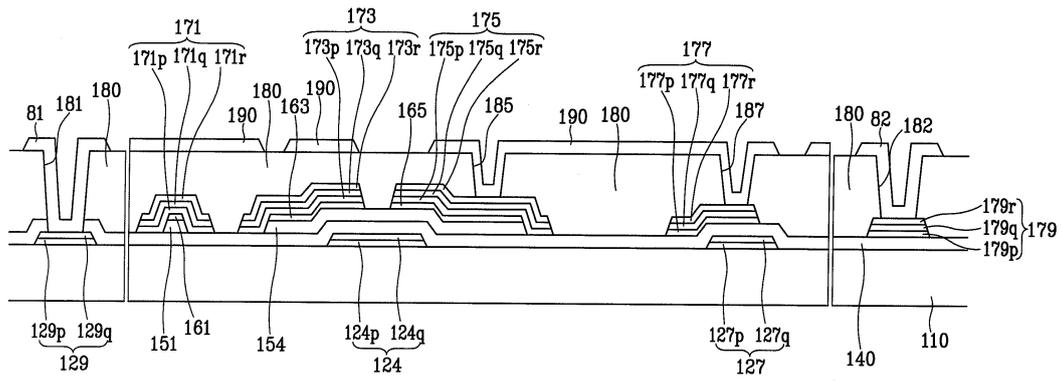
- [0014] 도 12a 및 도 12b는 도 11의 XIIa-XIIa' 및 XIIb-XIIb'선을 따라 자른 단면도이고,
- [0015] 도 13, 도 15, 도 17, 도 19, 도 21, 도 23 및 도 25는 유기 발광 표시 장치용 박막 트랜지스터 표시판의 제조 방법을 순차적으로 보여주는 배치도이고,
- [0016] 도 14a, 도 14b, 도 16a, 도 16b, 도 18a, 도 18b, 도 20a, 도 20b, 도 22a, 도 22b, 도 24a, 도 24b, 도 26a, 도 26b는 유기 발광 표시 장치용 박막 트랜지스터 표시판의 제조 방법을 순차적으로 보여주는 단면도이고,
- [0017] 도 27은 비교예 1에 따른 식각액 조성물을 이용하여 형성한 게이트 배선(a) 및 비교예 3에 따른 식각액 조성물을 이용하여 형성한 데이터 배선(b)의 단층 사진이고,
- [0018] 도 28은 본 발명에 따른 상기 실시예 2에 따른 식각액 조성물을 이용하여 형성한 게이트 배선(a), 데이터 배선(b) 및 화소 전극(c)의 단층 사진이다.

**도면**

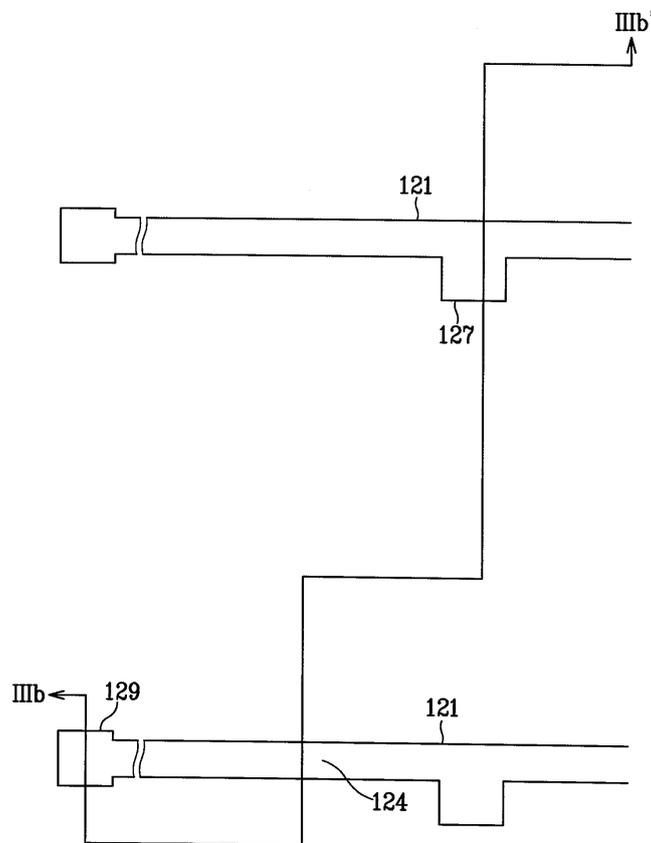
**도면1**



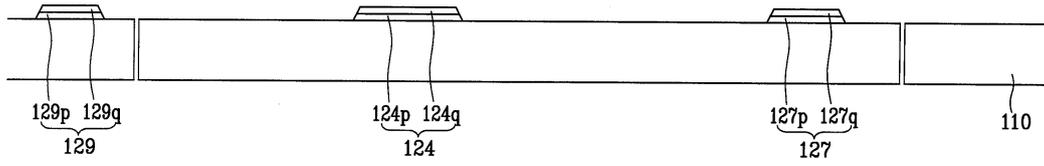
도면2



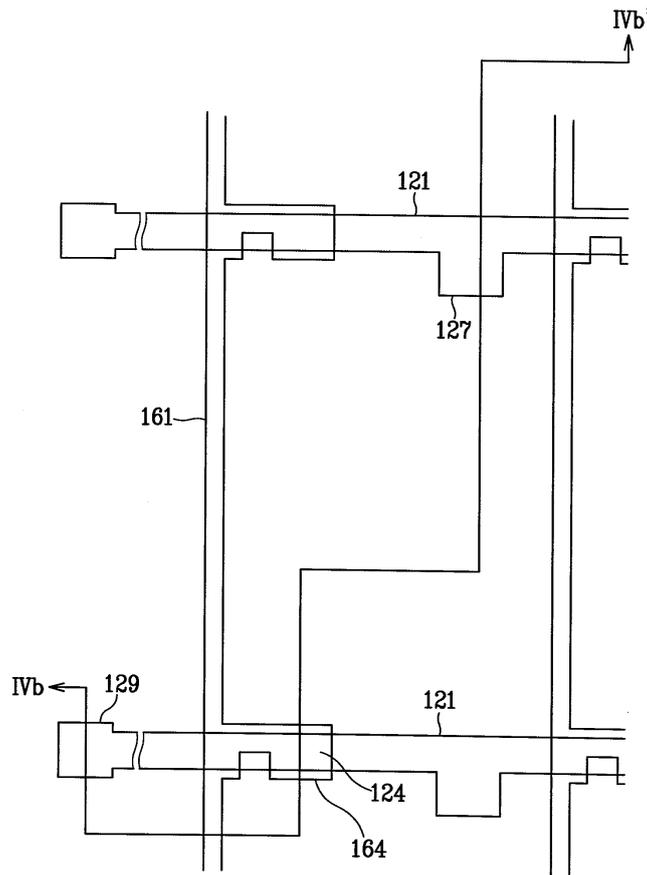
도면3a



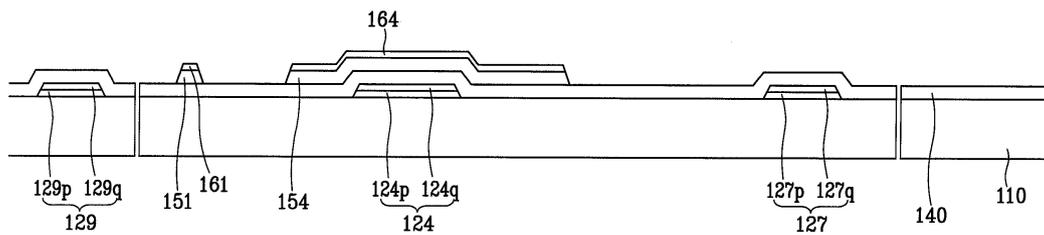
도면3b



도면4a

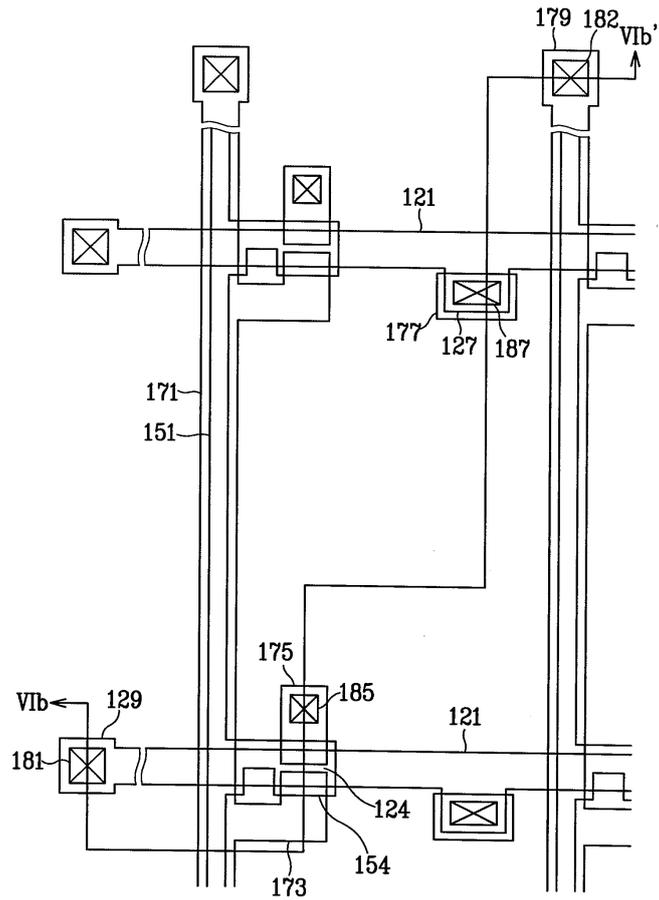


도면4b

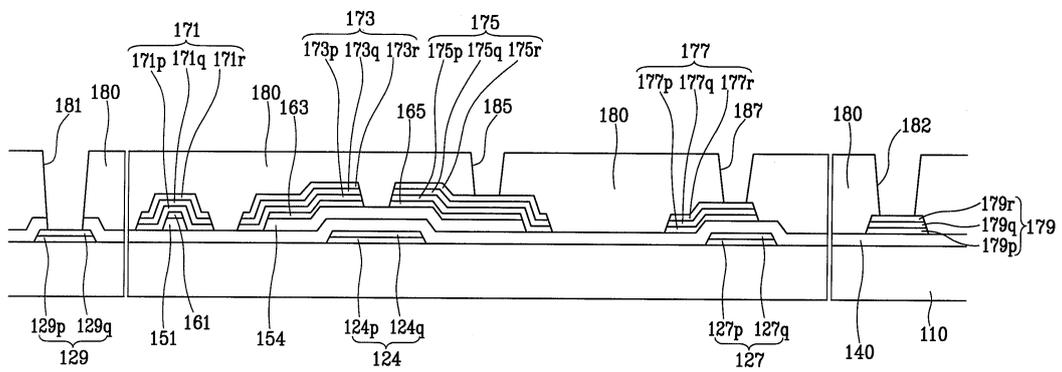




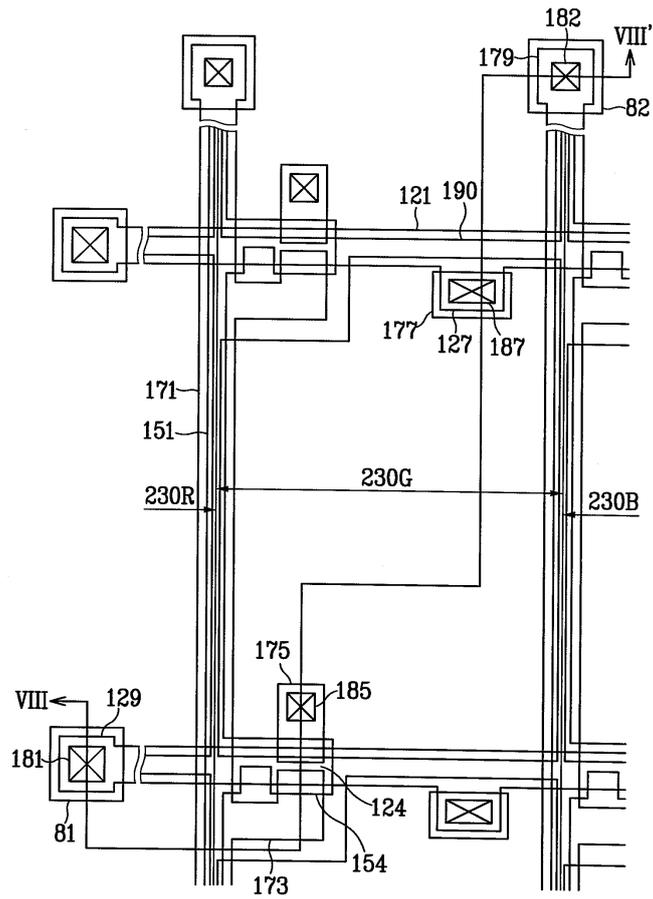
도면6a



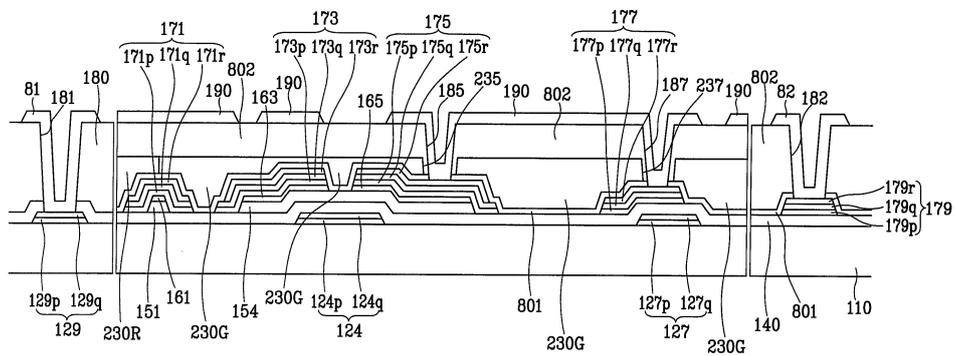
도면6b



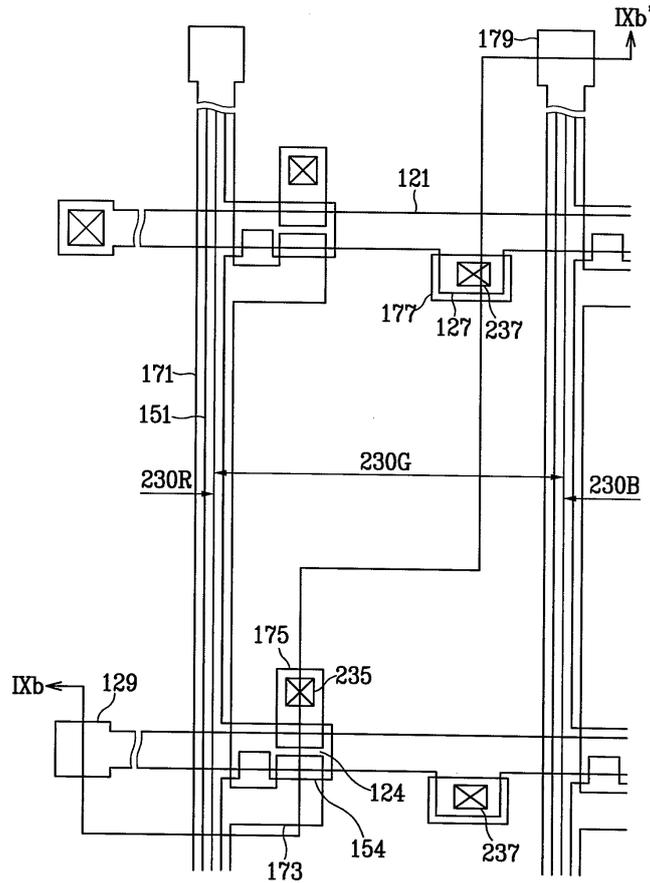
도면7



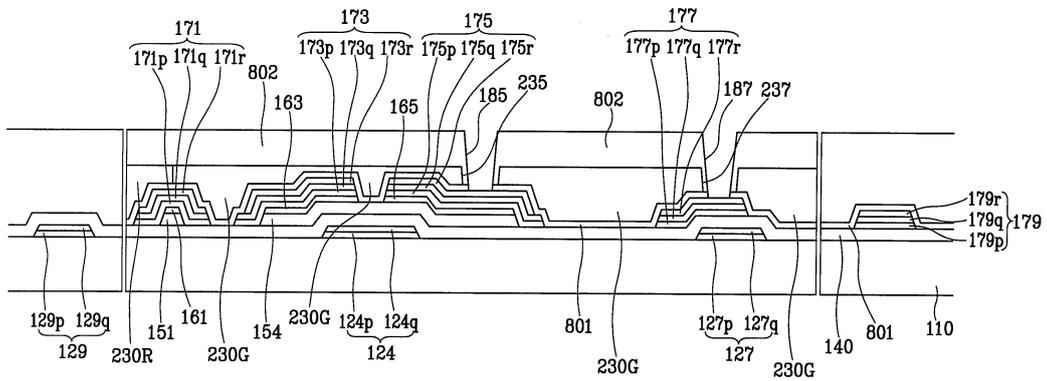
도면8



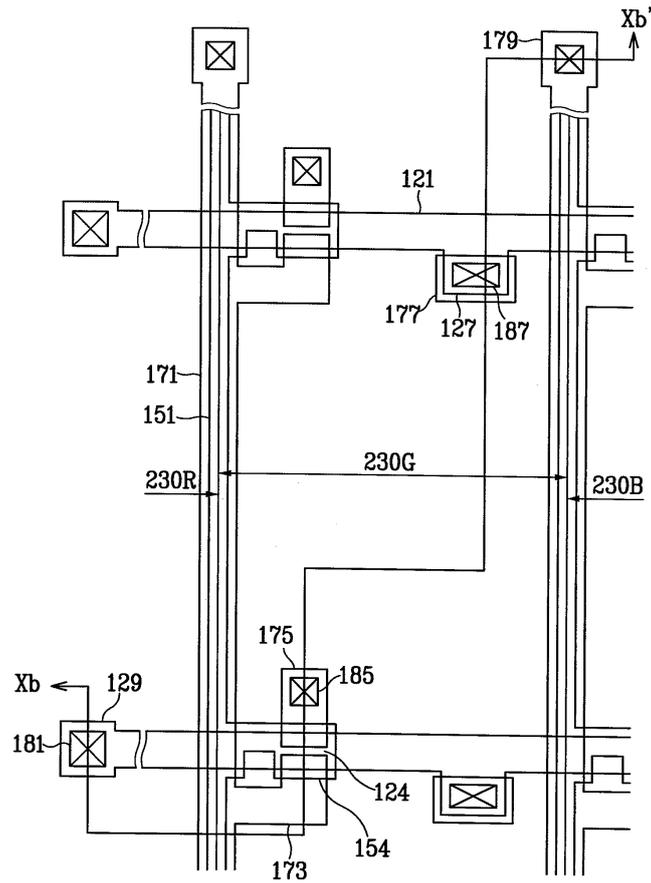
도면9a



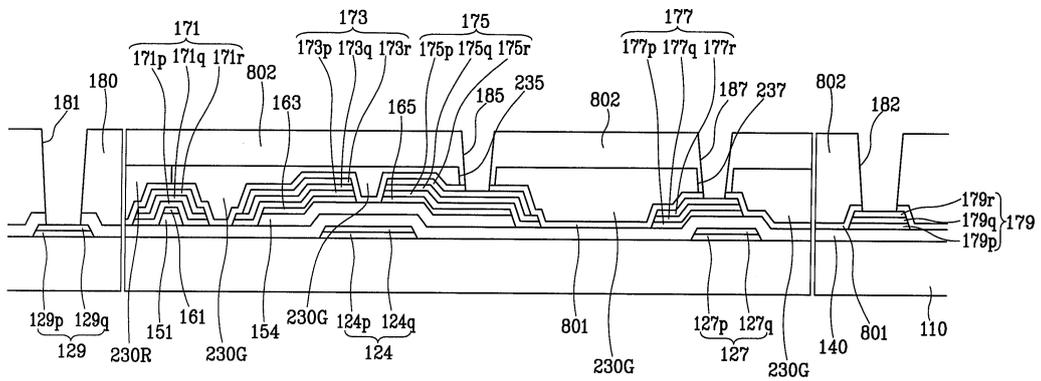
도면9b



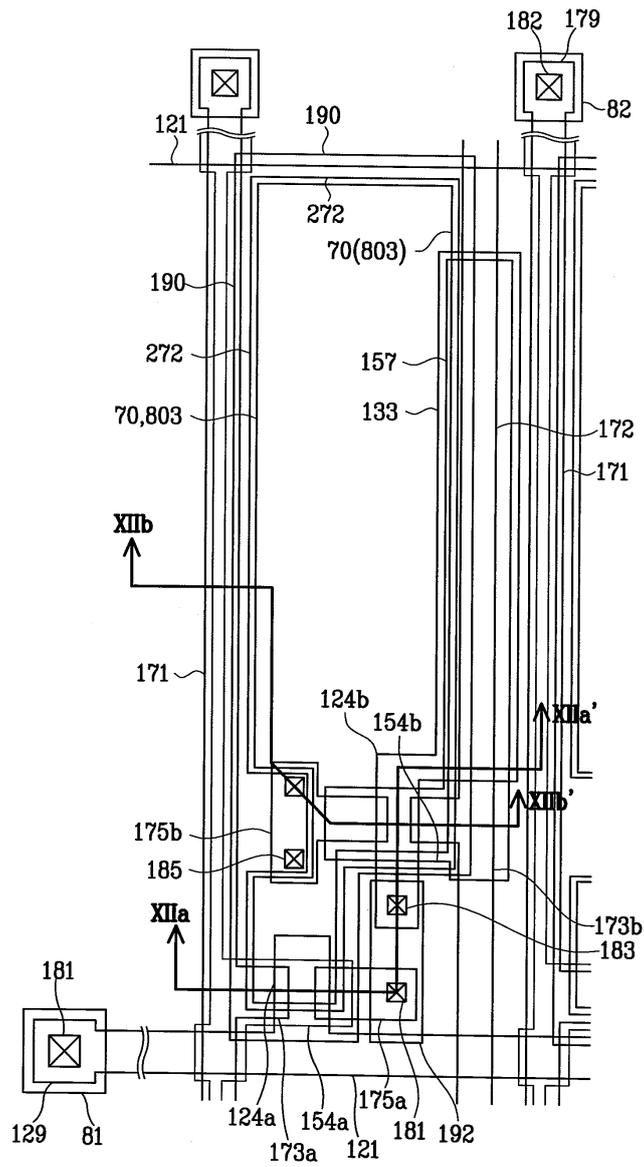
도면10a



도면10b

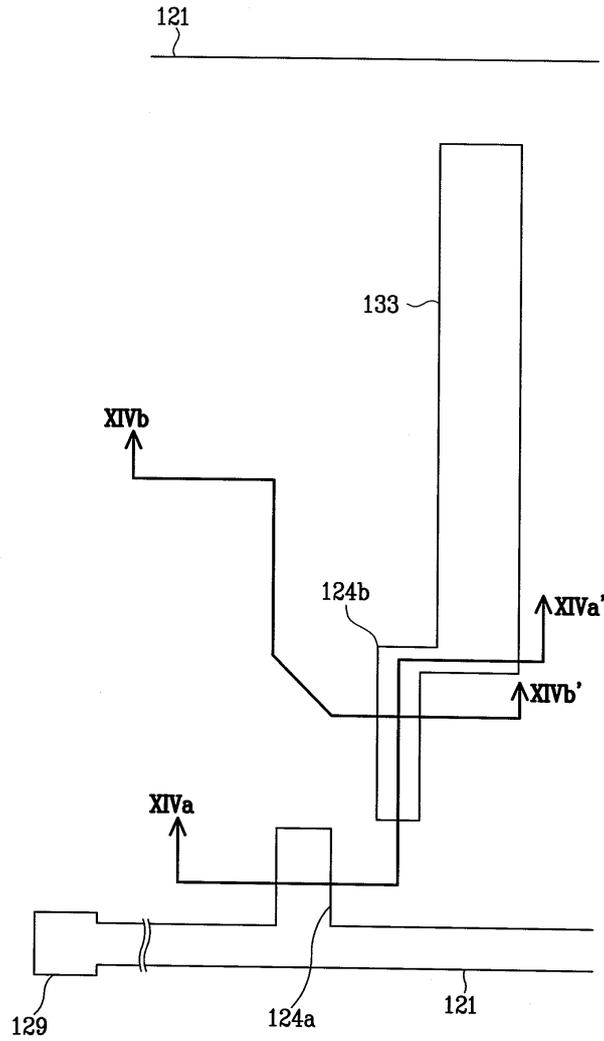


도면11

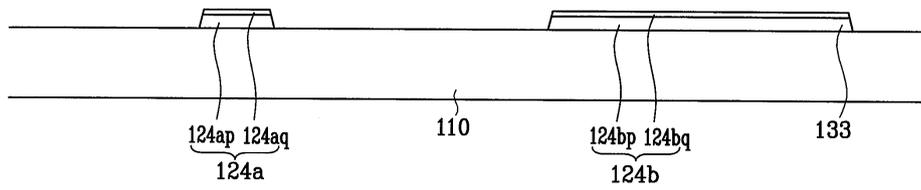




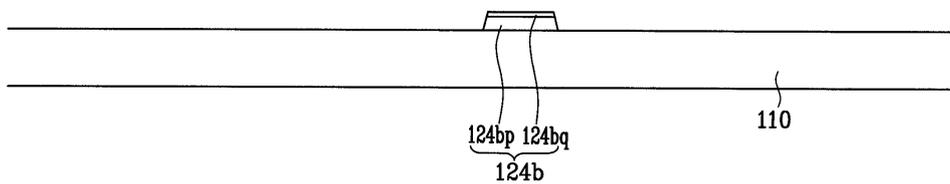
도면13



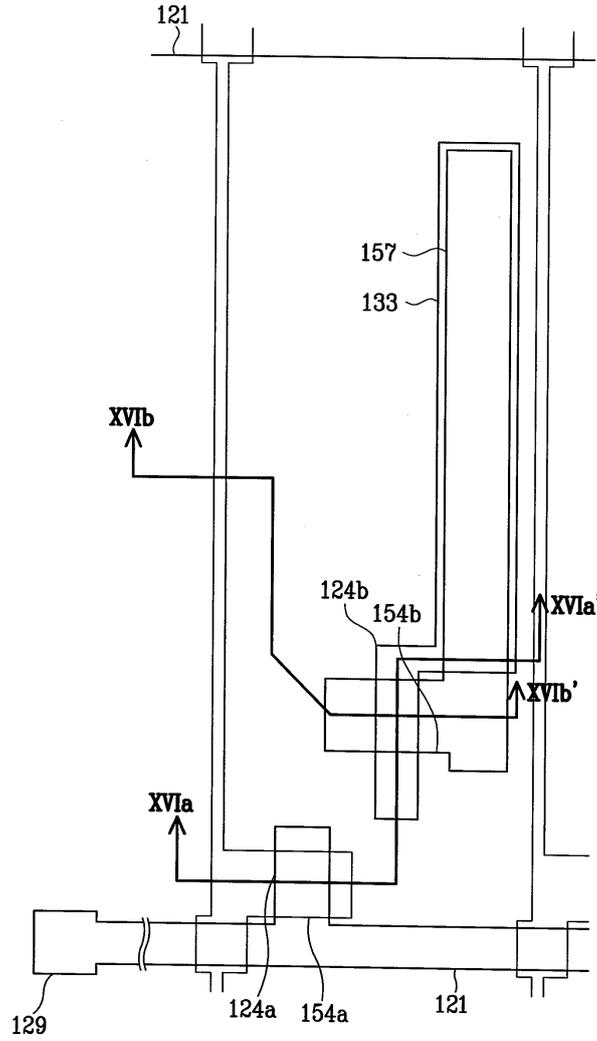
도면14a



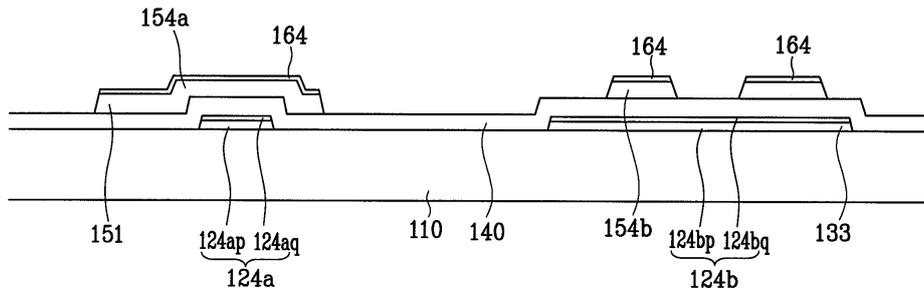
도면14b



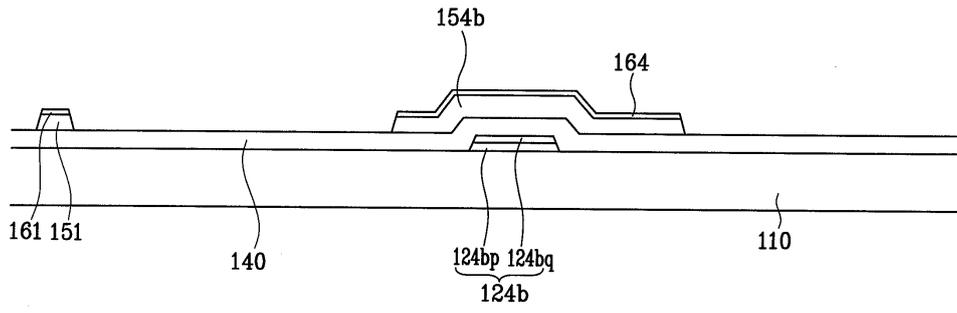
도면15



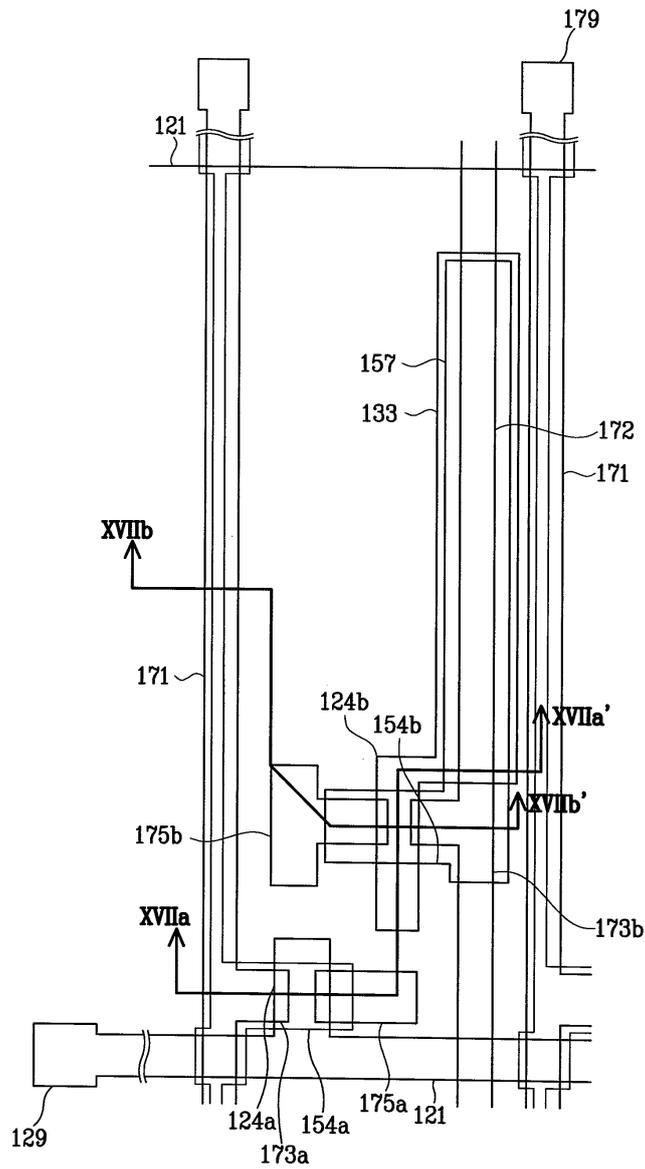
도면16a



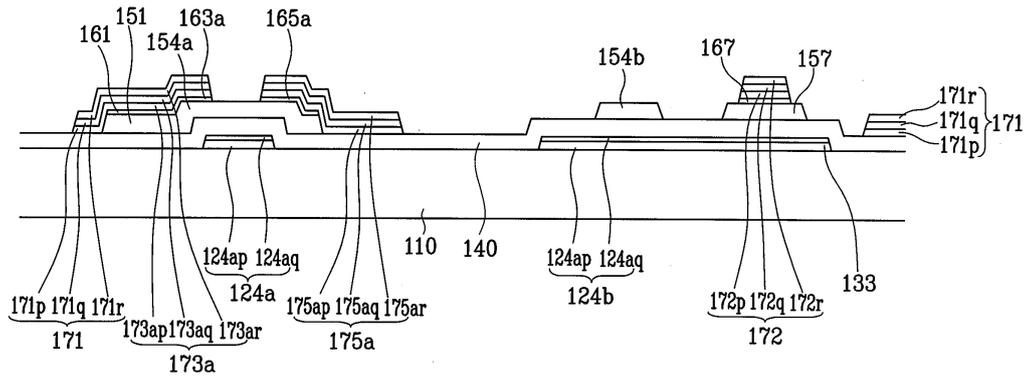
도면16b



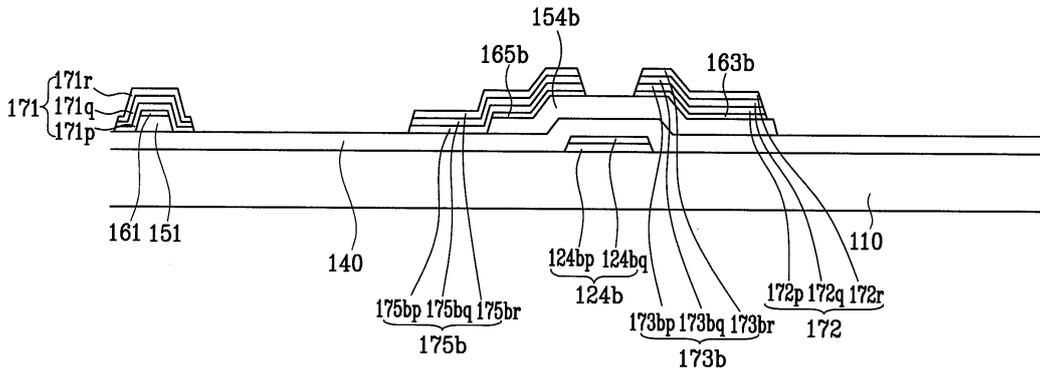
도면17



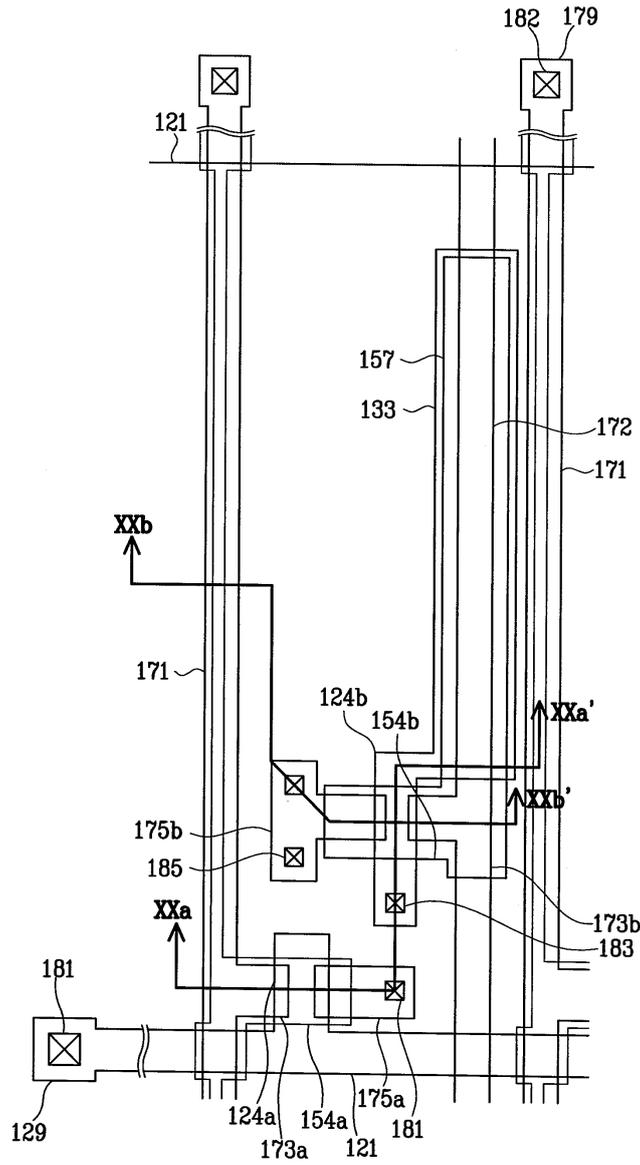
도면18a



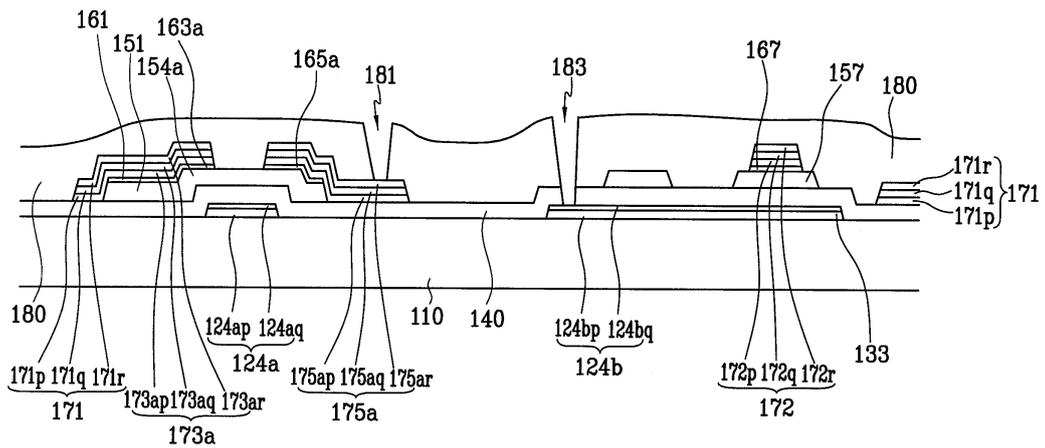
도면18b



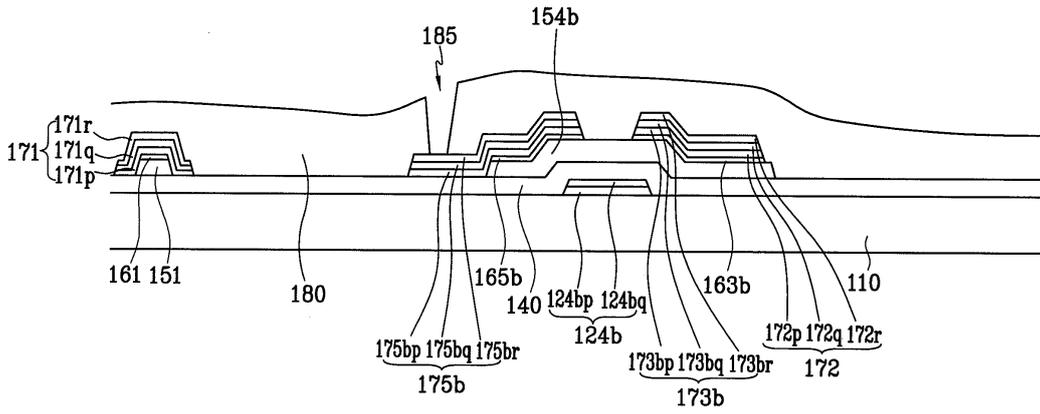
도면19



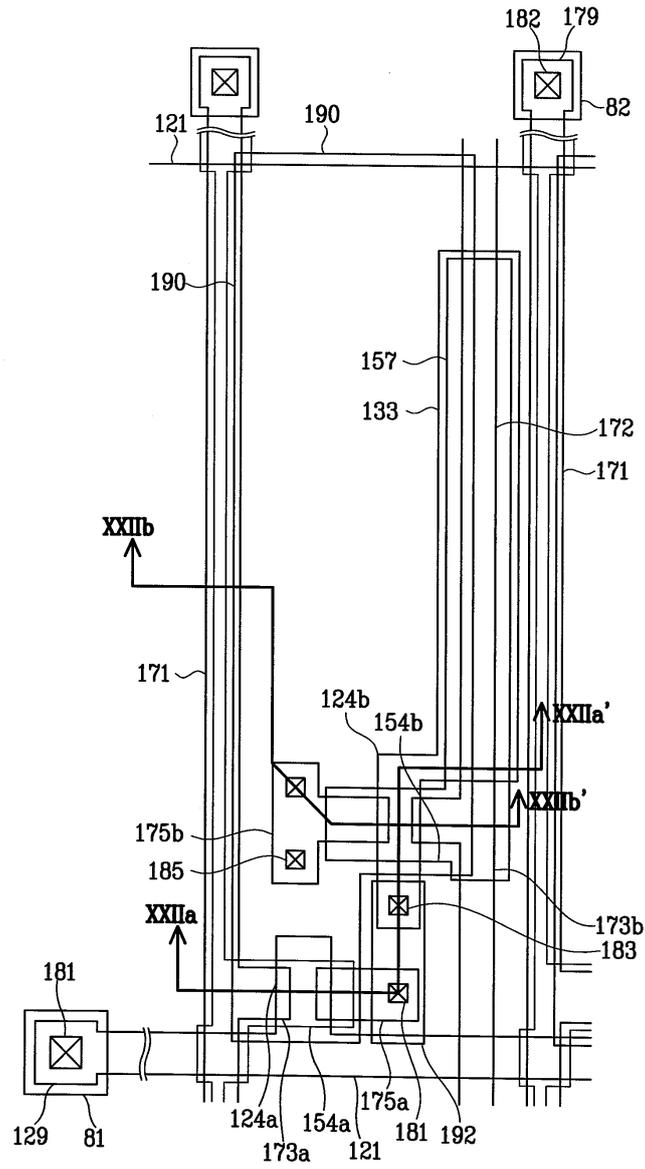
도면20a



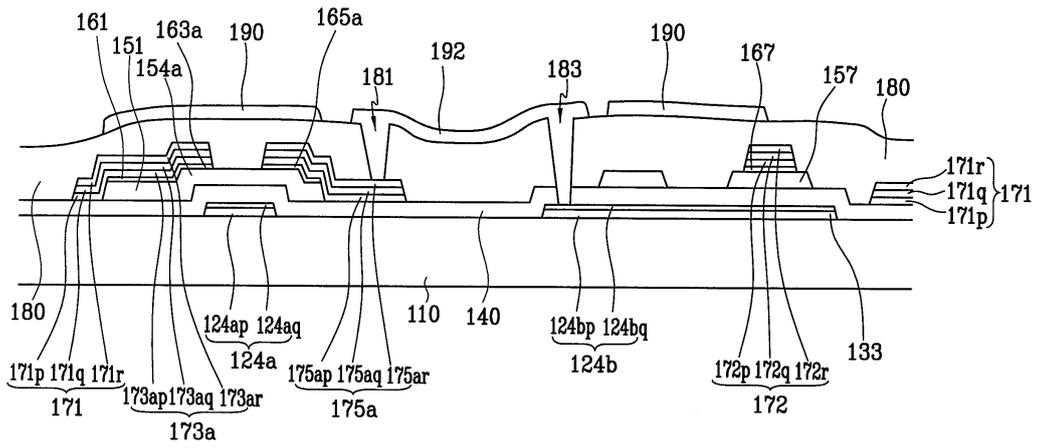
도면20b



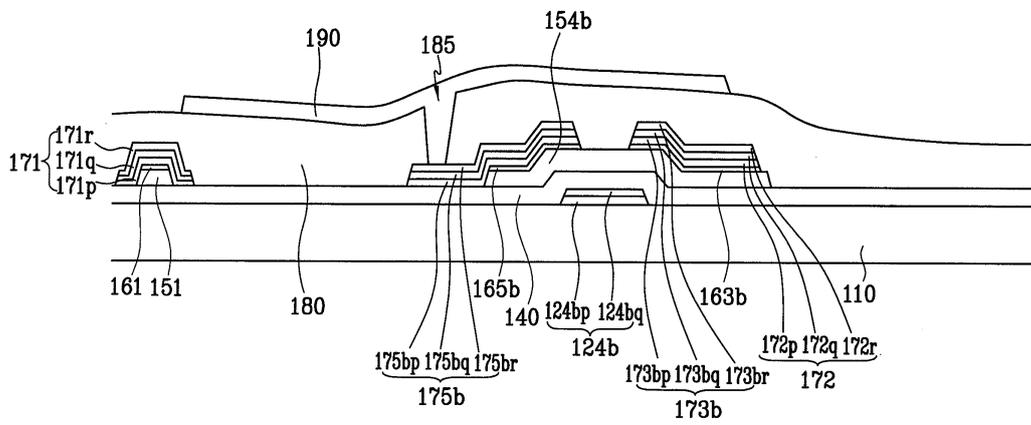
도면21



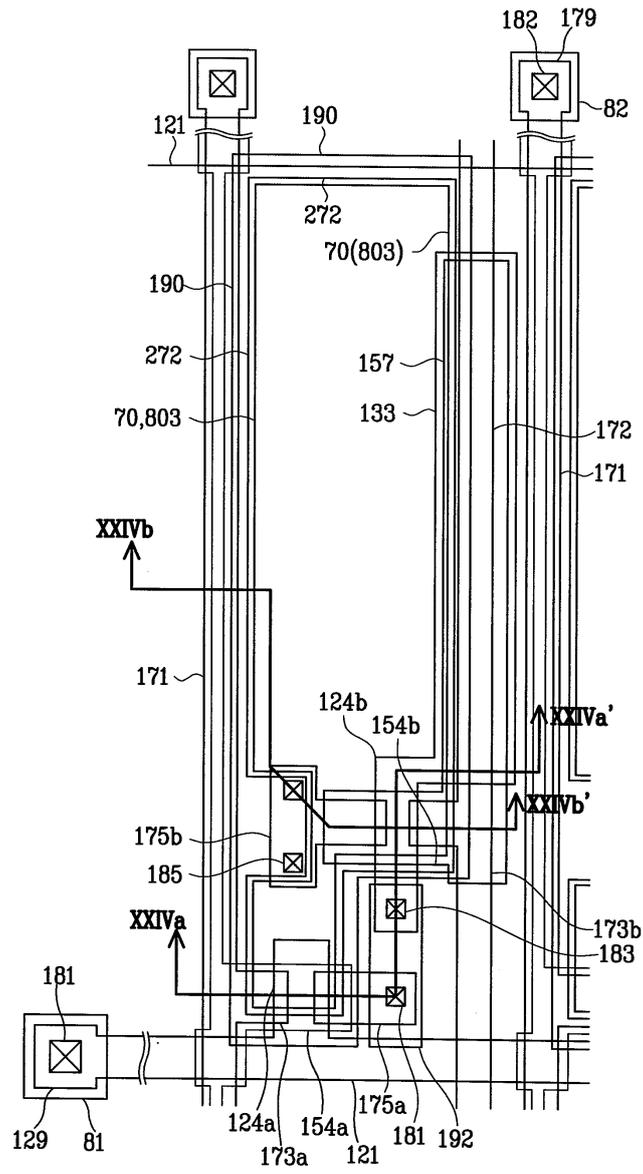
도면22a



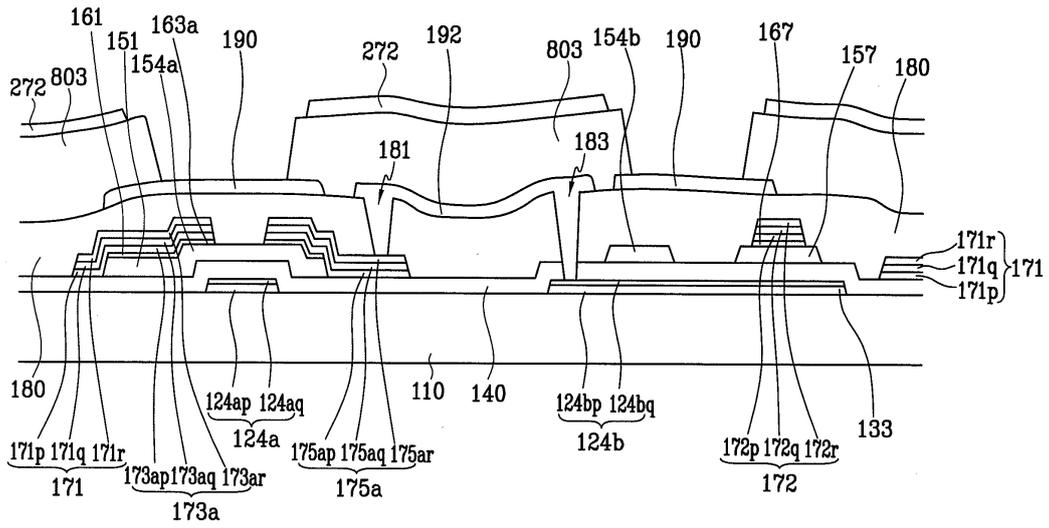
도면22b



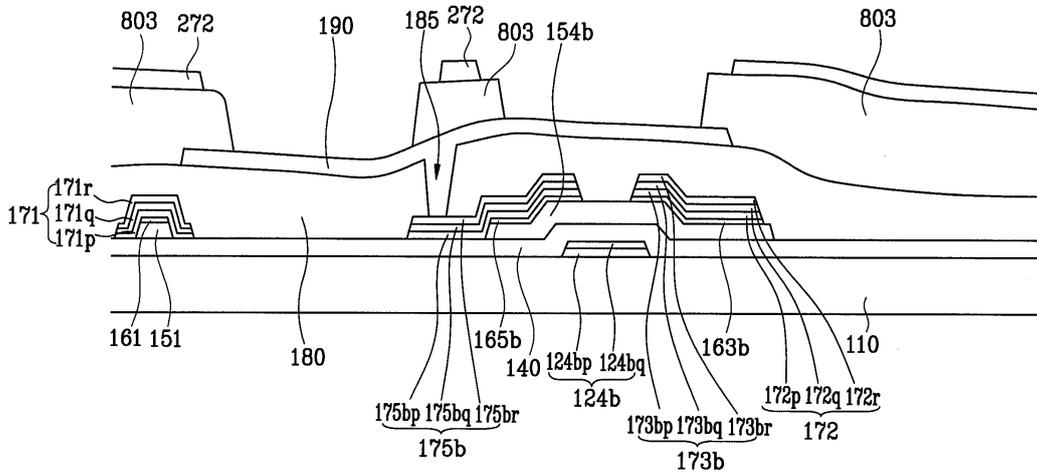
도면23



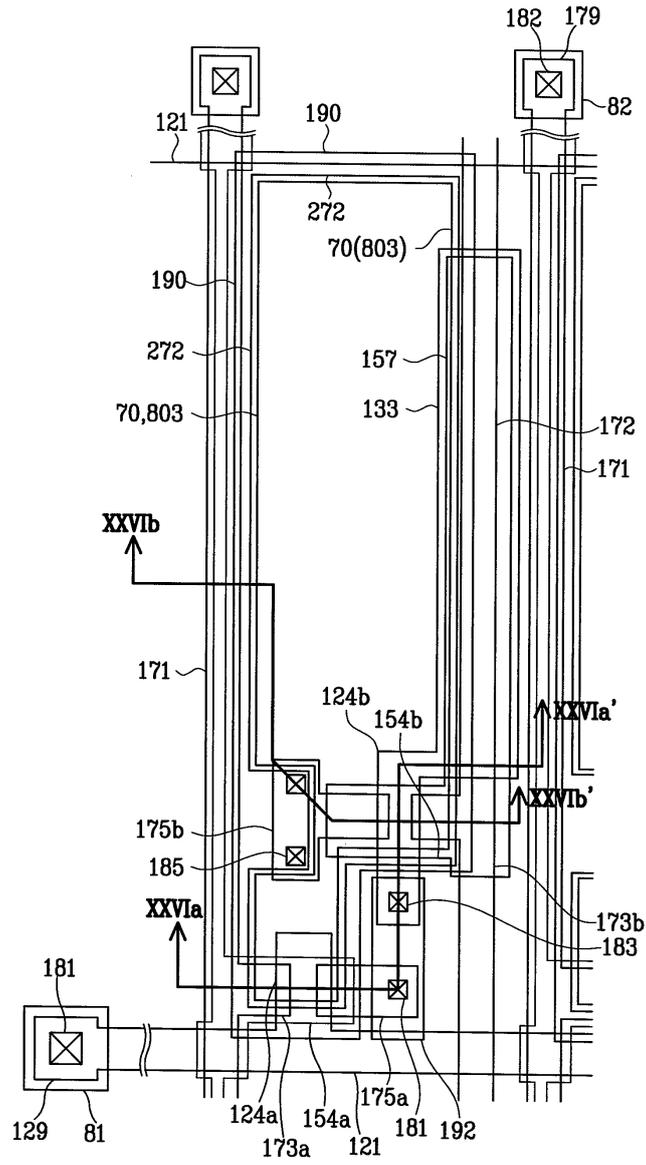
도면24a



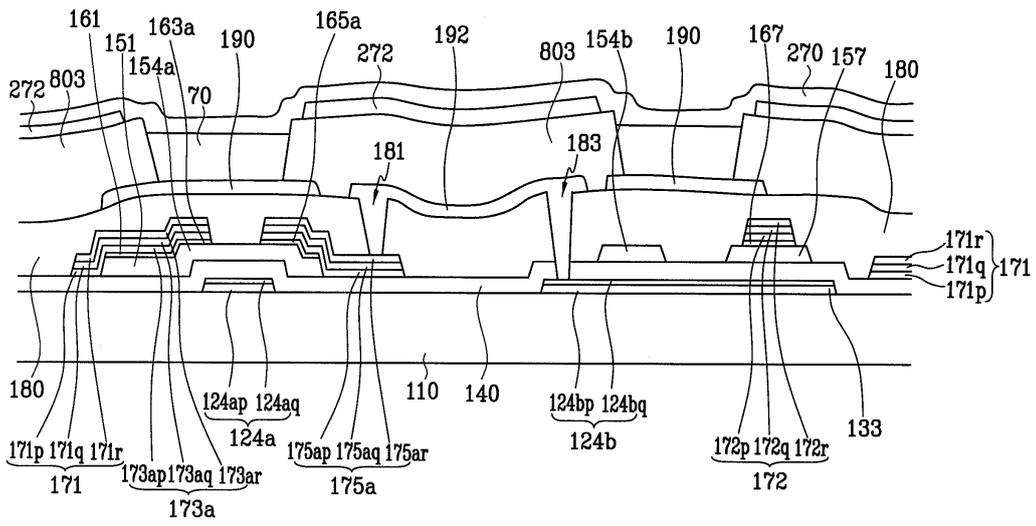
도면24b



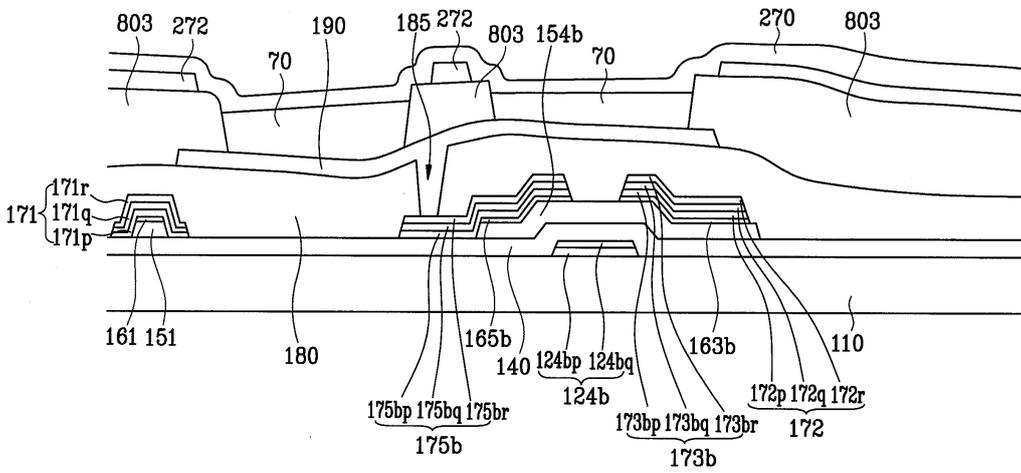
도면25



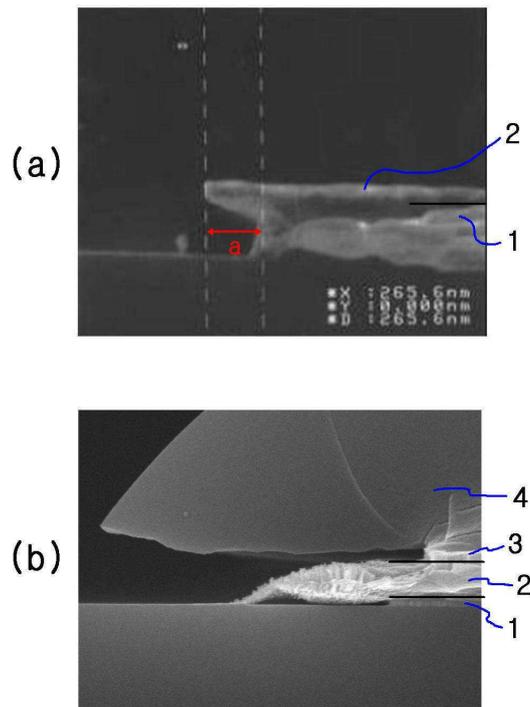
도면26a



도면26b



도면27



도면28

