



(12) 发明专利申请

(10) 申请公布号 CN 117878115 A

(43) 申请公布日 2024. 04. 12

(21) 申请号 202311652732.4

(22) 申请日 2023.12.01

(71) 申请人 深圳市国微电子有限公司

地址 518000 广东省深圳市南山区高新南一道015号国微研发大厦六层A

(72) 发明人 李会羽 董小雨 陈锡均 黄曦原

(74) 专利代理机构 深圳中一联合知识产权代理有限公司 44414

专利代理师 阳方玉

(51) Int. Cl.

H01L 27/02 (2006.01)

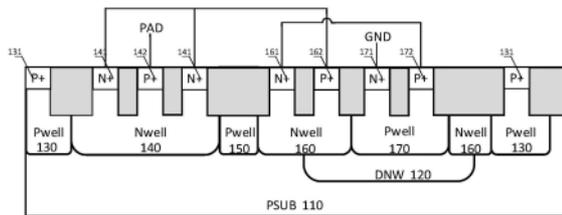
权利要求书2页 说明书8页 附图3页

(54) 发明名称

DCSCR器件的结构、制造方法及电子设备

(57) 摘要

一种DCSCR器件的结构、制造方法及电子设备,属于半导体技术领域,通过第一阱位于衬底上表面;第一阱为闭合的方环;第二阱、第三阱和第四阱设置于第一阱中且从第一侧至第二侧依次设置;第四阱为闭合的方环;深阱的上表面的边缘与第四阱的底部接触;第五阱位于深阱上表面且设置于第四阱中;第一有源区和第二有源区设置于第一阱中;第三有源区和第四有源区位于第二阱中且从外至内依次设置;第三有源区为闭合的方环状;第五有源区和第六有源区设置于第四阱中;第七有源区和第八有源区设置于第五阱中;从而形成3个ESD泄放路径,增大触发电压,提高过流能力的同时,减小导通电阻、钳位电压和版图面积,减少了门锁效应的可能性。



1. 一种DCSCR器件的结构,其特征在于,包括:
 - 衬底以及位于所述衬底中的深阱;
 - 位于所述衬底上表面的第一阱;所述第一阱为闭合的方环;
 - 设置于所述第一阱中且从第一侧至第二侧依次设置的第二阱、第三阱和第四阱;所述第四阱为闭合的方环;所述深阱的上表面的边缘与所述第四阱的底部接触;
 - 位于所述深阱上表面且设置于所述第四阱中的第五阱;
 - 设置于所述第一阱中的第一有源区和第二有源区;
 - 位于所述第二阱中且从外至内依次设置的第三有源区和第四有源区;所述第三有源区为闭合的方环状;
 - 设置于所述第四阱中的第五有源区和第六有源区;
 - 设置于所述第五阱中的第七有源区和第八有源区;
 - 所述衬底、所述第一阱、所述第三阱、所述第五阱、第一有源区、第四有源区、第六有源区、第八有源区的掺杂类型为第一类型;
 - 所述深阱、所述第二阱、所述第四阱、第二有源区、第三有源区、第五有源区、第七有源区的掺杂类型为第二类型;所述第一类型与所述第二类型不同。
2. 如权利要求1所述的DCSCR器件的结构,其特征在于,所述第一有源区与所述第二有源区在所述第二阱的第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个所述第一有源区与 $m/2$ 个所述第二有源区,其中 m 是偶数。
3. 如权利要求1所述的DCSCR器件的结构,其特征在于,所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间均设置浅沟槽隔离;所述浅沟槽隔离为绝缘物质。
4. 如权利要求1所述的DCSCR器件的结构,其特征在于,所述第一类型掺杂为P掺杂,所述第二类型掺杂为N掺杂。
5. 如权利要求1所述的DCSCR器件的结构,其特征在于,所述DCSCR器件的线宽为40nm。
6. 如权利要求1所述的DCSCR器件的结构,其特征在于,所述第四有源区作为DCSCR器件的阳极;所述第一有源区、所述第二有源区、所述第七有源区接地且作为DCSCR器件的阴极;所述第三有源区与所述第六有源区电连接;所述第五有源区与所述第八有源区电连接。
7. 一种DCSCR器件的制造方法,其特征在于,所述制造方法包括:
 - 在所述衬底中形成的深阱;
 - 在所述衬底上表面从第一侧至第二侧依次形成第一阱、第二阱、第三阱,所述第一阱为闭合的方环;在所述深阱的左侧与衬底交界处,同时向衬底和所述深阱边界处注入离子以形成第四阱,所述第四阱为闭合的方环;在所述深阱中形成第五阱;所述第二阱、所述第三阱和所述第四阱位于所述第一阱中;
 - 在所述第一阱中形成第一有源区和第二有源区,在所述第二阱中从外至内依次形成第三有源区和第四有源区,所述第三有源区为闭合的方环状;在所述第四阱中形成第五有源区和第六有源区,且在在所述第五阱中形成第七有源区和第八有源区;
 - 其中,所述衬底、所述第一阱、所述第三阱、所述第五阱、第一有源区、第四有源区、第六

有源区、第八有源区的掺杂类型为第一类型；

所述深阱、所述第二阱、所述第四阱、第二有源区、第三有源区、第五有源区、第七有源区的掺杂类型为第二类型；第一类型与所述第二类型不同。

8. 根据权利要求7所述的DCSCR器件的制造方法,其特征在于,第一有源区与第二有源区在所述第二阱第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个所述第一有源区与 $m/2$ 个所述第二有源区,其中 m 是偶数。

9. 根据权利要求7所述的DCSCR器件的制造方法,其特征在于,所述在所述第一阱中形成第一有源区和第二有源区,在所述第二阱中从外至内依次形成第三有源区和第四有源区,所述第三有源区为闭合的方环状;在所述第四阱中形成第五有源区和第六有源区,且在在所述第五阱中形成第七有源区和第八有源区的步骤之后还包括:

在所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间形成浅沟槽隔离;所述浅沟槽隔离为绝缘物质。

10. 如权利要求7所述的DCSCR器件的制造方法,其特征在于,所述在所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间形成浅沟槽隔离的步骤之后还包括:

在所述第四有源区上表面形成第一金属层以作为DCSCR器件的阳极;所述第一有源区、所述第二有源区、所述第七有源区的上表面形成第二金属层且接地作为DCSCR器件的阴极;所述第三有源区与所述第六有源区通过金属电连接;所述第五有源区与所述第八有源区通过金属电连接。

11. 根据权利要求7所述的DCSCR器件的制造方法,其特征在于,所述第一类型掺杂为P掺杂,所述第二类型掺杂为N掺杂。

12. 根据权利要求7所述的DCSCR器件的制造方法,其特征在于,采用40nm线宽的工艺。

13. 如权利要求7所述的DCSCR器件的制造方法,其特征在于,所述有源区、所述阱区、所述深阱通过离子注入或扩散形成。

14. 一种DCSCR组件,其特征在于,所述DCSCR组件包括并联连接的多个如权利要求1至6任意一项所述的DCSCR器件的结构。

15. 一种电子设备,其特征在于,所述电子设备包括如权利要求1至6任意一项所述的DCSCR器件的结构。

DCSCR器件的结构、制造方法及电子设备

技术领域

[0001] 本申请属于半导体技术领域,尤其涉及一种DCSCR器件的结构、制造方法及电子设备。

背景技术

[0002] 随着半导体工艺尺寸的缩小,对纳米工艺来说,器件的工作电压与击穿电压的差距越来越小,集成电路的静电泄放(dlectro-static discharge,ESD)问题越来越显著。尤其在一些射频应用中,若要实现高等级的人体放电模式(human boday model,HBM)保护能力,可控硅整流器(silicon-controlled rectifier,SCR)器件是较为常用的选择,而SCR器件的寄生电容较小且过流能力较大,故改进为寄生电容小且导通速度快的二极管直连触发的可控硅整流器(diode-connect silicon-controlled rectifier,DCSCR)器件,但是DCSCR器件触发电压比较小,通常情况下,芯片端口的工作电压在0V到电源电压之间,从而普通器件端口的ESD结构需要保证端口电压在0V和电源电压之间时ESD器件没有漏电流。

[0003] 图1为相关的DCSCR器件剖面结构图,该结构包括P型衬底1、深N阱8、N阱2、N阱9、P阱7、N掺杂有源区5、N掺杂有源区3、P掺杂有源区4以及P掺杂有源区6。在应用时,DCSCR的N掺杂有源区4与P掺杂有源区6使用金属连接,由P掺杂有源区4与N阱2、N掺杂有源区3构成的二极管与P掺杂有源区6、P阱7、N掺杂有源区5构成的二极管串联。P掺杂有源区4连接PAD,N掺杂有源区5连接GND。在应用时,P掺杂有源区4作为发射极,N阱2作为基极,P阱7作为集电极,构成横向PNP三极管。N阱2、深N阱8作为集电极,P阱7作为基极,N掺杂有源区5作为发射极,构成纵向NPN三极管,这个横向PNP和纵向NPN共同构成了可控硅结构SCR,等效电路如图2所示。

[0004] 在ESD事件发生时,如果端口PAD电压高于电源地,并且达到P掺杂有源区4与N阱2形成的PN结与P阱7、N掺杂有源区5构成的PN结串联的导通电压后,两个串联PN结二极管开启,形成第一条导通通路。由于PNP的发射极正偏,集电极反偏,PNP开启并工作在放大区;由于NPN的发射极正偏,集电极反偏,NPN开启并工作在放大区。根据图2的等效电路,NPN的集电极电流为PNP的基极提供电流,PNP的集电极电流为NPN的基极提供电流,二者形成正反馈,由P掺杂有源区4、N阱2、P阱7、N掺杂有源区5构成的SCR开启,形成第二条导通通路。第一条导通通路有助于第二条导通通路的快速开启。

[0005] 从该结构看,DCSCR器件的触发电压为两个二极管串联的导通电压,ESD器件需要在端口正常工作范围内处于关断状态,此结构在40nm工艺中,端口直流电电压为0.7V时期间漏电为pA量级,DCSCR器件只适用于端口电压为1V以下的情况。若端口电压大于1V,需要使用几组DCSCR串联的方式或者使用二极管器件串联DCSCR器件的方式以提高触发电压,否则会在实际应用中造成闩锁效应,但这种方法会导致器件导通电阻成倍增大,使端口上ESD器件的钳位电压变大。

[0006] 对于纳米工艺来说,DCSCR器件的有源区掺杂浓度较高,栅氧化层厚度更薄,导致器件的击穿电压更低,中电路容易在ESD事件中发生击穿失效。为了降低端口上ESD器件的

钳位电压,需要通过增大器件版图面积的方式以减小器件的导通电阻,但这种方法将增加设计成本。

[0007] 故相关的DCSCR器件存在触发电压低、钳位电压较大、易发生闩锁效应且版图面积较大的缺陷。

发明内容

[0008] 本申请的目的在于提供一种DCSCR器件的结构、制造方法及电子设备,旨在解决相关的DCSCR器件存在触发电压低、钳位电压较大、易发生闩锁效应且版图面积较大的问题。

[0009] 本申请实施例提供了一种DCSCR器件的结构,包括:

[0010] 衬底以及位于所述衬底中的深阱;

[0011] 位于所述衬底上表面的第一阱;所述第一阱为闭合的方环;

[0012] 设置于所述第一阱中且从第一侧至第二侧依次设置的第二阱、第三阱和第四阱;所述第四阱为闭合的方环;所述深阱的上表面的边缘与所述第四阱的底部接触;

[0013] 位于所述深阱上表面且设置于所述第四阱中的第五阱;

[0014] 设置于所述第一阱中的第一有源区和第二有源区;

[0015] 位于所述第二阱中且从外至内依次设置的第三有源区和第四有源区;所述第三有源区为闭合的方环状;

[0016] 设置于所述第四阱中的第五有源区和第六有源区;

[0017] 设置于所述第五阱中的第七有源区和第八有源区;

[0018] 所述衬底、所述第一阱、所述第三阱、所述第五阱、第一有源区、第四有源区、第六有源区、第八有源区的掺杂类型为第一类型;

[0019] 所述深阱、所述第二阱、所述第四阱、第二有源区、第三有源区、第五有源区、第七有源区的掺杂类型为第二类型;所述第一类型与所述第二类型不同。

[0020] 在其中一个实施例中,所述第一有源区与所述第二有源区在所述第二阱的第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个所述第一有源区与 $m/2$ 个所述第二有源区,其中 m 是偶数。

[0021] 在其中一个实施例中,所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间均设置浅沟槽隔离;所述浅沟槽隔离为绝缘物质。

[0022] 在其中一个实施例中,所述第一类型掺杂为P掺杂,所述第二类型掺杂为N掺杂。

[0023] 在其中一个实施例中,所述DCSCR器件的线宽为40nm。

[0024] 在其中一个实施例中,所述第四有源区作为DCSCR器件的阳极;所述第一有源区、所述第二有源区、所述第七有源区接地且作为DCSCR器件的阴极;所述第三有源区与所述第六有源区电连接;所述第五有源区与所述第八有源区电连接。

[0025] 本申请实施例还提供一种DCSCR器件的制造方法,所述制造方法包括:

[0026] 在所述衬底中形成的深阱;

[0027] 在所述衬底上表面从第一侧至第二侧依次形成第一阱、第二阱、第三阱,所述第一

阱为闭合的方环;在所述深阱的左侧与衬底交界处,同时向衬底和所述深阱边界处注入离子以形成第四阱,所述第四阱为闭合的方环;在所述深阱中形成第五阱;所述第二阱、所述第三阱和所述第四阱位于所述第一阱中;

[0028] 在所述第一阱中形成第一有源区和第二有源区,在所述第二阱中从外至内依次形成第三有源区和第四有源区,所述第三有源区为闭合的方环状;在所述第四阱中形成第五有源区和第六有源区,且在在所述第五阱中形成第七有源区和第八有源区;

[0029] 其中,所述衬底、所述第一阱、所述第三阱、所述第五阱、第一有源区、第四有源区、第六有源区、第八有源区的掺杂类型为第一类型;

[0030] 所述深阱、所述第二阱、所述第四阱、第二有源区、第三有源区、第五有源区、第七有源区的掺杂类型为第二类型;第一类型与所述第二类型不同;

[0031] 在其中一个实施例中,第一有源区与第二有源区在所述第二阱第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个所述第一有源区与 $m/2$ 个所述第二有源区,其中 m 是偶数;

[0032] 在其中一个实施例中,所述在所述第一阱中形成第一有源区和第二有源区,在所述第二阱中从外至内依次形成第三有源区和第四有源区,所述第三有源区为闭合的方环状;在所述第四阱中形成第五有源区和第六有源区,且在在所述第五阱中形成第七有源区和第八有源区的步骤之后还包括:

[0033] 在所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间形成浅沟槽隔离;所述浅沟槽隔离为绝缘物质。

[0034] 在其中一个实施例中,所述在所述第一有源区、所述第二有源区与所述第三有源区之间、所述第三有源区与所述第四有源区之间、所述第三有源区与所述第五有源区之间、所述第五有源区与所述第六有源区之间、所述第六有源区与所述第七有源区之间、所述第七有源区与所述第八有源区之间、所述第八有源区与所述第一有源区、所述第二有源区之间形成浅沟槽隔离的步骤之后还包括:

[0035] 在所述第四有源区上表面形成第一金属层以作为DCSCR器件的阳极;所述第一有源区、所述第二有源区、所述第七有源区的上表面形成第二金属层且接地作为DCSCR器件的阴极;所述第三有源区与所述第六有源区通过金属电连接;所述第五有源区与所述第八有源区通过金属电连接。

[0036] 在其中一个实施例中,所述第一类型掺杂为P掺杂,所述第二类型掺杂为N掺杂。

[0037] 在其中一个实施例中,采用40nm线宽的工艺。

[0038] 在其中一个实施例中,所述有源区、所述阱区、所述深阱通过离子注入或扩散形成。

[0039] 本申请实施例还提供一种DCSCR组件,所述DCSCR组件包括并联连接的多个上述的DCSCR器件的结构。

[0040] 本申请实施例还提供一种电子设备,所述电子设备包括上述的DCSCR器件的结构。

[0041] 本发明实施例与现有技术相比存在的有益效果是:由于第四有源区作为正极,第

二阱和第三有源区作为负极,构成二极管D1;第六有源区作为发射极、第四阱作为基极、第五阱作为集电极,以构成第一横向三极管PNP_1;第七有源区作为发射极、第五阱作为基极、深阱作为集电极,以构成第一纵向三极管NPN_1;第一横向三极管PNP_1的基极为第一纵向三极管NPN_1的集电极,第一纵向三极管NPN_1的基极为第一横向三极管PNP_1的集电极,第一横向三极管PNP_1与第一纵向三极管NPN_1互为正反馈,二者构成主SCR;另外,第四有源区作为发射极,第二阱作为基极,第一阱作为集电极,以构成第二纵向三极管PNP_2;第二有源区作为发射极、第一阱作为基极、第二阱作为集电极,构成第二横向三极管NPN_2,第二纵向三极管PNP_2的基极为第二横向三极管NPN_2的集电极,第二横向三极管NPN_2的基极为第二纵向三极管PNP_2的集电极,第二纵向三极管PNP_2与第二横向三极管NPN_2互为正反馈,二者构成寄生SCR;从而构成二极管D1、主SCR和寄生SCR组成的拓扑,进而形成3个ESD泄放路径,路径一是由第四有源区与第二阱构成的二极管D1和由第六有源区与第四阱构成的PN结与由第八有源区与第五阱构成的PN结共三个PN结串联通路;路径二是二极管D1串联主SCR开启导通通路;路径三是寄生SCR通路导通通路;增大了触发电压,提高过流能力的同时,减小导通电阻、钳位电压和版图面积,减少了闩锁效应的可能性。

附图说明

[0042] 为了更清楚地说明本发明实施例中的技术发明,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0043] 图1为相关的DCSCR器件的结构的一种结构示意图;

[0044] 图2为相关的DCSCR器件的结构的等效电路原理图;

[0045] 图3为本申请一实施例的提供的DCSCR器件的版图结构示意图;

[0046] 图4为本申请一实施例中图3中沿AA'线的剖面结构图;

[0047] 图5为本申请一实施例中图3中沿BB'线的剖面结构图;

[0048] 图6为本发明一实施例的提供的DCSCR器件的等效电路原理图。

具体实施方式

[0049] 为了使本申请所要解决的技术问题、技术方案及有益效果更加清楚明白,以下结合附图及实施例,对本申请进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本申请,并不用于限定本申请。

[0050] 需要说明的是,当元件被称为“固定于”或“设置于”另一个元件,它可以直接在另一个元件上或者间接在该另一个元件上。当一个元件被称为是“连接于”另一个元件,它可以是直接连接到另一个元件或间接连接至该另一个元件上。

[0051] 需要理解的是,术语“长度”、“宽度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。

[0052] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性

或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0053] 图3示出了本发明实施例提供的DCSCR器件的版图结构,图4示出了图3中沿AA'线的剖面结构图;图5示出了图3中沿BB'线的剖面结构图,为了便于说明,仅示出了与本发明实施例相关的部分,详述如下:

[0054] DCSCR器件的结构,包括衬底110、深阱120、第一阱130、第二阱140、第三阱150、第四阱160、第五阱170、第一有源区131、第二有源区132、第三有源区141、第四有源区142、第五有源区161、第六有源区162、第七有源区171以及第八有源区172。

[0055] 深阱120位于衬底110中。

[0056] 第一阱130位于衬底110上表面;第一阱130为闭合的方环。

[0057] 第二阱140、第三阱150和第四阱160设置于第一阱130中且从第一侧至第二侧依次设置;第四阱160为闭合的方环;深阱120的上表面的边缘与第四阱160的底部接触。

[0058] 第五阱170位于深阱120上表面且设置于第四阱160中。

[0059] 第一有源区131和第二有源区132设置于第一阱130中。

[0060] 第三有源区141和第四有源区142位于第二阱140中且从外至内依次设置;第三有源区141为闭合的方环状。

[0061] 第五有源区161和第六有源区162设置于第四阱160中。

[0062] 第七有源区171和第八有源区172设置于第五阱170中。

[0063] 衬底110、第一阱130、第三阱150、第五阱170、第一有源区131、第四有源区142、第六有源区162、第八有源区172的掺杂类型为第一类型。

[0064] 深阱120、第二阱140、第四阱160、第二有源区132、第三有源区141、第五有源区161、第七有源区171的掺杂类型为第二类型;第一类型与第二类型不同。

[0065] 需要说明的是,如图1所示,在版图俯视图上,第一阱130是一个闭合的方环状;第一有源区131和第二有源区132仅在第二阱140第一侧分布,在第四阱160第二侧仅存在第一有源区131,第一有源区131与第二有源区132拼接成一个闭合的方环状;第四阱160是一个闭合的方环形;第三有源区141在版图俯视图上是一个闭合的方环状;第四有源区142、第六有源区162、第八有源区172、第五有源区161和第七有源区171在版图俯视图上是长条形。

[0066] 下面以第一类型为P掺杂且第二类型为N掺杂为例进行说明:

[0067] 结合图6所示的等效电路原理图,其中, $R_{NW(160)}$ 为第四阱160(N掺杂)的等效电阻, $R_{pW(170)}$ 为第五阱170(P掺杂)的等效电阻, $R_{pW(130)}$ 为第一阱130(P掺杂)130的等效电阻。

[0068] 具体实施中,第四有源区142(P+掺杂)作为正极,第二阱140(N掺杂)和第三有源区141(N+掺杂)作为负极,构成二极管D1;第六有源区162(P+掺杂)作为发射极、第四阱160(N掺杂)作为基极、第五阱170(P掺杂)作为集电极,以构成第一横向三极管PNP_1;第七有源区171(N+掺杂)作为发射极、第五阱170(P掺杂)作为基极、深阱120(N掺杂)作为集电极,以构成第一纵向三极管NPN_1;第一横向三极管PNP_1的基极为第一纵向三极管NPN_1的集电极,第一纵向三极管NPN_1的基极为第一横向三极管PNP_1的集电极,第一横向三极管PNP_1与第一纵向三极管NPN_1互为正反馈,二者构成主SCR;另外,第四有源区142(P+掺杂)作为发射极,第二阱140(N掺杂)作为基极,第一阱130(P掺杂)作为集电极,以构成第二纵向三极管

PNP₂;第二有源区132(N+掺杂)作为发射极、第一阱130(P掺杂)作为基极、第二阱140(N掺杂)作为集电极,构成第二横向三极管NPN₂,第二纵向三极管PNP₂的基极为第二横向三极管NPN₂的集电极,第二横向三极管NPN₂的基极为第二纵向三极管PNP₂的集电极,第二纵向三极管PNP₂与第二横向三极管NPN₂互为正反馈,二者构成寄生SCR。

[0069] 该种结构中,由第一横向三极管PNP₁与第一纵向三极管NPN₁构成的主SCR即为相关技术的DCSCR,该结构是在相关的DCSCR的基础上串联一级二极管D1,以提高原本DCSCR的触发电压;同时为了降低DCSCR串联D1导致的导通电阻增大,利用第一阱130(P掺杂)中的第一有源区131(P+掺杂)与第二有源区132(N+掺杂)在第一阱130(P掺杂)中分布的结构,构成从PAD到GND的寄生SCR放电通路,寄生SCR开启后有助于DCSCR器件泄放ESD电流,可以在提高该结构过流能力的同时,减小该结构的导通电阻。该结构共三条ESD电流泄放路径,路径一是由第四有源区142(P+掺杂)与第二阱140(N掺杂)构成的二极管D1和由第六有源区162(P+掺杂)与第四阱160(N掺杂)构成的PN结与由第八有源区172(P+掺杂)与第五阱170(N掺杂)构成的PN结共三个PN结串联通路;路径二是D1串联DCSCR开启导通通路;路径三是寄生SCR通路导通通路。

[0070] 该结构中,当PAD电压高于GND电压,且电压达到路径一的开启电压后,路径一先导通泄放ESD电流;第一条放电通路开启后向该结构中的DCSCR的第四阱160(N掺杂)与第五阱170(P掺杂)同时注入载流子,因此第二条放电通路路径二随即开启;路径三中的寄生的第二纵向三极管PNP₂的发射极正偏且集电极反偏,因此第二纵向三极管PNP₂处于放大状态,第二纵向三极管PNP₂的集电极电流为第二横向三极管NPN₂的基极提供电流,随后第二横向三极管NPN₂开启,寄生SCR导通开启。

[0071] 通过上述DCSCR器件,在现有二极管直连触发的可控硅整流器(Diode-Connect Silicon-Controlled Rectifier,简称DCSCR)基础上,串联一级二极管结构,实现端口应用的低漏电需求,并利用第一有源区中的两种掺杂类型,提供一条额外的导通通路,在提高器件的鲁棒性的同时减小器件导通电阻,能够为纳米工艺中的1V以上端口提供高鲁棒性,低导通电阻的ESD保护,通过多条放电通路的方式减小因器件串联而增大的ESD导通电阻。

[0072] 作为示例而非限定,第一有源区131与第二有源区132在第二阱140的第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个第一有源区131与 $m/2$ 个第二有源区132,其中 m 是偶数。

[0073] 通过第一有源区131与第二有源区132在第二阱140的第一侧交替间隔分布,提高了电流密度的一致性,即提高了电流的均匀性,有助于DCSCR器件泄放ESD电流,进一步提高该结构过流能力。

[0074] 需要说明的是,第一有源区131、第二有源区132与第三有源区141之间、第三有源区141与第四有源区142之间、第三有源区141与第五有源区161之间、第五有源区161与第六有源区162之间、第六有源区162与第七有源区171之间、第七有源区171与第八有源区172之间、第八有源区172与第一有源区131、第二有源区132之间均设置浅沟槽隔离;浅沟槽隔离为绝缘物质。

[0075] 具体实施中,绝缘物质可以包括氧化物和氮化物。

[0076] 浅沟槽隔离指通过利用氮化硅掩膜经过淀积、图形化、刻蚀硅后形成槽,并在槽中填充淀积氧化物,用于与硅隔离。

[0077] 通过设置浅沟槽隔离,满足了更有效的器件隔离的需要,表面积显著减小,具有超强的门锁保护能力。

[0078] 值得强调的是,第一类型掺杂为P掺杂,第二类型掺杂为N掺杂。

[0079] 作为示例而非限定,器件的线宽为40nm。

[0080] 采用40nm CMOS工艺,其结构触发电压大于1V,可以作为1.1V端口的ESD保护器件,并且具有高过流能力,在该结构中寄生SCR面积与传统DCSCR面积一致的前提下,该结构过流能力约为传统DCSCR过流能力的2倍。

[0081] 需要说明的是,第四有源区142作为DCSCR器件的阳极;第一有源区131、第二有源区132、第七有源区171接地且作为DCSCR器件的阴极;第三有源区141与第六有源区162电连接;第五有源区161与第八有源区172电连接。从而形成DCSCR器件。

[0082] 与一种DCSCR器件实施例相对应,本发明还提供了一种DCSCR器件的制造方法的一种实施例。

[0083] 一种DCSCR器件的制造方法,方法包括步骤401至步骤406。

[0084] 在步骤401中,在衬底110中形成的深阱120。

[0085] 可以通过扩散或离子注入在衬底110中形成的深阱120。

[0086] 在步骤402中,在衬底110上表面从第一侧至第二侧依次形成第一阱130、第二阱140、第三阱150,第一阱130为闭合的方环;在深阱120的左侧与衬底110交界处,同时向衬底110和深阱120边界处注入离子以形成第四阱160,第四阱160为闭合的方环;并在深阱120中形成第五阱170;第二阱140、第三阱150和第四阱160位于第一阱130中。

[0087] 可以通过掺杂在形成第一阱130、第二阱140、第三阱150和第五阱170。

[0088] 在步骤403中,在第一阱130中形成第一有源区131和第二有源区132,在第二阱140中从外至内依次形成第三有源区141和第四有源区142;第三有源区141为闭合的方环状,在第四阱160中形成第五有源区161和第六有源区162,且在第五阱170中形成第七有源区171和第八有源区172。

[0089] 其中,衬底110、第一阱130、第三阱150、第五阱170、第一有源区131、第四有源区142、第六有源区162、第八有源区172的掺杂类型为第一类型;

[0090] 深阱120、第二阱140、第四阱160、第二有源区132、第三有源区141、第五有源区161、第七有源区171的掺杂类型为第二类型;第一类型与第二类型不同。

[0091] 具体实施中,步骤403之后还包括步骤404。

[0092] 在步骤403中,在第一有源区131、第二有源区132与第三有源区141之间、第三有源区141与第四有源区142之间、第三有源区141与第五有源区161之间、第五有源区161与第六有源区162之间、第六有源区162与第七有源区171之间、第七有源区171与第八有源区172之间、第八有源区172与第一有源区131、第二有源区132之间形成浅沟槽隔离。浅沟槽隔离为绝缘物质。

[0093] 具体实施中,步骤404之后还包括步骤405。

[0094] 在步骤405中,在第四有源区142上表面形成第一金属层以作为DCSCR器件的阳极;第一有源区131、第二有源区132、第七有源区171的上表面形成第二金属层且接地作为DCSCR器件的阴极;第三有源区141与第六有源区162通过金属电连接;第五有源区161与第八有源区172通过金属电连接。

[0095] 需要说明的是,第一有源区131与第二有源区132在第二阱140第一侧交替间隔分布,并共同拼接为闭合的方环状;且分布有 $m/2$ 个第一有源区131与 $m/2$ 个第二有源区132,其中 m 是偶数。

[0096] 第一类型掺杂为P掺杂,第二类型掺杂为N掺杂。

[0097] 具体实施中,采用40nm线宽的工艺。有源区、阱区、深阱120通过离子注入或扩散形成。

[0098] 值得注意的是,金属层和金属可以为金或钼。

[0099] 本发明实施例通过包括衬底、深阱、第一阱、第二阱、第三阱、第四阱、第五阱、第一有源区、第二有源区、第三有源区、第四有源区、第五有源区、第六有源区、第七有源区以及第八有源区;深阱位于衬底中;第一阱位于衬底上表面;第一阱为闭合的方环;第二阱、第三阱和第四阱设置于第一阱中且从第一侧至第二侧依次设置;第四阱为闭合的方环;深阱的上表面的边缘与第四阱的底部接触;第五阱位于深阱上表面且设置于第四阱中;第一有源区和第二有源区设置于第一阱中;第三有源区和第四有源区位于第二阱中且从外至内依次设置;第三有源区为闭合的方环状;第五有源区和第六有源区设置于第四阱中;第七有源区和第八有源区设置于第五阱中;衬底、第一阱、第三阱、第五阱、第一有源区、第四有源区、第六有源区、第八有源区的掺杂类型为第一类型;深阱、第二阱、第四阱、第二有源区、第三有源区、第五有源区、第七有源区的掺杂类型为第二类型;第一类型与第二类型不同;从而构成二极管D1、主SCR和寄生SCR组成的拓扑,进而形成3个ESD泄放路径,路径一是由第四有源区与第二阱构成的二极管和由第六有源区与第四阱构成的PN结与由第八有源区与第五阱构成的PN结共三个PN结串联通路;路径二是二极管串联主SCR开启导通通路;路径三是寄生SCR通路导通通路;增大了触发电压,提高过流能力的同时,减小导通电阻、钳位电压和版图面积,减少了闩锁效应的可能性。

[0100] 应理解,上述实施例中各步骤的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不应对本申请实施例的实施过程构成任何限定。

[0101] 以上所述实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围,均应包含在本申请的保护范围之内。

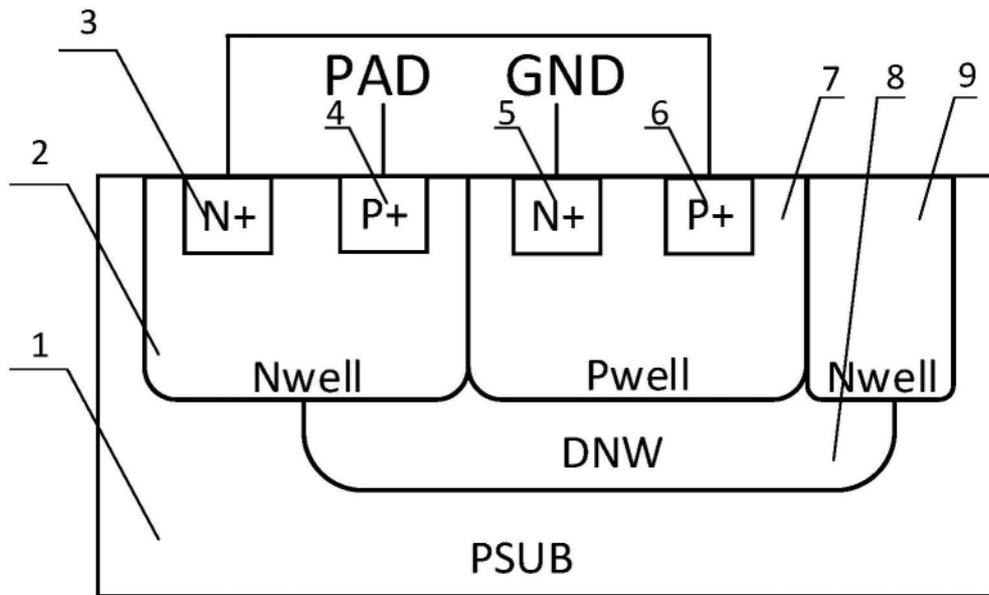


图1

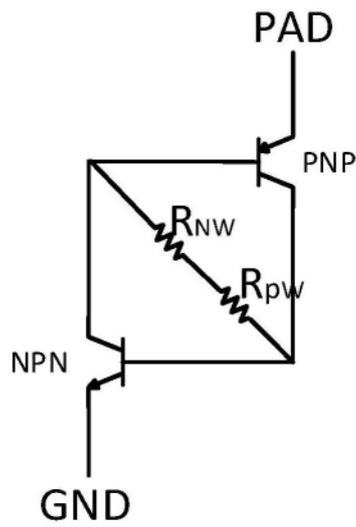


图2

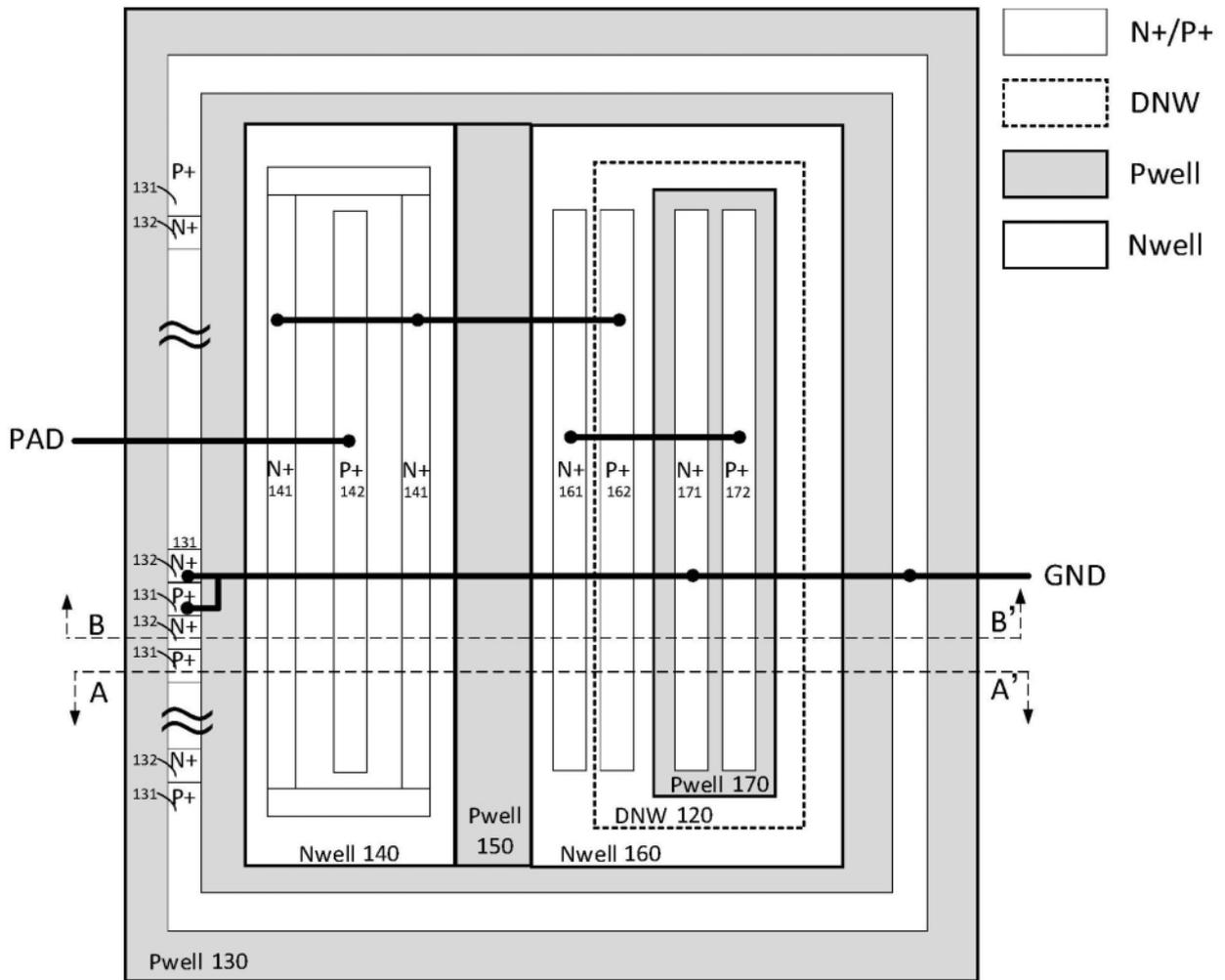


图3

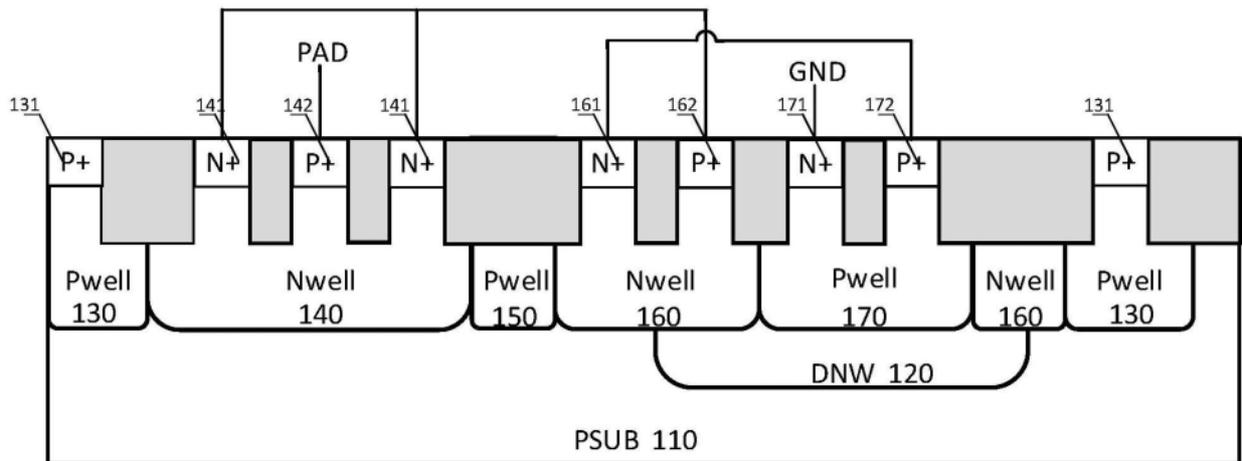


图4

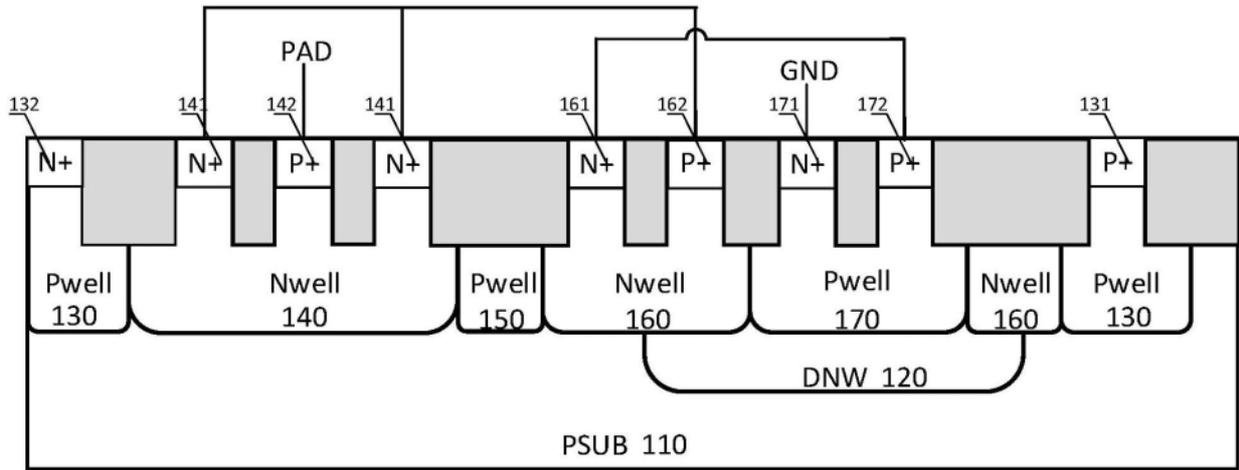


图5

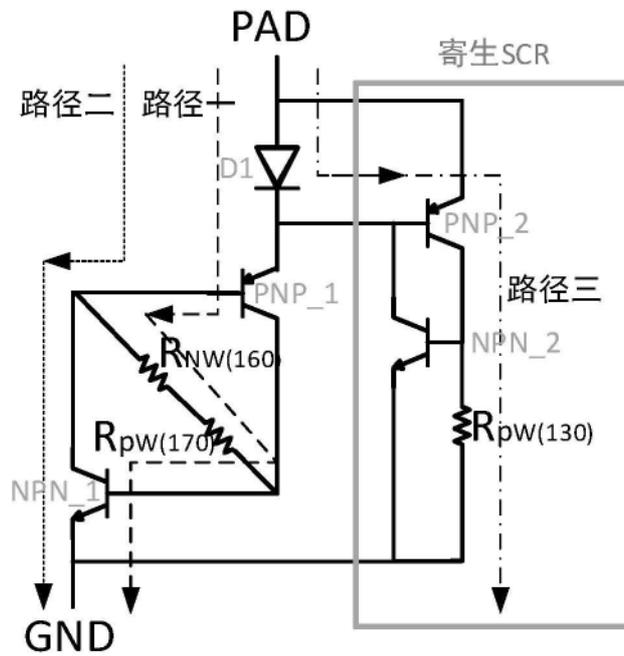


图6