(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월12일
(11) 등록번호 10-1864837
(24) 등록일자 2018년05월30일

(51) 국제특허분류(Int. Cl.)
G01S 7/35 (2006.01) *H03K 5/135* (2006.01)
(52) CPC특허분류
G01S 7/352 (2013.01)
H03K 5/135 (2013.01)
(21) 출원번호 10-2016-0170233
(22) 출원일자 2016년12월14일
심사청구일자 2016년12월14일
(56) 선행기술조사문헌
KR100694010 B1*
(뒷면에 계속)

(73) 특허권자
알에프코어 주식회사
경기도 성남시 분당구 판교로 744 , 씨동 708호(야탑동, 분당테크노파크)
(72) 발명자
공동욱
경기도 광주시 오포읍 능평로30번길 12-15, 107동 302호(능평리, 휴먼테라스빌)
어윤성
경기도 성남시 분당구 중앙공원로 54 (서현동 96) 우성아파트 223-401
(74) 대리인
제상현, 조항숙

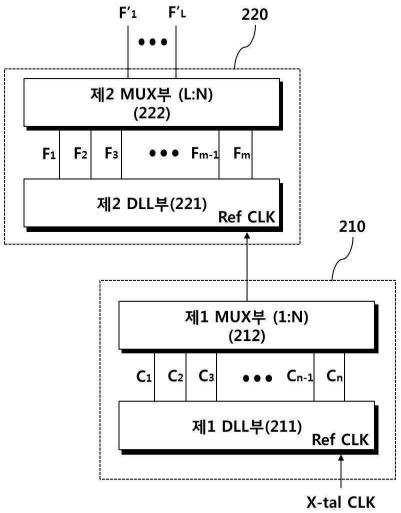
전체 청구항 수 : 총 7 항 심사관 : 안문환

(54) 발명의 명칭 **수신기의 클럭 생성 장치**

(57) 요 약

본 발명은 수신기의 클럭 생성 장치에 관한 것으로서, 크리스탈 또는 오실레이터 등을 통해 제공되는 기본 클럭을 기초로 가상의 고속 샘플링이 가능하도록 가상의 샘플링 클럭을 생성하는 수신기의 클럭 생성 장치에 관한 것이다. 이를 위해 기 정의된 횟수로 반사되어 돌아온 반사신호를 가상으로 고속 샘플링 하기 위해 제1 샘플링 클럭을 생성하는 제1 클럭 생성부, 및 제1 샘플링 클럭을 기초로 제2 샘플링 클럭을 생성하는 제2 클럭 생성부를 포함하며, 제1 샘플링 클럭은 반사 횟수에 기초하여 순차적으로 오프셋 시간만큼 지연되어 생성되는 것을 특징으로 하는 수신기의 클럭 생성 장치가 개시된다.

대 표 도 - 도6



(56) 선행기술조사문헌
KR1020140140151 A*
KR1020160096767 A*
JP10505671 A*
KR1020110129871 A*
JP07234282 A*
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업
과제고유번호 10067194
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업기술혁신사업
연구과제명 소방 정찰로봇용 비가시 인명 탐지 레이더센서 기술
기 여 율 1/1
주관기관 알에프코어㈜
연구기간 2016.07.01 ~ 2019.06.30

명 세 서

청구범위

청구항 1

기 정의된 횟수로 반사되어 돌아온 반사신호를 가상으로 고속 샘플링 하기 위해 제1 샘플링 클럭을 생성하는 제1 클럭 생성부, 및

제1 샘플링 클럭을 기초로 제2 샘플링 클럭을 생성하는 제2 클럭 생성부를 포함하며,

제1 샘플링 클럭은 반사 횟수에 기초하여 순차적으로 오프셋 시간만큼 지연되어 생성되는 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 2

제 1 항에 있어서,

제1 샘플링 클럭은,

동일한 주기로 반사되어 돌아오는 반사신호의 반사 횟수에 상응하여 순차적으로 오프셋 시간만큼 지연되어 생성되고,

제2 샘플링 클럭은,

각각의 시간지연된 제1 샘플링 클럭에 시간 보간을 함으로써 생성되며, 가상의 샘플링 클럭에 상응하는 클럭인 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 3

제 2 항에 있어서,

제1 클럭 생성부는,

기준 클럭을 기초로 순차적으로 제1 오프셋 시간만큼 지연된 제1 샘플링 클럭을 생성하는 제1 DLL부, 및

제1 DLL부에서 생성된 각각의 시간지연된 제1 샘플링 클럭을 선택하여 출력하는 제1 클럭 선택부를 포함하며,

제2 클럭 생성부는,

제1 클럭 선택부에서 선택된 시간지연된 제1 샘플링 클럭을 기준으로 제2 오프셋 시간만큼 지연된 제2 샘플링 클럭을 생성하는 제2 DLL부를 포함하는 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 4

제 3 항에 있어서,

제2 클럭 생성부는,

제2 오프셋 시간만큼 지연된 제2 샘플링 클럭을 선택하여 출력하는 제2 클럭 선택부를 더 포함하는 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 5

제 4 항에 있어서,

제2 클럭 선택부에서 생성된 샘플링 클럭을 기초로 반사신호를 샘플링하며, RF 모듈을 구비하는 채널 수신부를 더 포함하며,

제2 클럭 선택부는,

선택되는 제2 샘플링 클럭의 개수가 제2 DLL부에서 생성된 제2 샘플링 클럭의 개수보다 적게 선택되도록 하며,

채널 수신부는,

제2 클럭 선택부에서 선택된 제2 샘플링 클럭의 개수에 상응하도록 구비되는 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 6

제 5 항에 있어서,

제2 클럭 선택부에서 선택된 제2 샘플링 클럭 각각이 복수의 채널 수신부에 각각 입력되어 가상의 샘플링 클럭을 제공하는 것을 특징으로 하는 수신기의 클럭 생성 장치.

청구항 7

제 4 항에 있어서,

반사신호는,

제1 오프셋 시간만큼 지연된 제1 샘플링 클럭의 개수와 제2 오프셋 시간만큼 지연된 제2 샘플링 클럭의 개수에 상응하도록 주기적으로 수신되는 것을 특징으로 하는 수신기의 클럭 생성 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 수신기의 클럭 생성 장치에 관한 것으로서, 보다 상세하게는 크리스탈 또는 오실레이터 등을 통해 제공되는 기본 클럭을 기초로 가상의 고속 샘플링이 가능하도록 가상의 샘플링 클럭을 생성하는 수신기의 클럭 생성 장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로 레이더와 같은 시스템에서는 높은 고해상도를 얻기 위해서는 고속의 샘플링이 필요하게 되고 이를 구현하기 위해 일반적으로 레이더 수신신호를 수 GHz 이상의 높은 샘플링 주파수로 샘플링을 수행해야 한다. 예를 들어 1.5cm의 해상도를 위해서는 대략 10GHz의 고속 샘플링이 필요하다. 하지만 이런 높은 주파수의 샘플링은 샘플링 회로의 구현도 어렵고 전력소모도 상당하여 현실적으로는 불가능하거나 구현이 어려운 문제가 있다. 이를 해결하기 위해 equivalent time sampling이라는 서브샘플링과 같은 기술이 사용되고 있다. 이 경우에도 넓은 스캔영역 거리에 대해 고해상도를 하기 위해 매우 많은 offset 시간지연을 갖는 샘플링 clock들이 필요하고 이런 clock들을 생성하는 것이 문제가 된다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 대한민국 등록특허공보 제10-0694010(발명의 명칭 : 입력신호의 파형 에지를 타임 스탬핑하는 방법)

(특허문헌 0002) 대한민국 등록특허공보 제10-1140703(발명의 명칭 : 지터를 측정하는 방법 및 장치)

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명은 전술한 바와 같은 문제점을 해결하기 위하여 창출된 것으로서, 본 발명은 고속의 샘플링 클럭을 가상으로 생성함으로써 소수의 수신 채널로 넓은 스캔영역에 대해 매우 정교한 고해상도를 얻을 수 있는 발명을 제공하는 데 목적이 있다.

[0005] 또한, 본 발명은 멀티 채널의 샘플링 구조에서 수신 채널수의 증가로 인한 채널간 편차를 줄이기 위해 채널수를 적게 하면서도 고해상도를 유지할 수 있는 레이더 수신기를 제공하는데 그 목적이 있다.

[0006] 그러나, 본 발명의 목적들은 상기에 언급된 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 본 발명의 목적은, 기 정의된 횟수로 반사되어 돌아온 반사신호를 가상으로 고속 샘플링 하기 위해 제1 샘플링 클럭을 생성하는 제1 클럭 생성부, 및 제1 샘플링 클럭을 기초로 제2 샘플링 클럭을 생성하는 제2 클럭 생성부를 포함하며, 제1 샘플링 클럭은 반사 횟수에 기초하여 순차적으로 오프셋 시간만큼 지연되어 생성되는 것을 특징으로 하는 수신기의 클럭 생성 장치를 제공함으로써 달성될 수 있다.

[0008] 제1 샘플링 클럭은 동일한 주기로 반사되어 돌아오는 반사신호의 반사 횟수에 상응하여 순차적으로 오프셋 시간만큼 지연되어 생성되고, 제2 샘플링 클럭은 각각의 시간지연된 제1 샘플링 클럭에 시간 보간을 함으로써 생성되며, 가상의 샘플링 클럭에 상응하는 클럭이다.

[0009] 또한, 제1 클럭 생성부는 기준 클럭을 기초로 순차적으로 제1 오프셋 시간만큼 지연된 제1 샘플링 클럭을 생성하는 제1 DLL부, 및 제1 DLL부에서 생성된 각각의 시간지연된 제1 샘플링 클럭을 선택하여 출력하는 제1 클럭 선택부를 포함하며, 제2 클럭 생성부는 제1 클럭 선택부에서 선택된 시간지연된 제1 샘플링 클럭을 기준으로 제2 오프셋 시간만큼 지연된 제2 샘플링 클럭을 생성하는 제2 DLL부를 포함한다.

[0010] 또한, 제2 클럭 생성부는 제2 오프셋 시간만큼 지연된 제2 샘플링 클럭을 선택하여 출력하는 제2 클럭 선택부를 더 포함한다.

[0011] 또한, 제2 클럭 선택부에서 생성된 샘플링 클럭을 기초로 반사신호를 샘플링하며, RF 모듈을 구비하는 채널 수신부를 더 포함하며, 제2 클럭 선택부는 선택되는 제2 샘플링 클럭의 개수가 제2 DLL부에서 생성된 제2 샘플링 클럭의 개수보다 적게 선택되도록 하며, 채널 수신부는 제2 클럭 선택부에서 선택된 제2 샘플링 클럭의 개수에 상응하도록 구비된다.

[0012] 또한, 제2 클럭 선택부에서 선택된 제2 샘플링 클럭 각각이 복수의 채널 수신부에 각각 입력되어 가상의 샘플링 클럭을 제공한다.

[0013] 또한, 반사신호는 제1 오프셋 시간만큼 지연된 제1 샘플링 클럭의 개수와 제2 오프셋 시간만큼 지연된 제2 샘플링 클럭의 개수에 상응하도록 주기적으로 수신된다.

발명의 효과

[0014] 전술한 바와 같은 본 발명에 의하면 레이더 등 고주파 신호에 대해 고속의 샘플링을 요구하는 다양한 수신기에 대해 가상의 고속 샘플링을 제공할 수 있는 효과가 있다.

[0015] 또한, 본 발명에 의하면 레이더 시스템의 경우 감시영역(스캔범위) 대비 고해상도를 요구하는 수신기의 샘플링을 위한 시간차 clock들을 생성하기에 용이하고 전력소모 및 회로구현이 가능한 기술을 제공할 수 있는 효과가 있다.

[0016] 또한, 본 발명에 의하면 고속 샘플링을 위한 equivalent time sampling과 time interleaving 방식을 사용하는 경우 채널수를 많이 늘리지 않고도 고해상도를 얻을 수 있는 타이밍 발생기 구조에 대한 기술을 제공할 수 있는 효과가 있다.

[0017] 또한, 본 발명에 의하면 고속 샘플링을 위한 equivalent time sampling과 time interleaving 방식을 사용하는 경우 적은 채널수로도 고해상도가 유지되어 채널간 편차에 의한 문제를 제거할 수 효과가 있다.

도면의 간단한 설명

[0018] 본 명세서에 첨부되는 다음의 도면들은 본 발명의 바람직한 일실시예를 예시하는 것이며, 발명의 상세한 설명과 함께 본 발명의 기술적 사상을 더욱 이해시키는 역할을 하는 것이므로, 본 발명은 그러한 도면에 기재된 사항에만 한정되어 해석 되어서는 아니 된다.

도 1은 본 발명의 일실시예에 따른 레이더 송신부 및 레이더 수신부를 나타낸 도면이고,

도 2는 본 발명의 일실시예에 따른 Equivalent time sampled(가상의 샘플링 주기 0.1[ns])에 대해 도시한 도면이고,

도 3은 본 발명의 일실시예에 따른 Equivalent time sampled와 4채널 Time interleaved(F1,F2,F3,F4)에 대해 도시한 도면이고,

도 4 및 도 5는 본 발명의 제1 실시예에 따른 샘플링 클록 타이밍 회로 및 채널 수신부에 대해 도시한 도면이고,

도 6 및 도 7은 본 발명의 제2 실시예에 따른 샘플링 클록 타이밍 회로 및 채널 수신부에 대해 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 도면을 참조하여 본 발명의 바람직한 일실시예에 대해서 설명한다. 또한, 이하에 설명하는 일실시예는 특허청구범위에 기재된 본 발명의 내용을 부당하게 한정하지 않으며, 본 실시 형태에서 설명되는 구성 전체가 본 발명의 해결 수단으로서 필수적이라고는 할 수 없다. 또한, 종래 기술 및 당업자에게 자명한 사항은 설명을 생략할 수도 있으며, 이러한 생략된 구성요소(방법) 및 기능의 설명은 본 발명의 기술적 사상을 벗어나지 아니하는 범위내에서 충분히 참조될 수 있을 것이다.

[0021] 본 발명의 일실시예에 따른 레이더 수신기의 클럭 생성 장치는 레이더 수신기에 가상의 샘플링 클럭(또는 고속 샘플링에 필요한 타이밍 클럭)을 제공하기 위한 장치이다. 이하에서는 첨부된 도면을 참고하여 본 발명의 일실시예에 따른 레이더 수신기의 클럭 생성 장치를 자세히 설명하기로 한다.

[0023] 본 발명은 레이더 또는 다양한 전파수신기에서 신호처리 또는 변복조 등을 위해 수신된 RF신호를 고속으로 샘플링하기 위해 적용될 수 있다. 특히, 본 발명은 레이더 시스템에서 넓은 스캔영역(스캔거리)에 대해서 고분해능을 얻을 수 있는 가상의 샘플링 기술을 제공한다. 일예로서, 본 발명은 임펄스 레이더에서 수 GHz 이상의 높은 속도의 샘플링을 위해 equivalent time sampling(등가 시간 샘플링)과 time interleaving(시간보간)을 병행 적용하여 높은 샘플링 분해능을 얻고자 하는 수신기 구조에 적합한 가상의 샘플링 클럭 발생 장치이다. 본 발명은 고속의 신호처리 결과의 업데이트가 필요한 경우를 제외한 비교적 저속의 신호처리 업데이트 속도로 동작하면서 신호를 고속으로 샘플링하기 위한 기술분야에 적용되는 것이 바람직하다. 따라서 본 발명은 레이더 장치에 한정되지 않는다.

[0025] 도 1에 도시된 바와 같이 레이더 송신부(100)는 일예로서 임펄스신호(f1)를 송출하며, 임펄스 신호는 물체에 반사되어 레이더 수신부(200)에 반사신호(f2)로서 수신된다. 이때, 레이더 수신부(200)는 반사신호를 분석하기 위해 샘플링 클럭이 필요하다. 샘플링 클럭은 고속 샘플링일수록 분석 정밀도가 올라가나 다음과 같은 문제점이 있다. 즉, 일반적으로 임펄스 레이더 등에서 수 GHz 이상의 높은 RF신호를 송신 및 수신하여 샘플링을 할 때 수 cm 또는 수 mm의 고해상도를 얻으면서 신호의 파형을 복원하기 위해 수 GHz 혹은 수십 GHz의 고속 샘플링을 해야 한다. 하지만, 이와 같이 높은 속도로 샘플링을 수행하는 구조 및 회로는 엄청난 전력소모와 회로구성의 어려움을 동반한다. 따라서 이러한 고속 샘플링 문제를 해결하기 위해 본 발명에서는 가상의 고속 샘플링 클럭을 생성하여 레이더 수신부(200)에 제공하도록 한다.

[0027] 가상의 고속 샘플링 클럭 생성은 다음의 2가지 방법에 의해 달성될 수 있다. 즉, equivalent time sampling(등가 시간 샘플링)과 time interleaving(시간보간)을 적용함으로써 가상의 고속 샘플링 클럭을 생성하도록 한다. 등가 시간 샘플링은 도 2에 도시된 바와 같이 가상의 샘플링 클럭(샘플링 주파수 또는 샘플링 타이밍 클럭)을 0.1[ns]로 하고 싶은 경우에 적용될 수 있다. 즉, 도 2에 도시된 수신된 신호(f)의 주기가 100[ns]이고, 한 칸당 0.1[ns]로 가정하는 경우에, 첫번째 수신된 신호(f)는 0.1[ns]에서 샘플링하고(제1차 샘플링, C1), 두번째 수신된 신호(f)는 100.2[ns]에서 샘플링 하고(제2차 샘플링, C2), 세번째 수신된 신호(f)는 200.3[ns]에서 샘플링 하고(제3차 샘플링, C3), 순차적으로 제10차 샘플링(C10)까지 수행하면 수신신호(f)를 0.1[ns]의 가상의 샘

플링 클럭으로 샘플링하게 된다. 다만, 이때 송신기는 10번의 동일한 송신신호를 주기적으로(또는 반복적으로) 전송하여야 하며, 수신기는 송신신호를 수신하여 가상의 샘플링 주기인 0.1[ns]마다 샘플링을 수행하게 된다.

[0029] 도 3은 반복적으로 동일한 임펄스의 송신신호가 송출되고 이를 다시 수신한 신호(f2)에 대해 샘플링을 수행할 때, 등가 시간 샘플링을 적용하여 CB(Coarse Bin)로 제1 오프셋 시간지연이 있는 다수의 샘플링 클럭신호(C1, C2, C3...,Cn)를 만들고, 추가로 CB의 샘플링 클럭신호에 시간보간을 적용하여 제2 오프셋 시간지연이 있는 가상의 샘플링 클럭신호(F1,F2,F3,F4,...,Fm)를 생성한다. 도 3에서는 예를 들어 제1 샘플링 클럭(C1,C2,C3)이 3개이고, 제2 샘플링 클럭(F1,F2,F3,F4)이 4개인 경우를 도시하였으나 꼭 이에 한정되는 것은 아니다. 즉, 제1 샘플링 클럭은 100[ns] 주기마다 1번씩 생성되며(C1,C2,C3), 각각의 제1 샘플링 클럭에 시간보간이 적용되어 주기마다 0.1[ns]씩 가상의 샘플링 클럭(F1,F2,F3,F4)이 생성된다. 일예로서, C1은 0[ns]에서 한번 생성되며, C2는 100.4[ns]에서 생성된다. 이때, C1에 시간보간이 적용되어 0 ~ 0.3[ns]의 시간에 각각의(F1,F2,F3,F4) 샘플링 클럭이 생성된다. 다음으로, C2가 100.4[ns]에서 생성되며, C2에 시간보간이 적용되어 100.4 ~ 100.7[ns]의 시간에 C2에 대응되는 각각의(F1,F2,F3,F4) 샘플링 클럭이 생성된다. 따라서 0.1[ns]의 가상의 샘플링 클럭이 만들어질 수 있다.

[0031] 한편, CB(C1,C2,C3,...,Cn)를 FB(F1,F2,F3,F4,...,Fm))으로 나누어 CB를 기준으로 4개 (개수는 2, 4, 8 등 변동가능)등으로 나누어 촘촘한 간격의 가상의 샘플링 클럭을 생성하고 이를 통해 신호를 등가적인 고속 샘플링함으로써 해상도를 높일 수 있다. 일예로서, CB에서 생성된 C1,C2,...,Cn가 0.8ns 간격의 클럭신호라면 CB의 각 클럭신호를 기준으로 F1,F2,F3,F4는 0.2 ns 간격의 clock들이 생성되어 가상의 샘플링 클럭으로 사용될 수 있다.

[0033] 즉, 송신부(100)에서 동일한 신호를 일정한 주기로 반복 송신하고 반사되어 돌아오는 수신신호(또는 반사신호)를 기 설정된 오프셋 시간만큼 시간지연하여(즉, 제1 오프셋 시간지연은 순차적으로 샘플링 클럭이 생성되는 C1과 C2간의 지연시간이고, 제2 오프셋 시간지연은 제1 오프셋 시간지연을 기준으로 순차적으로 샘플링 클럭이 생성되는 F1과 F4간의 지연시간이다) 샘플링함으로써 가상으로 고속 샘플링한 것과 같은 샘플링 데이터를 얻을 수 있다. 이 경우 샘플링 클럭의 주기(즉, C1과 C2의 시간간격)와 시간보간된 배수만큼의 신호를 송신부(100)가 송신하고 수신부(200)가 수신하여 샘플링을 반복해야 한다. 예를 들어 원하는 고속샘플링의 해상도가 시간간격으로 0.2[ns]이고 레이더 최대 탐지거리가 15m인 경우, 매 100[ns]마다 반복하여 샘플링을 하는 경우 100[ns]의 시간 구간을 0.2[ns]의 촘촘한 간격으로 샘플링 시간을 이동해가며 샘플링을 해야 하므로 500회(100[ns]/0.2[ns])의 송신 및 수신을 반복을 해야 하며, 500개의 0.2[ns]간격의 샘플링 클럭을 생성해서 순서대로 제공해야 하는 타이밍 회로가 필요하다.

[0035] 타이밍 회로(또는 가상의 샘플링 클럭 제공 회로)는 도 4 내지 도 7과 같이 구체화될 수 있으며, 도 4 및 도 5는 타이밍 회로의 제1 실시예를 나타내며, 도 6 및 도 7은 타이밍 회로의 제2 실시예를 나타낸다. 도 4 및 도 6에 도시된 DLL부는 Delay Locked Loop로서 voltage controlled inverter delay cell과 같은 단위 cell회로를 필요한 delay시간의 개수만큼 직렬로 연결하여 구현한다. 이러한 DLL부는 본 발명에서 CB 또는 FB에서 필요한 시간지연을 생성하는 것으로서 종래의 DLL 회로를 본 발명의 기술적 사상을 벗어나지 아니하는 범위내에서 참고할 수 있다.

[0037] 타이밍 회로의 제1 실시예로서 도 4 및 도 5를 참고하여 설명하면 제1 실시예는 제1 클럭 생성부(210)와 제2 클럭 생성부(220)로 대략 구성될 수 있다. 제1 클럭 생성부(210)는 제1 DLL부(211, 또는 CB DLL부)와 제1 클럭 선택부(212)를 포함하며, 제2 클럭 생성부(220)는 제2 DLL부(221, 또는 FB DLL부)를 포함한다. 상술한 500번의 샘플링을 반복해야 하는 예에서 제1 DLL(211)부에서 125개의 샘플링 클럭을 생성하고(C1,C2,...,C125), 각각의 C1, ... C125를 기준으로 다시 제2 DLL부(221)에서 각각의 C1,C2,...,C125를 기준으로 4개의 가상의 샘플링 클럭인 F1,F2,F3,F4를 생성함으로써 총 500개(125*4)의 샘플링 클럭을 생성할 수 있다.

[0039] 즉, 제1 DLL부(211)에서 생성된 C1이 제1 클럭 선택부(212)에서 선택되어 제2 DLL부(221)에 기준 클럭(Ref CLK)으로 제공되고, 제2 DLL부(221)는 C1을 기준으로 F1,...F4의 가상의 샘플링 클럭을 생성하여 도 5의 제1 채널 수신부 내지 제4 채널 수신부에 각각 샘플링 클럭을 제공한다. 제1 DLL부(221)는 C1 다음에 순차적으로 C2를 생성하고, 제1 클럭 선택부(212)는 C2를 선택하여 제2 DLL부(221)에 기준 클럭으로 공급하며, 제2 DLL부(221)는 C2를 기준으로 F1,...F4의 가상의 샘플링 클럭을 생성한다. 동일한 원리가 C125까지 순차적으로 적용될 수 있다.

[0041] 도 5에는 수신부(200)의 일 구성요소로서 LNA와 Power Divider(230) 및 채널 수신부(240)가 도시되어 있다. LNA는 반사신호(f2)를 증폭하며, Power Divider는 채널 수신부(240)의 개수에 따라 반사신호(f2)를 각 채널 수

신부(240)로 분배한다. 채널 수신부(240)는 각종 RF 모듈이 구비되어 반사신호를 샘플링하고, 업다운 컨버팅을 수행하도록 한다. 채널 수신부(240)에 포함되는 RF 모듈은 일예로서 레이더 신호를 수신하여 분석하기 위한 각종 모듈이 구비될 수 있다. 이때, 도 5의 채널 수신부(240)는 제2 DLL부(221)에서 생성되는 F1,...Fm 샘플링 클럭의 수에 상응하도록 배치된다. 즉, 제2 DLL부(221)의 클럭이 F1,F2,F3,F4 4개인 경우 채널 수신부는 각각 제1 채널 수신부, 제2 채널 수신부, 제3 채널 수신부, 제4 채널 수신부를 구비하며, 각각의 샘플링 클럭은 상응하는 각각의 채널 수신부에 공급된다. 이 경우 동일한 반사신호를 수신받는 각각의 채널 수신부(240)는 RF 모듈의 특성에 따라 약간씩 다른 특성을 보일 수 있다(즉, 가장 이상적인 경우 각각의 채널 수신부는 서로 성능이 등가적으로 동일하여야 함). 따라서 채널 수신부간에 성능의 편차가 커지게 되는 문제가 발생되며 더군다나 제2 샘플링 클럭(F1,F2,....,Fm)의 개수가 많을수록 채널 수신부간의 성능 편차가 일률적이지 않게 된다. 이를 해결하기 위해 도 6 및 도 7과 같은 타이밍 회로의 제2 실시예를 구현할 수 있다.

[0043] 타이밍 회로의 제2 실시예가 도 6 및 도 7에 도시되어 있다. 제2 실시예는 각 채널 수신부간의 성능 편차를 최소화하기 위해 도 4에 비해 적은 개수의 제2 샘플링 클럭(F1,F2,....,Fm)이 생성되어 채널 수신부(240)로 공급되도록 한다. 따라서 채널 수신부(240)의 구비 개수가 도 4 및 도 5의 제1 실시예에 비해 적다. 제2 실시예의 일예로서 채널 수신부간 등가성을 보장하기 위해 제2 DLL부(221)에서 생성되는 제2 샘플링 클럭은 일예로서 4 또는 8 등의 높은 개수를 할당하도록 하고, 제2 클럭 선택부(222)에 의해 선택되는 제2 샘플링 클럭은 2개로 제한(또는 2개씩 짝지어)하여 채널 선택부(240)에 공급함으로써 채널간 성능 편차를 최소화할 수 있다. 다만, 제2 클럭 선택부(222)에서 동시에 선택되는 제2 샘플링 클럭의 개수는 2개로 제한되지 않으며 상황에 따라 다양한 개수가 동시에 선택될 수 있다. 다만, 선택되는 제2 샘플링 클럭의 수가 적어야 채널 수신부의 성능 편차를 최소화시킬 수 있다. 바람직하게는 선택되는 제2 샘플링 클럭의 수가 제2 DLL부(221)에서 생성된 제2 샘플링 클럭의 수보다 적은게 좋다. 상술한 제2 실시예는 제1 실시예에 비해 제2 클럭 선택부(222)가 추가된 것으로서 제1 실시예의 설명에 갈음하기로 한다.

[0045] 도 6 및 도 7을 참조하여 일예를 설명하면, 제2 샘플링 클럭을 총 m개(4, 8, 12...k 등 많은 개수)로 되도록 많이 생성하고, 서로간에 등가성을 보장할 수 있도록 채널 수신부(240)의 구비 개수를 최소한의 개수로 구성하도록 제2 클럭 선택부(212)에 의해 선택되는 제2 샘플링 클럭의 수를 제한하도록 한다. 도 6에서는 m개의 제2 샘플링 클럭(또는 FB clock)이 제2 DLL부(221)에 의해 생성되며, 이때, 도 4와 같은 제1 실시예에서는 m개의 채널 수신부가 필요하나, 이에 비해 도 6과 같은 제2 실시예에서는 L개(일예로서 L=1,2,3,4...)의 제2 샘플링 클럭이 선택되어 총 L개의 채널 수신부가 필요하다.

[0047] 즉, 예로서 m=8, L=2인 경우 8개의 FB clock이 제2 DLL부(221)에 의해 생성되지만 제2 샘플링 클럭인 F1,F2를 제2 클럭 선택부(212)가 1차적으로 선택하여 F'1,F'2를 제1,2 채널 선택부에 공급하고, 2차적으로 F3,F4를 선택하여 F'1,F'2를 제1,2 채널 선택부에 공급하고, 3차적으로 F5,F6을 선택하여 F'1,F'2를 제1,2 채널 선택부에 공급하고, 4차적으로 2차적으로 F7,F8을 선택하여 F'1,F'2를 제1,2 채널 선택부에 공급하여 가상의 샘플링 클럭을 채널 수신부에 공급할 수 있다. 즉, 제2 DLL부(221)에서 생성된 제2 샘플링 클럭을 순차적으로 번갈아 가며 2개씩(즉, L값에 따라) 제1,2 채널 선택부에 가상의 샘플링 클럭으로 공급한다. 바람직하게는 "L" 값이 "m" 값보다 작은게 좋다.

[0049] 상술한 제1 DLL부(211)는 제1 샘플링 클럭(C1,...Cn)을 생성하여 제1 클럭 선택부(212)에 의해 순차적으로 제1 샘플링 클럭이 선택되어 제2 DLL부(221)의 기준 클럭으로 순차적으로 제공되고, 제2 DLL부(221)는 제1 샘플링 클럭을 기준으로 시간보간(또는 제2 오프셋 시간만큼 시간지연됨)되어 제2 샘플링 클럭을 생성한다. 이때, 생성되는 제2 샘플링 클럭은 원하는 가상의 고속 샘플링 클럭일 수 있다. 제2 클럭 선택부(222)는 제2 DLL부(221)에서 생성되 제2 샘플링 클럭 중 일부를 순차적으로 선택하여 채널 수신부(240)에 공급함으로써 원하는 가상의 고속 샘플링을 달성한다.

[0051] 상술한 각부의 구성 및 기능에 대한 설명은 설명의 편의를 위하여 서로 분리하여 설명하였을 뿐 필요에 따라 어느 한 구성 및 기능이 다른 구성요소로 통합되어 구현되거나, 또는 더 세분화되어 구현될 수도 있다.

[0053] 이상, 본 발명의 일실시예를 참조하여 설명했지만, 본 발명이 이것에 한정되지는 않으며, 다양한 변형 및 응용이 가능하다. 즉, 본 발명의 요지를 일탈하지 않는 범위에서 많은 변형이 가능한 것을 당업자는 용이하게 이해할 수 있을 것이다. 또한, 본 발명과 관련된 공지 기능 및 그 구성 또는 본 발명의 각 구성에 대한 결합관계에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

부호의 설명

[0054] 100 : 송신부

200 : 수신부

210 : 제1 클럭 생성부

211 : 제1 DLL부

212 : 제1 클럭 선택부(또는 제1 멀티플렉서)

220 : 제2 클럭 생성부

221 : 제2 DLL부

222 : 제2 클럭 선택부(또는 제2 멀티플렉서)

230 : LNA 및 Power divider

240 : 채널 수신부

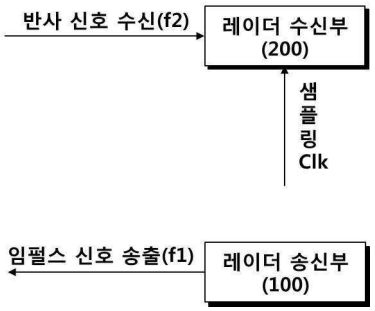
241 : 제1 채널 수신부

242 : 제2 채널 수신부

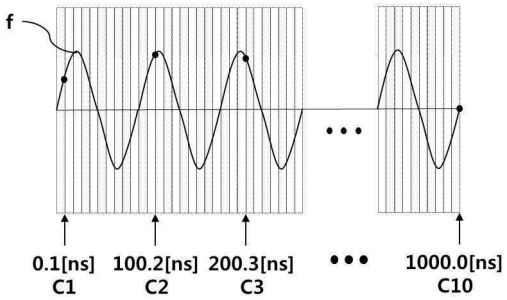
243 : 제M 채널 수신부

도면

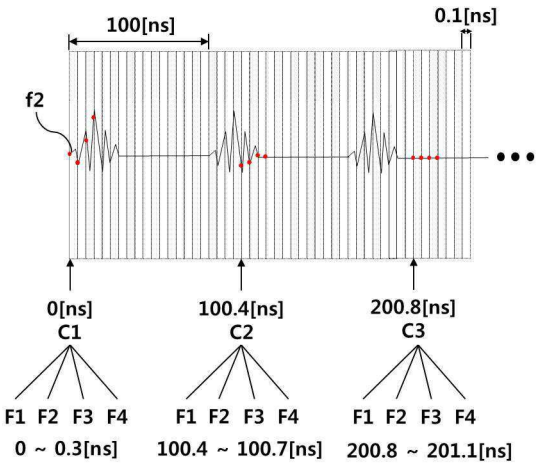
도면1



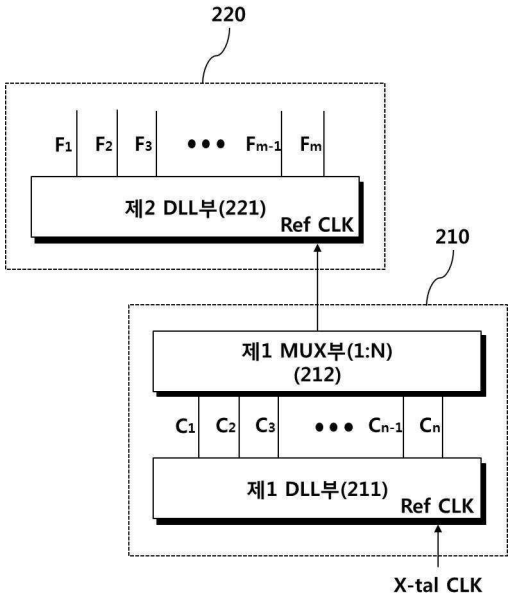
도면2



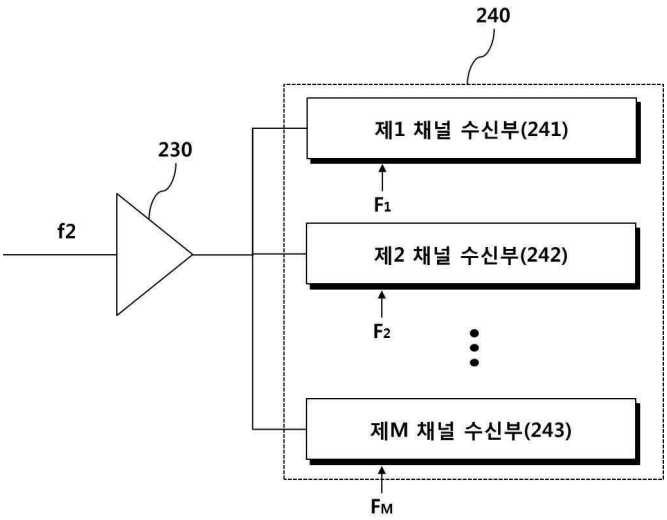
도면3


100[ns]
0.1[ns]
f2
0[ns]
C1
100.4[ns]
C2
200.8[ns]
C3
F1 F2 F3 F4
0 ~ 0.3[ns]
F1 F2 F3 F4
100.4 ~ 100.7[ns]
F1 F2 F3 F4
200.8 ~ 201.1[ns]

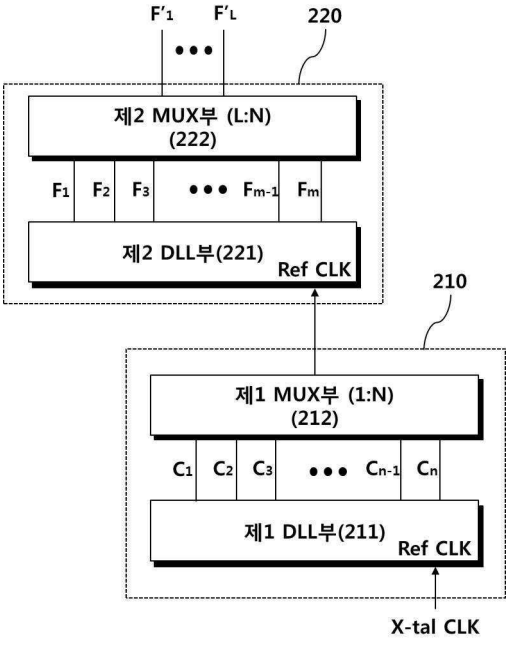
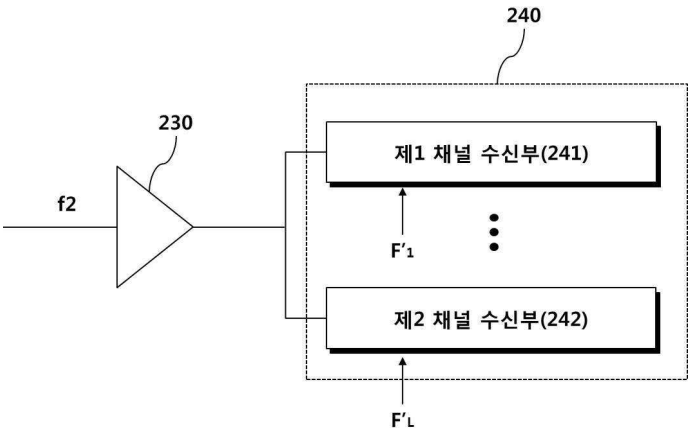
도면4


220
F1 F2 F3 Fm-1 Fm
제2 DLL부(221)
Ref CLK
210
제1 MUX부(1:N)
(212)
C1 C2 C3 Cn-1 Cn
제1 DLL부(211)
Ref CLK
X-tal CLK

도면5


240
230
f2
제1 채널 수신부(241)
제2 채널 수신부(242)
제M 채널 수신부(243)
F1
F2
FM

도면6


F'1
F'L
220
제2 MUX부 (L:N)
(222)
F1
F2
F3
Fm-1
Fm
제2 DLL부(221)
Ref CLK
210
제1 MUX부 (1:N)
(212)
C1
C2
C3
Cn-1
Cn
제1 DLL부(211)
Ref CLK
X-tal CLK

도면7