

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> H01L 29/42	(11) 공개번호 특 1991-0013571	(43) 공개일자 1991년 08월 08일
(21) 출원번호	특 1990-0020410	
(22) 출원일자	1990년 12월 12일	
(30) 우선권주장	22683A/89 1989년 12월 14일 이탈리아(IT)	
(71) 출원인	엣세지엣세 통슨 마이크로일렉트로닉스 엣세.알.엘 론치, 루이지, 바고, 에마누엘레	
(72) 발명자	이탈리아공화국, 아그라테 브리안자 20041 비아 씨. 올리벤티 2 레, 다닐로	
	이탈리아공화국, 베르 나레지오 20044 비아 에말라 4 마우렐리, 일폰소	
(74) 대리인	이탈리아공화국, 솔비아테 20050 비아 모로 6 김양오, 김원호	

**심사청구 : 없음**

---

**(54) 유전물질에 의해 분리되어 있는 전극쌍이 포함된 다양한 소자를 구비한 집적회로의 제조방법**

**요약**  
내용 없음.

**대표도**  
**도3**

**명세서**  
[발명의 명칭]  
유전물질에 의해 분리되어 있는 전극쌍이 포함된 다양한 소자를 구비한 집적회로의 제조방법  
[도면의 간단한 설명]  
제3도는 본 발명에 따른 방법의 새계의 단계의 실리콘 웨이퍼의 부분적 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**  
반도체물질의 기판상에 유전물질에 의해 분리되어 있는 전극의 쌍을 각각 포함하는 두개의 상이한 유형의 전자소자를 포함하는 집적회로를 형성하는 방법에 있어서, 제1다결정실리콘층(7)을 형성하여 도핑하고, 마스크 및 제거에 의해 유전물질(4), (6)이 이미 커버링되어 있는 기판의 영역에서 제1다결정실리콘층(7)의 소정의 지역을 한정시키고, 하나 이상의 절연물질에 의해 형성되는 제1절연층(8)을 제1다결정실리콘층(7)상에 형성하고, 제2다결정실리콘층(9)을 제1절연층(8)상에 형성하고, 제2다결정실리콘층(9)의 하나 이상의 소정의 영역을 마스크하고, 상기 소정의 영역의 외부에 있는 상기 제2다결정실리콘층(9)의 부분을 제거하고, 제1절연층(8)의 바닥부분을 제거하며, 제3다결정실리콘층(11)을 적어도 제2다결정실리콘층(9) 및 제2절연층(10)의 상기의 소정의 영역 상에 형성하고, 상기의 소정의 영역 상에 적어도 부분적으로 놓여 있는 제3다결정실리콘층(11)의 소정의 지역을 마스크하고, 상기 소정의 지역의 외부의 상기 제3의 다결정실리콘층(11)의 부분을 제거하는 동작이 수행되는 것을 특징으로 하는 반도체물질의 기판상에 집적회로를 형성하는 방법.

**청구항 2**  
제1항에 있어서, 제1다결정실리콘층(7)은 제2절연층(10)을 그 위에 형성하기 전에 전도율을 향상시키기 위해 도핑처리되는 것을 특징으로 하는 방법.

**청구항 3**

실리콘 기판상에 EPROM 및/또는 EEPROM 메모리 셀 및 캐패시터를 포함하는 집적회로를 형성하는 방법에 있어서, 실리콘 기판(1) 상에서 메모리 셀이 수용되는 활성지역을 한정하는 SiO<sub>2</sub>의 얇은 층(6)을 형성하고, SiO<sub>2</sub>의 비교적 두꺼운 부분(4)을 고온으로 성장시킴으로써 형성하고, 활성지역에서 성장시킴으로써 SiO<sub>2</sub>의 비교적 얇은 층(6)을 형성하고, SiO<sub>2</sub>의 비교적 두꺼운 부분(4) 및 비교적 얇은 층(6)상에 제1다결정실리콘층(7)을 형성하여 도핑하고, 제1다결정실리콘층의 소정의 지역을 마스킹 및 제거시킴으로써 한정하고, 하나 이상의 유전물질에 의해 형성되는 제1절연층(8)을 제1다결정실리콘층(7)에 형성하고, 제2다결정실리콘층(9)을 제1절연층(8)에 형성하고, 활성지역상에 놓여 있는 제2다결정실리콘층(8)의 부분을 제거하고, 제1절연층(10)을 제1다결정실리콘층(7)에 형성하고, SiO<sub>2</sub>의 비교적 두꺼운 하나 이상의 부분(4)들 위에 놓여 있는 제2의 절연층(10)의 하나 이상의 소정의 영역을 마스킹하고, 캐패시터의 유전체를 한정시키기 위하여 상기 소정의 지역의 외부의 상기 제2의 절연층(10)의 부분을 제거하며, 적어도 제2다결정실리콘층(9) 및 제2절연층(10)의 상기 소정의 영역상에 제3의 다결정실리콘층(11)을 형성하고, 상기 소정의 영역 위에 적어도 부분적으로 놓여 있는 제3의 다결정실리콘층(11)을 마스킹하고, 상기 소정의 지역의 외부의 상기 제3의 다결정실리콘층(11)의 부분을 제거하며, 게이트 전극구조와 메모리셀이 유전체 및 캐패시터 전극의 구조를 획득하기 위하여 제2다결정실리콘층(9), 제1절연층(8), 제1다결정실리콘층(7) 및 상기 소정의 지역의 외부의 SiO<sub>2</sub>의 비교적 얇은 층(6)의 부분들을 제거하는 동작이 수행되는 것을 특징으로 하는 실리콘 기판상에 집적회로를 형성하는 방법.

**청구항 4**

제1항 내지 제3항 중의 어느 한 항에 있어서, 제1절연층(8)은: 바닥의 최초의 다결정실리콘층(7)을 산화시키고, 실리콘 나이트라이드 층을 디포지트 하며, SiO<sub>2</sub>층을 형성시킴으로써 형성되는 것을 특징으로 하는 방법.

**청구항 5**

제1항 내지 제4항 중의 어느 한 항에 있어서, 제2절연층(10)은 650° 내지 750° 사이의 온도로 테트라에틸오르토실리케이트를 산화시킴으로써 형성되는 것을 특징으로 하는 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면3**

