



(12)发明专利

(10)授权公告号 CN 103516815 B

(45)授权公告日 2018.06.26

(21)申请号 201210208041.0

(22)申请日 2012.06.21

(65)同一申请的已公布的文献号

申请公布号 CN 103516815 A

(43)申请公布日 2014.01.15

(73)专利权人 深圳市中兴微电子技术有限公司

地址 518085 广东省深圳市盐田区大梅沙1号厂房

(72)发明人 张衡 张怀福 潘晓锋

(74)专利代理机构 北京派特恩知识产权代理有限公司 11270

代理人 张颖玲 蒋雅洁

(51)Int.Cl.

H04L 29/10(2006.01)

(56)对比文件

CN 102291854 A,2011.12.21,

US 2012/0134331 A1,2012.05.31,

审查员 孙慧珠

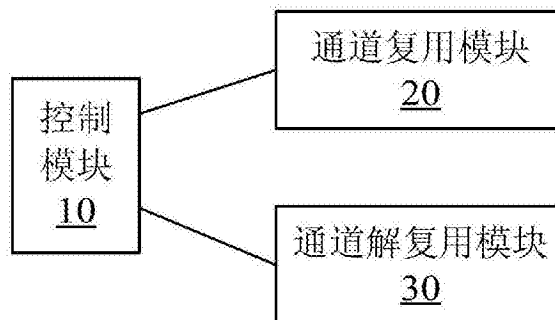
权利要求书2页 说明书8页 附图5页

(54)发明名称

并行接口时序控制装置

(57)摘要

本发明公开了一种并行接口时序控制装置,位于模拟基带或数字基带,包括:控制模块,用于接收来自系统的控制信息和来自对端基带的状态指示信息,根据控制信息和状态指示信息产生控制时序和状态指示信号,其中,控制时序能够控制通道复用模块进行数据发送和通道解复用模块进行数据接收,状态指示信号指示数据的发送/接收状态;通道复用模块,用于当状态指示信号指示的状态为发送时,根据控制时序将第一数据通过双通道发送给对端基带;通道解复用模块,用于当状态指示信号指示的状态为接收时,根据控制时序通过双通道接收来自对端基带的第二数据。通过本发明,达到了简化接口时序控制复杂度、减小功耗的效果。



1. 一种并行接口时序控制装置,位于模拟基带ABB或数字基带DBB,其特征在于,包括:

控制模块,用于接收来自系统的控制信息和来自对端基带的状态指示信息,根据所述控制信息和所述状态指示信息产生控制时序和状态指示信号,其中,所述控制时序能够控制通道复用模块进行数据发送和通道解复用模块进行数据接收,所述状态指示信号指示数据的发送/接收状态;

通道复用模块,用于当所述状态指示信号指示的状态为发送时,根据所述控制时序将第一数据通过双通道发送给所述对端基带;

通道解复用模块,用于当所述状态指示信号指示的状态为接收时,根据所述控制时序通过所述双通道接收来自所述对端基带的第二数据;

所述第一数据和所述第二数据的数据类型相同,且均为以下类型之一:

频分双工FDD双通道数据、时分双工TDD双通道数据、频分双工FDD单通道数据、时分双工TDD单通道数据。

2. 根据权利要求1所述的装置,其特征在于,所述第一数据和所述第二数据均为FDD双通道数据;所述通道复用模块包括:

通道复用单元,用于根据所述控制时序确定通过所述双通道中的第一通道发送所述第一数据的第一发送时刻和通过所述双通道中的第二通道发送所述第一数据的第二发送时刻。

3. 根据权利要求2所述的装置,其特征在于,所述第一数据和所述第二数据均为FDD双通道数据;所述通道解复用模块包括:

通道解复用单元,用于根据所述控制时序确定通过所述第一通道接收所述第二数据的第一接收时刻和通过所述第二通道接收所述第二数据的第二接收时刻。

4. 根据权利要求1所述的装置,其特征在于,所述第一数据和所述第二数据均为TDD双通道数据;所述通道复用模块包括:

第一通路选择单元,用于将所述第一数据中对应于所述双通道中的第一通道的数据、所述第一数据中对应于所述双通道中的第二通道的数据分别通过第一缓存器、第二缓存器发送给所述对端基带。

5. 根据权利要求4所述的装置,其特征在于,所述第一数据和所述第二数据均为TDD双通道数据;所述通道解复用模块包括:

第二通路选择单元,用于将所述第二数据中对应于所述双通道中的第一通道的数据、所述第二数据中对应于所述双通道中的第二通道的数据分别发送给所述第一缓存器、所述第二缓存器。

6. 根据权利要求1所述的装置,其特征在于,所述第一数据和所述第二数据均为FDD单通道数据;所述通道复用模块包括:

第三通路选择单元,用于将所述第一数据通过对应于所述第一数据的所述双通道中的第一通道发送给第一缓存器。

7. 根据权利要求6所述的装置,其特征在于,所述第一数据和所述第二数据均为FDD单通道数据;所述通道解复用模块包括:

第四通路选择单元,用于将所述第二数据通过对应于所述第二数据的所述双通道中的第一通道发送给所述第一缓存器。

8. 根据权利要求1所述的装置,其特征在于,所述第一数据和所述第二数据均为TDD单通道数据;所述通道复用模块包括:

第五通路选择单元,用于将所述第一数据通过对应于所述第一数据的所述双通道中的第一通道发送给第一缓存器。

9. 根据权利要求8所述的装置,其特征在于,所述第一数据和所述第二数据均为TDD单通道数据;所述通道解复用模块包括:

第六通路选择单元,用于将所述第二数据通过对应于所述第二数据的所述双通道中的第一通道发送给所述第一缓存器。

并行接口时序控制装置

技术领域

[0001] 本发明涉及通信领域,具体而言,涉及一种并行接口时序控制装置。

背景技术

[0002] 随着移动通信技术的迅猛发展,从第一代的模拟通信到第二代的数字移动通信,再到第三代的宽带移动通信及第四代的长期演进(Long Term Evolution,简称为LTE)技术。除了第一代模拟技术被完全取代外,第二代、第三代以及第四代移动通信都将同时存在于现在及未来中,形成多标准多制式移动通信长期并存的局面。这样,用户对移动终端的要求也从传统的单一模式向多模式需求转变。在此需求下,全球移动通信系统(Global System for Mobile communication,简称为GSM)单一制式多模多待、GSM与宽带码分多址接入(Wideband Code Division Multiple Access,简称为WCDMA)双模单待、自动切换、时分同步码分多址(Time Division-Synchronous Code Division Multiple Access,简称为TD-SCDMA)与GSM双模单待,自动切换等终端解决方案都陆续出来了。

[0003] 通过对现有的多模方案进行分析发现,它们的射频前端硬件结构基本都不外乎将两个单一模式简单地拼接在一个终端上面进而实现多模,射频和基带芯片的通信连接都是独立的接口连接,缺乏一种统一的接口。这种接口方式对于低速率、存在两种制式的多模终端来讲,实现起来还是相对容易。但是,如果再将高速的LTE制式简单拼接集成到现有的多模终端方案上以后,对基带芯片的管脚资源和整个终端的面积、体积都会带来巨大的挑战。因此,整合接口管脚资源,以设计出一种灵活、通用、易控制的射频接口已显得非常迫切。

[0004] 目前,移动通信业界关于终端的射频(Radio Frequency,简称为RF)接口的定义标准也比较多,典型的有DigRF V112、3G DigRF V309、mipi DigRF V4以及JESD207-RBDP接口标准。其中,前三种标准属于串行数据接口标准,其中DigRF V112主要应用于第二代GSM通信系统中,因为其所需芯片管脚资源少、接口速率低、设计难度小而被业界广泛采纳;DigRF V309设计主要面向3G终端射频接口,虽然所需芯片管脚资源少,但是对接口速率很高,尤其WCDMA制式对其接口速率要求高达312MHz,这对系统设计带来了很大的挑战。很多系统设计厂商纷纷采用并行数字接口或模拟接口设计来避其设计风险;DigRF V4标准旨在针对LTE和Wimax设计的接口标准,这种高达上G赫兹的时钟速率更是让系统设计厂商望而生畏,少有人问津。因此,并行接口的无线前端基带数字并行(Radio front end Base band Digital Parallel,简称为RBDP)标准应运而生。

[0005] JESD207-RBDP接口标准虽然是并行接口设计,有效降低了接口数据速率,但是其复杂的时序状态控制使得其应用显得非常复杂,尤其是在时分双工(Time Division Duplex,简称为TDD)对时间切换要求非常严格的条件下应用时,调试起来非常困难。

[0006] 请参考图1,图1是根据相关技术的JESD207-RBDP接口标准的物理连接框图,如图1所示,在RBDP接口控制平面信号和分层中,FCLK为第二数据传输的随路时钟、MCLK为第一数据传输的随路时钟、TXNRX是上第一数据传输的状态指示、ENABLE是突发数据的开始和结束的状态指示。DIQ[9:0]和DIQ[11:0]是传输的并行数据,分别支持10bit和12bit两种的并行

传输,可以二选一。

[0007] 图2是根据相关技术的数据通路传输突发开始的时序控制示意图、图3是根据相关技术的数据通路传输突发结束的时序控制示意图,请同时参考图2、图3,如图2、图3所示,数据的开始和结束都是由使能(enable)脉冲来指示的,它必须是成对出现。在控制数据发送过程中,如果少了一个enable脉冲,控制就会出现异常,那么整个状态机就乱掉了,后续在发送突发信号后就无法恢复到正常的发送状态,必须重置(reset)控制逻辑才能重新恢复正常。

[0008] 而且,终端在进行收发切换的时候,TXNRX信号和FCLK时钟有严格的时序约束关系,TXNRX信号和enable信号也有严格的时序约束关系,数据的传输相对enable脉冲信号有固定的延时。这些将收发切换控制和数据传输时序严格约束在一起,这在时序控制上显得非常复杂,而且切换的时间也会比较慢,这和TDD系统要求快速收发切换的目标是相违背的。

[0009] 此外,JESD207-RBDP接口只支持TDD的数据传输,对频分双工(Frequency Division Duplex,简称为FDD)-LTE终端而言则要求实现第一数据同时进行传输,显然,这种接口时序不能满足需求。

[0010] 因此,现有技术的并行接口标准主要存在以下缺陷:接口控制复杂、仅能够支持TDD系统的数据传输而无法支持FDD系统数据传输。

发明内容

[0011] 本发明提供了一种并行接口时序控制装置,以至少解决上述问题之一。

[0012] 本发明提供的并行接口时序控制装置,位于模拟基带(ABB)或数字基带(DBB),主要包括:控制模块,用于接收来自系统的控制信息和来自对端基带的状态指示信息,根据控制信息和状态指示信息产生控制时序和状态指示信号,其中,控制时序能够控制通道复用模块进行数据发送和通道解复用模块进行数据接收,状态指示信号指示数据的发送/接收状态;通道复用模块,用于当状态指示信号指示的状态为发送时,根据控制时序将第一数据通过双通道发送给对端基带;通道解复用模块,用于当状态指示信号指示的状态为接收时,根据控制时序通过双通道接收来自对端基带的第二数据。

[0013] 优选地,第一数据和第二数据的数据类型相同,且均为以下类型之一:频分双工(FDD)双通道数据、时分双工(TDD)双通道数据、频分双工(FDD)单通道数据、时分双工(TDD)单通道数据。

[0014] 优选地,第一数据和第二数据均为FDD双通道数据;通道复用模块包括:通道复用单元,用于根据控制时序确定通过双通道中的第一通道发送第一数据的第一发送时刻和通过双通道中的第二通道发送第一数据的第二发送时刻。

[0015] 优选地,第一数据和第二数据均为FDD双通道数据;通道解复用模块包括:通道解复用单元,用于根据控制时序确定通过第一通道接收第二数据的第一接收时刻和通过第二通道接收第二数据的第二接收时刻。

[0016] 优选地,第一数据和第二数据均为TDD双通道数据;通道复用模块包括:第一通路选择单元,用于将第一数据中对应于双通道中的第一通道的数据、第一数据中对应于双通道中的第二通道的数据分别通过第一缓存器、第二缓存器发送给对端基带。

[0017] 优选地,第一数据和第二数据均为TDD双通道数据;通道解复用模块包括:第二通路选择单元,用于将第二数据中对应于双通道中的第一通道的数据、第二数据中对应于双通道中的第二通道的数据分别发送给第一缓存器、第二缓存器。

[0018] 优选地,第一数据和第二数据均为FDD单通道数据;通道复用模块包括:第三通路选择单元,用于将第一数据通过对应于第一数据的双通道中的第一通道发送给第一缓存器。

[0019] 优选地,第一数据和第二数据均为FDD单通道数据;通道解复用模块包括:第四通路选择单元,用于将第二数据通过对应于第二数据的双通道中的第一通道发送给第一缓存器。

[0020] 优选地,第一数据和第二数据均为TDD单通道数据;通道复用模块包括:第五通路选择单元,用于将第一数据通过对应于第一数据的双通道中的第一通道发送给第一缓存器。

[0021] 优选地,第一数据和第二数据均为TDD单通道数据;通道解复用模块包括:第六通路选择单元,用于将第二数据通过对应于第二数据的双通道中的第一通道发送给第一缓存器。

[0022] 通过本发明,采用同一并行接口上设置能够同时兼容TDD、FDD多模单待终端的数据传输、同时兼容TDD和FDD系统的MIMO和分集数据传输的通道复用模块和通道解复用模块的方式,解决了现有的并行接口的接口控制复杂、仅能够支持TDD系统的数据传输而无法支持FDD系统数据传输的问题,进而达到了简化接口时序控制、减小功耗、且最大限度的减少芯片的物理管脚资源、减小芯片的封装面积的效果。

附图说明

[0023] 此处所说明的附图用来提供对本发明的进一步理解,构成本申请的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0024] 图1是根据相关技术的JESD207-RBDP接口标准的物理连接框图;

[0025] 图2是根据相关技术的数据通路传输突发开始的时序控制示意图;

[0026] 图3是根据相关技术的数据通路传输突发结束的时序控制示意图;

[0027] 图4是根据本发明实施例的并行接口时序控制装置的结构框图;

[0028] 图5是根据本发明优选实施例的并行接口时序控制装置的结构框图;

[0029] 图6是根据本发明优选实施例的ABB与DBB之间的电气连接示意图;

[0030] 图7是根据本发明优选实施例的ABB的接口电路功能框图;

[0031] 图8是根据本发明优选实施例的DBB的接口电路功能框图;

[0032] 图9是根据本发明优选实施例的TDD系统单天线发送、接收的时刻控制状态和数据传输状态的示意图;

[0033] 图10是根据本发明优选实施例的TDD系统双天线发送、接收的时刻控制状态和数据传输状态的示意图;

[0034] 图11是根据本发明优选实施例的FDD系统单天线发送、接收的时刻控制状态和数据传输状态的示意图;

[0035] 图12是根据本发明优选实施例的FDD系统双天线发送、接收的时刻控制状态和数

据传输状态的示意图。

具体实施方式

[0036] 下文中将参考附图并结合实施例来详细说明本发明。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0037] 图4是根据本发明实施例的并行接口时序控制装置的结构框图,如图4所示,该装置主要包括:

[0038] 本发明提供的并行接口时序控制装置,位于模拟基带(ABB)或数字基带(DBB),主要包括:控制模块10、通道复用模块20以及通道解复用模块30。其中,控制模块10,用于接收来自系统的控制信息和来自对端基带的状态指示信息,根据控制信息和状态指示信息产生控制时序和状态指示信号,其中,控制时序能够控制通道复用模块进行数据发送和通道解复用模块进行数据接收,状态指示信号指示数据的发送/接收状态;通道复用模块20,与控制模块10连接,用于当状态指示信号指示的状态为发送时,根据控制时序将第一数据通过双通道发送给对端基带;通道解复用模块30,与控制模块10连接,用于当状态指示信号指示的状态为接收时,根据控制时序通过双通道接收来自对端基带的第二数据。

[0039] 在本实施例中,第一数据和第二数据的数据类型相同,且均为以下类型之一:频分双工(FDD)双通道数据、时分双工(TDD)双通道数据、频分双工(FDD)单通道数据、时分双工(TDD)单通道数据。

[0040] 以下按照传输的数据的不同类型对该并行接口时序控制装置进行介绍。

[0041] 图5是根据本发明优选实施例的并行接口时序控制装置的结构框图,如图5所示,在该优选实施例提供的装置中,通道复用模块20可以包括:通道复用单元22、第一通路选择单元24、第三通路选择单元26以及第五通路选择单元28;通道解复用模块30可以包括:通道解复用单元32、第二通路选择单元34、第四通路选择单元36以及第六通路选择单元38。

[0042] 在本实施例中,当第一数据和第二数据的类型不同时,该装置中的通道复用模块20和通道解复用模块30可以采用不同的单元处理。

[0043] (1)当第一数据和第二数据均为FDD双通道数据时,通道复用模块20采用通道复用单元22进行FDD双通道数据的传输,通道解复用模块30采用通道解复用单元32进行FDD双通道数据的传输。其中,通道复用单元22,用于根据控制时序确定通过双通道中的第一通道发送第一数据的第一发送时刻和通过双通道中的第二通道发送第一数据的第二发送时刻;通道解复用单元32,用于根据控制时序确定通过第一通道接收第二数据的第一接收时刻和通过第二通道接收第二数据的第二接收时刻。

[0044] (2)当第一数据和第二数据均为TDD双通道数据时,通道复用模块20采用第一通路选择单元24进行FDD双通道数据的传输,通道解复用模块30采用第二通路选择单元34进行FDD双通道数据的传输。其中,第一通路选择单元24,用于将第一数据中对应于双通道中的第一通道的数据、第一数据中对应于双通道中的第二通道的数据分别通过第一缓存器、第二缓存器发送给对端基带;第二通路选择单元34,用于将第二数据中对应于双通道中的第一通道的数据、第二数据中对应于双通道中的第二通道的数据分别发送给第一缓存器、第二缓存器。

[0045] (3)当第一数据和第二数据均为FDD单通道数据时,通道复用模块20采用第三通路

选择单元26进行FDD单通道数据的传输,通道解复用模块30采用第四通路选择单元36进行FDD单通道数据的传输。其中,第三通路选择单元26,用于将第一数据通过对应于第一数据的双通道中的第一通道发送给第一缓存器;第四通路选择单元36,用于将第二数据通过对应于第二数据的双通道中的第一通道发送给第一缓存器。

[0046] (4)当第一数据和第二数据均为TDD单通道数据时,通道复用模块20采用第五通路选择单元28进行TDD单通道数据的传输,通道解复用模块30采用第六通路选择单元38进行TDD单通道数据的传输。其中,第五通路选择单元28,用于将第一数据通过对应于第一数据的双通道中的第一通道发送给第一缓存器;第六通路选择单元38,用于将第二数据通过对应于第二数据的双通道中的第一通道发送给第一缓存器。

[0047] 当然,在实际应用中,可以不局限于图4、图5所示的实施例提供的并行接口时序控制装置的组成方式,只要能够完成并行接口时序控制装置的功用的其他方式也是完全可以的。下面结合图6至图12对以下优选实施例进行详细说明。

[0048] 图6是根据本发明优选实施例的ABB与DBB之间的电气连接示意图,如图6所示,TRDIQ1[N:0]和TRDIQ2[N:0]定义了两组N比特的并行数据传输线。MCLK是下行接收的数据的随路时钟,供DBB采样TRDIQ数据所用;FCLK是上行发送数据的随路时钟,供ABB采样TRDIQ数据所用。TX_ON和RX_ON定义了收发状态的控制,高电平有效。TX1NTX2,RX1NRX2为FDD系统多通道传输所用,TX1NTX2指示FDD系统双天线发送传输数据通道选择指示,如果不考虑发射MIMO或发射分集,此连接可以不考虑;RX1NRX2指示FDD系统双天线接收传输数据通道选择指示,如果不考虑接收MIMO或接收分集,此连接可以不考虑。

[0049] 图7是根据本发明优选实施例的ABB的接口电路功能框图、图8是根据本发明优选实施例的DBB的接口电路功能框图,图7和图8分别描述了ABB侧和DBB侧的接口电路,为了获取双向对称的数据传输,ABB侧和BB侧都带有相同的功能单元,收发协调,互补对称。每一侧的接口装置都包括两组双向输入/输出(I/O)口,两组输入输出缓存器(buffer),一个控制单元,一个通道复用单元,一个通道解复用单元,两组I/O复用单元和两组I/O解复用单元。

[0050] 如图7所示,ABB侧的接口电路装置(即并行接口时序控制装置位于ABB上时所采取的设置方式)详细功能描述如下:

[0051] 接收通路,两路接收的IQ正交信号首先通过一个IQ复用模块,将IQ信号复用到同一时钟上传输,通常时钟的上升沿为传输I信号下降沿传输为Q信号,然后再将信号送入一个通道复用模块,此模块有两种功能,一是通道复用,二是通路选择。其中,通道复用只是针对FDD系统中的双通道数据传输,由RX1NRX2信号来指示何时传通道1的数据,何时传通道2的数据。针对TDD系统的传输双通道数据,只需要通过通路选择,将通道1和通道2的数据分别送往两个输出buffer即可;如果只是传输单通道数据,不论是TDD系统还是FDD系统,只需要接收的IQ数据通过通路选择将数据送往相应的输出buffer即可,buffer按照MCLK的时钟速率输出数据经过双向I/O口传输到DBB。

[0052] 发送通路,双向I/O口接收来自DBB的数据按照FCLK的时钟采样并送入相应的输入buffer。buffer输出数据送往通道解复用模块。通道解复用模块有两种功能:一是通路选择,二是通道解复用。其中,通道解复用只是对FDD系统双通道数据发射来说,解复用模块选择接收来自其中一个buffer的数据,根据TX1NTX2的状态指示,将通道1和通道2的数据分离并送给I/Q解复用模块。针对TDD系统发射双通道数据,解复用模块只需要将两buffer的数

据分别送往通道1和通道2的I/Q解复用模块即可；如果只是发送单通道数据，不论是TDD系统还是FDD系统，解复用模块只需将buffer送过来的通道数据路由选择送往其中一个I/Q解复用模块即可。I/Q解复用模块分离出两路正交的IQ数据送出。

[0053] 控制模块，用于接收来自DBB的控制信息和状态指示信息，并产生相应的控制时序和状态指示信号，控制ABB接口收发数据通道的数据传输和收发切换。

[0054] 如图8所示，DBB侧的接口电路装置（即并行接口时序控制装置位于DBB上所采取的设置方式）详细功能描述如下：

[0055] 接收通路，双向I/O口接收来自ABB的数据按照MCLK的时钟采样并送入相应的输入buffer，buffer输出数据送往通道解复用模块，通道解复用模块有两功能：一是通路选择，二是通道解复用。其中，通道解复用只是对FDD系统双通道数据接收来说，解复用模块选择接收来自其中一个buffer的数据，根据RX1NRX2的状态指示，将通道1和通道2的数据分离并送给I/Q解复用模块。针对TDD系统接收双通道数据，解复用模块只需要将两buffer的数据分别送往通道1和通道2的I/Q解复用模块即可；如果只是接收单通道数据，不论是TDD系统还是FDD系统，解复用模块只需将buffer送过来的通道数据路由选择送往其中一个I/Q解复用模块即可，I/Q解复用模块分离出两路正交的IQ数据送出。

[0056] 发射通路，两路发射的IQ正交信号首先通过一个IQ复用模块，将IQ信号复用到同一时钟上传输，通常时钟的上升沿为传输I信号下降沿传输为Q信号，然后再将信号送入一个通道复用模块，此模块有两功能：一是通道复用，二是通路选择。其中，通道复用只是针对FDD系统中的双通道数据传输，由TX1NTX2信号来指示何时传通道1的数据，何时传通道2的数据。针对TDD系统的传输双通道数据，只需要通过通路选择，将通道1和通道2的数据分别送往两个输出buffer即可；如果只是传输单通道数据，不论是TDD系统还是FDD系统，只需要发射的IQ数据通过通路选择将数据送往相应的输出buffer即可，buffer按照FCLK的时钟速率输出数据经过双向I/O口传输到ABB。

[0057] 控制模块，用于接收来自系统（主要是基带软件、内存或CPU）的控制信息和ABB的状态指示信息，并产生相应的控制时序和状态指示信号，控制DBB接口收发数据通道的数据传输和收发切换。

[0058] 在ABB上、DBB上均设置了并行接口时序控制装置后，时序控制变得非常简单，为了方便了解，现结合图9、图10、图11、图12将时序控制的流程介绍如下：

[0059] 1、选择工作模式。软件配置ABB侧和DBB侧控制单元相关寄存器，选择是TDD系统工作模式还是FDD工作模式，接口数据传输是单天线数据还是双天线数据（同时也包括接收传输双天线数据，发射传输单天线数据）；

[0060] 2、根据选定的工作模式进行时序控制。

[0061] (1) TDD系统工作模式下的时序控制。根据TDD系统收发的定时要求配置DBB侧的控制模块使TX_ON和RX_ON组合产生IDLE、接收、发射三种工作状态，请参考表1：

[0062] 表1、根据TDD系统收发的定时要求配置的工作状态

[0063]

TX_ON	RX_ON	工作状态
1	0	发射数据传输
0	1	接收数据传输

0	0	IDLE
1	1	延续前一工作状态

[0064] 图9是根据本发明优选实施例的TDD系统单天线发送、接收的时刻控制状态和数据传输状态的示意图,图10是根据本发明优选实施例的TDD系统双天线发送、接收的时刻控制状态和数据传输状态的示意图,图9、图10分别描述了TDD系统单天线发送单天线接收和双天线发射双天线接收的时序控制状态和数据传输状态。

[0065] TDD系统属于半双工传输模式,同一天线收发的数据可以复用在同一并行接口数据上传输。天线1的收发数据复用到TRDIQ1[N:0]上传输,天线2的收发数据复用到TRDIQ2[N:0]上传输,上下行传输速率和数据采样时钟参考分别由FCLK和MCLK来决定。当只有一个天线的数据传输时,只有一个并行接口的数据有效,另一个并行接口数据可以忽略。当TX_ON拉高或RX_ON拉高电平开始执行ABB与DBB之间的数据传输,实际传输的有效数据会延时一段时间到达,这由数据传输的通道延时决定。当TX_ON和RX_ON拉低电平立即终止数据传输。

[0066] (2)FDD系统工作模式下的时序控制。根据FDD系统收发的定时要求配置DBB侧的控单元使TX_ON和RX_ON独立产生IDLE、接收、发射三种工作状态,请参考表2:

[0067] 表2、根据FDD系统收发的定时要求配置的工作状态

[0068]

TX_ON	RX_ON	工作状态
1	0	发射数据传输
0	1	接收数据传输
0	0	IDLE
1	1	收发同时进行

[0069] 图11是根据本发明优选实施例的FDD系统单天线发送、接收的时刻控制状态和数据传输状态的示意图,图12是根据本发明优选实施例的FDD系统双天线发送、接收的时刻控制状态和数据传输状态的示意图,分别描述了FDD系统单天线发送单天线接收和双天线发射双天线接收的时序控制状态和数据传输状态。

[0070] FDD系统属于全双工系统,收发数据传输独立进行。接收数复用到TRDIQ1[N:0]上传输,发射数据复用到TRDIQ2[N:0]上传输,上下行传输速率和数据采样时钟参考分别由FCLK和MCLK来决定。当执行单天线数据传输时,数据在TRDIQ线上的传输和TDD(时分双工)系统类同;当执行双天线数据传输时,接收需要额外增加RX1NRX2来指示数据传输通道的选择状态,接收需要额外增加RX1NRX2来指示数据传输通道的选择状态,便于DBB在同一数据传输线上分离出两个天线通道的数据;发送需要额外增加TX1NTX2来指示数据传输通道的选择状态,便于ABB在同一数据传输线上分离出两个天线通道的数据。当TX_ON电平拉高时,执行DBB到ABB之间的发送数据传输,实际发送的有效数据会延时一段时间到达,这由数据传输的通道延时决定,当TX_ON电平拉低时,立即终止发射数据的传输;当RX_ON电平拉高时,执行ABB到DBB之间的接收数据传输,实际接收的有效数据会延时一段时间到达,这由数据传输的通道延时决定,当RX_ON电平拉低时,立即终止接收数据的传输。

[0071] 采用上述实施例提供的并行接口时序控制装置,可以解决现有的并行接口的接口控制复杂、仅能够支持TDD系统的数据传输而无法支持FDD系统数据传输的问题,能够在同

一并行接口上同时兼容TDD、FDD多模单待终端的数据传输、同时兼容TDD和FDD系统的MIMO和分集数据传输,进而达到了简化接口时序控制、减小功耗、且最大限度的减少芯片的物理管脚资源、减小芯片的封装面积的效果。

[0072] 从以上的描述中,可以看出,本发明实现了如下技术效果:在同一并行接口上既能支持TDD系统的数据传输也能支持FDD的数据传输,在多模单待的终端系统中,既避免了串行接口带来的传输速率高,功耗大,调试困难的风险,同时最大程度上的压缩多模终端并行数据传输接口的对芯片管脚资源的需求,使得芯片的封装面积能做的更小,有利于多模单待系统在终端上的实现。而且,能有效简化控制单元的逻辑的设计,定时控制操作起来也更简单。只需要知道实际数据传输的通道时延,就能根据物理层的定时需要,简单控制TX_ON和RX_ON的电平状态,完成数据的收发传输,不会出现控制状态机混乱的问题。简而言之,本发明实施例提供的并行接口时序控制装置采用了在同一并行接口上设置能够同时兼容TDD、FDD多模单待终端的数据传输、同时兼容TDD和FDD系统的MIMO和分集数据传输的通道复用模块和通道解复用模块的方式,解决了现有的并行接口的接口控制复杂、仅能够支持TDD系统的数据传输而无法支持FDD系统数据传输的问题,进而达到了简化接口时序控制、减小功耗、且最大限度的减少芯片的物理管脚资源、减小芯片的封装面积的效果。

[0073] 显然,本领域的技术人员应该明白,上述的本发明的各模块或各步骤可以用通用的计算装置来实现,它们可以集中在单个的计算装置上,或者分布在多个计算装置所组成的网络上,可选地,它们可以用计算装置可执行的程序代码来实现,从而,可以将它们存储在存储装置中由计算装置来执行,并且在某些情况下,可以以不同于此处的顺序执行所示出或描述的步骤,或者将它们分别制作成各个集成电路模块,或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样,本发明不限制于任何特定的硬件和软件结合。

[0074] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

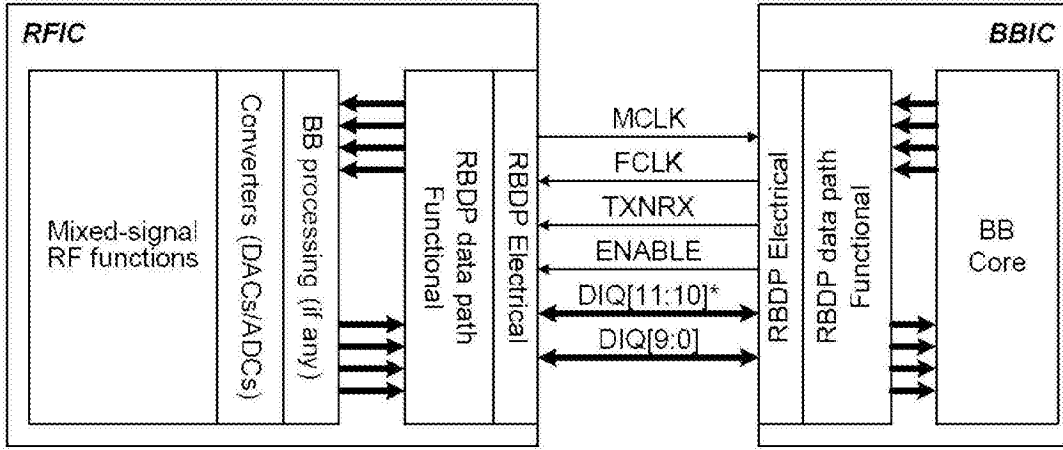


图1

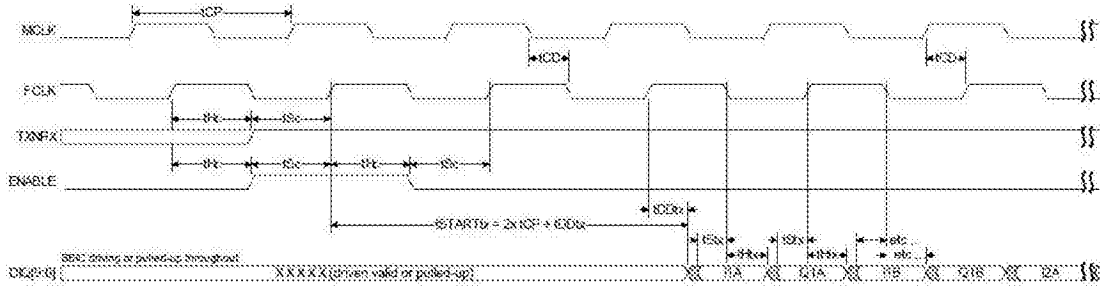


图2

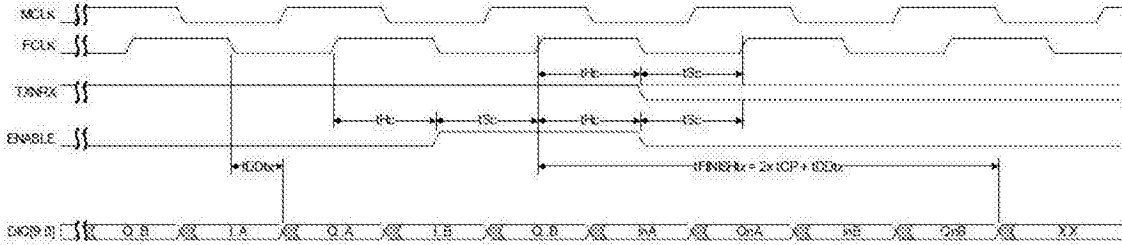


图3

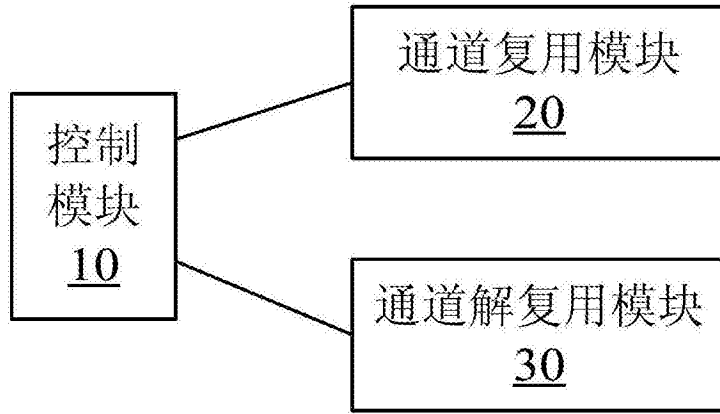


图4

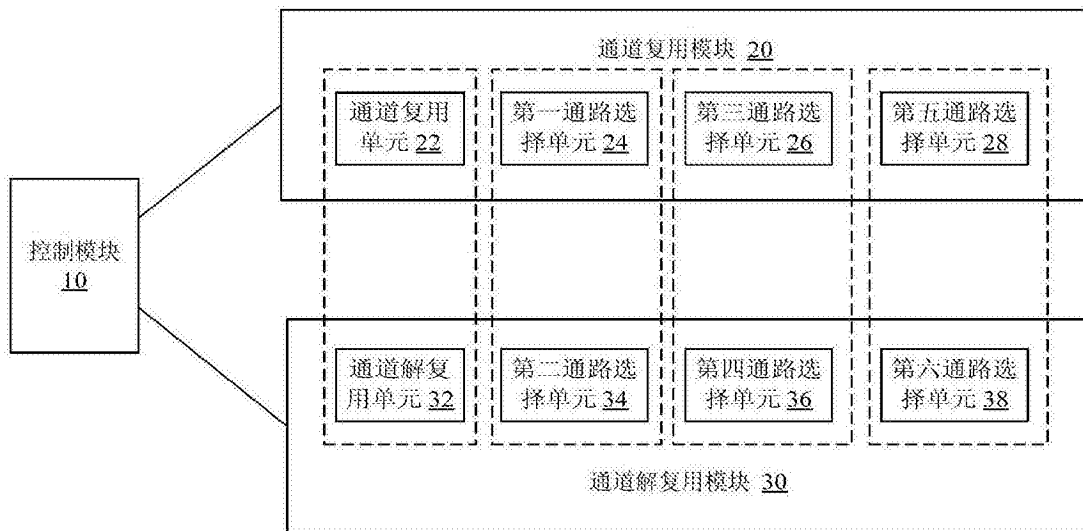


图5

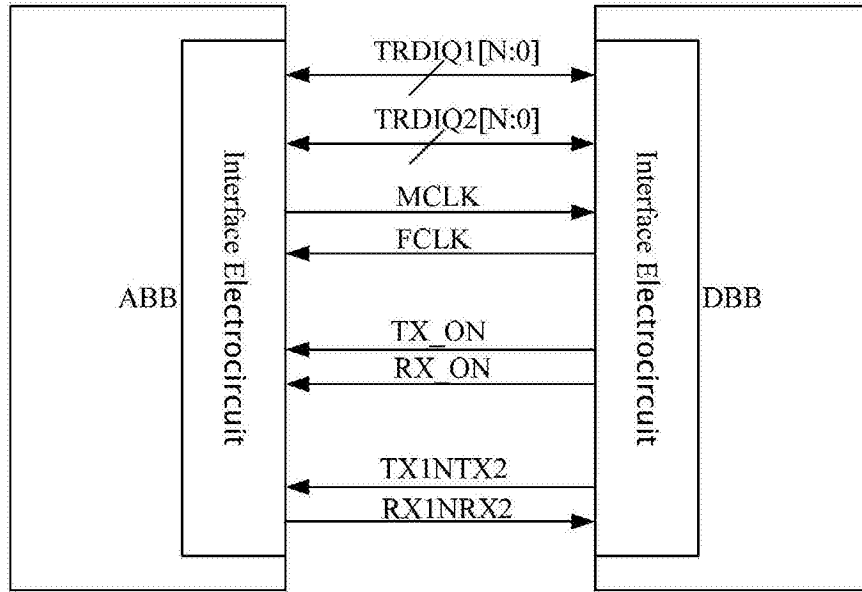


图6

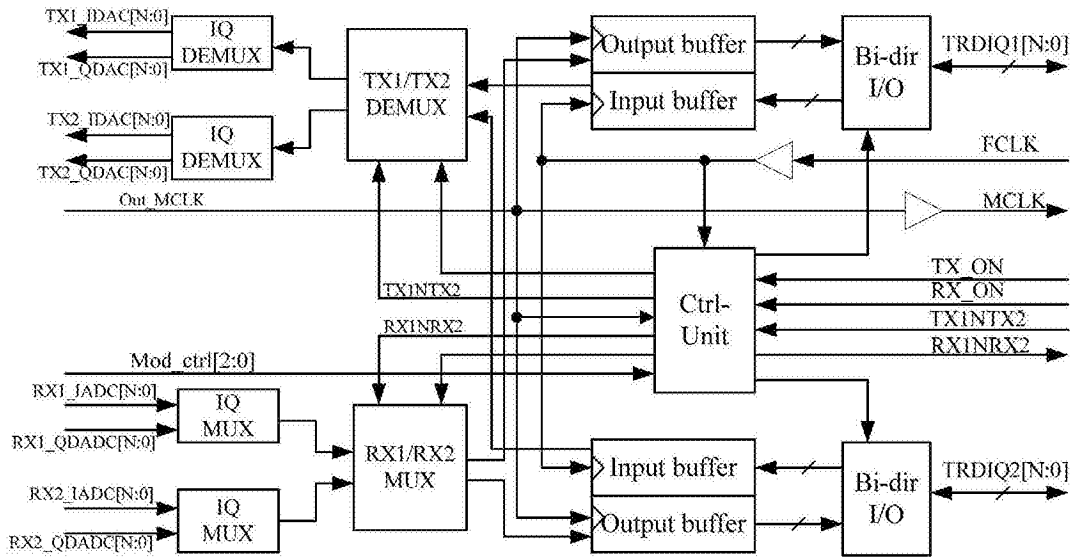


图7

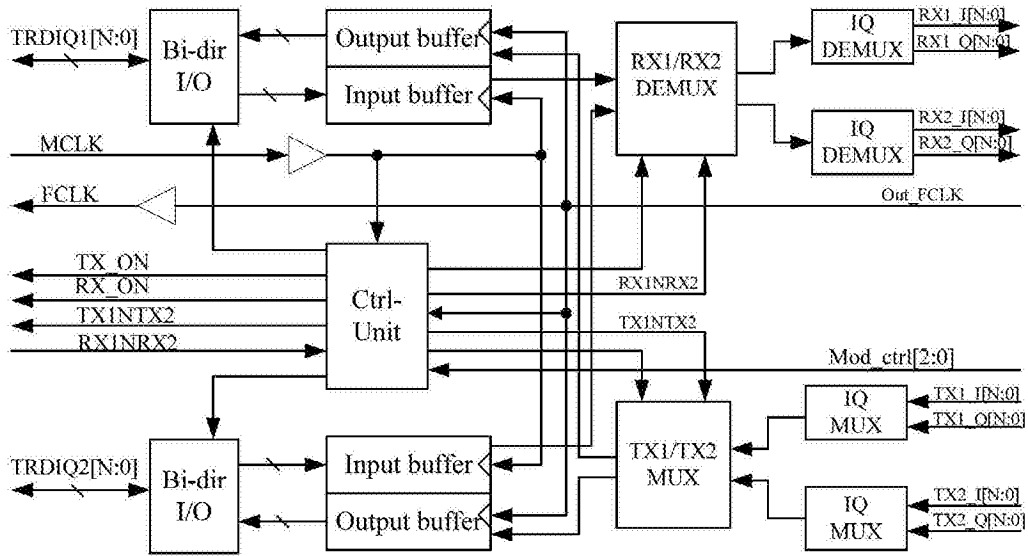


图8

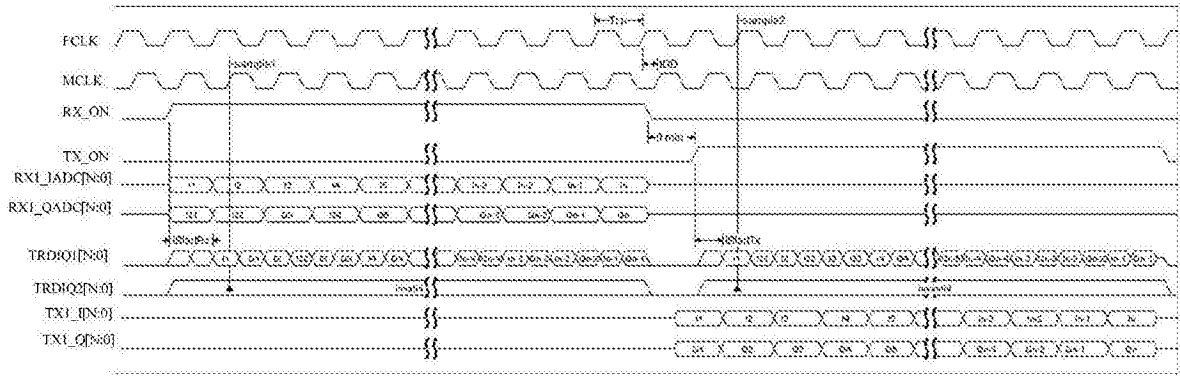


图9

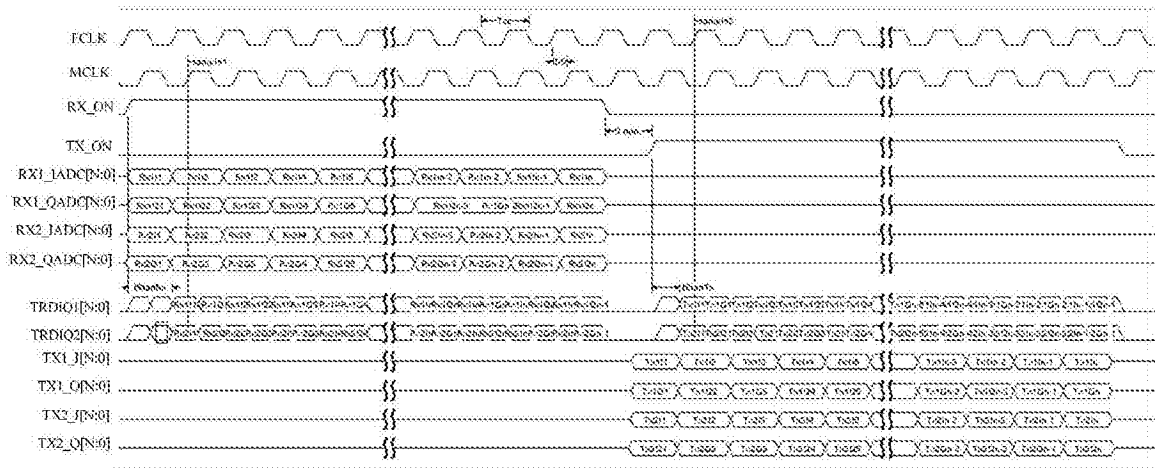


图10

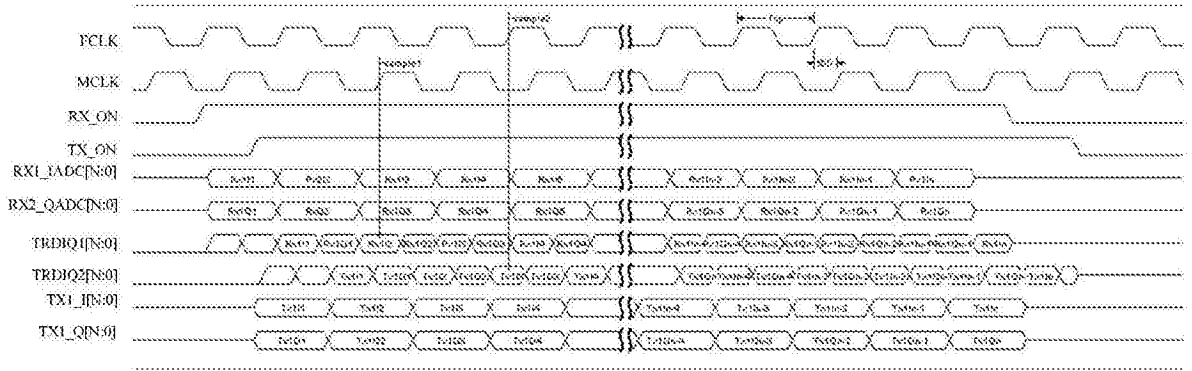


图11

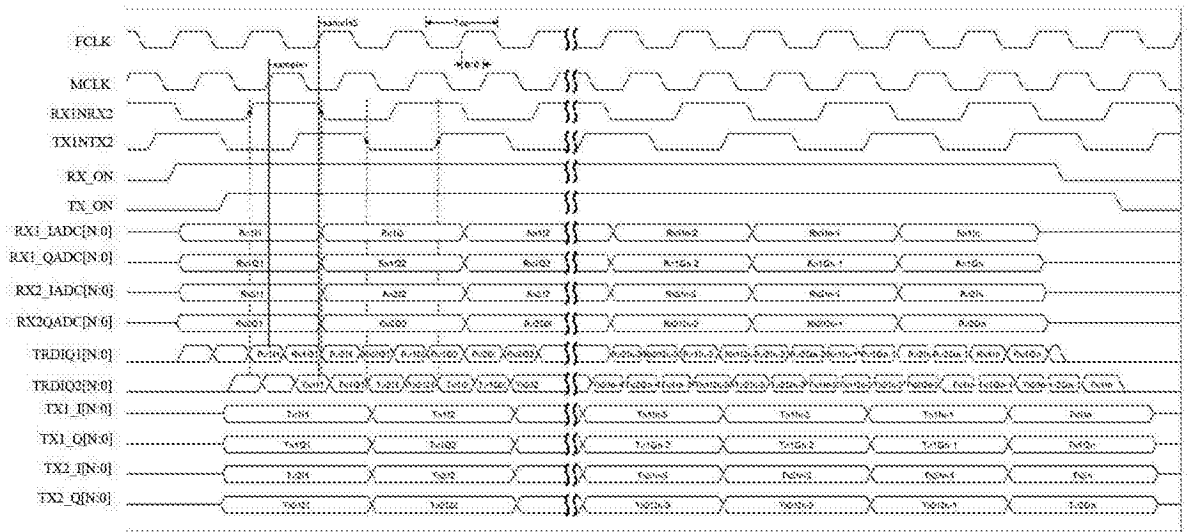


图12