

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/024240

発行日 平成24年1月26日 (2012. 1. 26)

(43) 国際公開日 平成22年3月4日 (2010. 3. 4)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 21/331 (2006. 01) HO 1 L 29/72 P 5 F 0 0 3
 HO 1 L 29/732 (2006. 01)

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

出願番号	特願2010-526712 (P2010-526712)	(71) 出願人	000005326 本田技研工業株式会社 東京都港区南青山二丁目1番1号
(21) 国際出願番号	PCT/JP2009/064770	(74) 代理人	100067356 弁理士 下田 容一郎
(22) 国際出願日	平成21年8月25日 (2009. 8. 25)	(74) 代理人	100160004 弁理士 下田 憲雅
(31) 優先権主張番号	特願2008-217386 (P2008-217386)	(74) 代理人	100120558 弁理士 住吉 勝彦
(32) 優先日	平成20年8月26日 (2008. 8. 26)	(74) 代理人	100148909 弁理士 瀧澤 匡則
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100161355 弁理士 野崎 俊剛

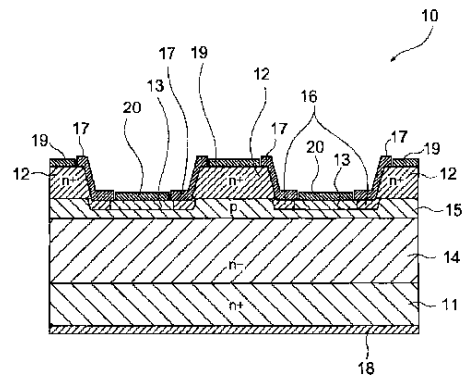
最終頁に続く

(54) 【発明の名称】 バイポーラ型炭化珪素半導体装置およびその製造方法

(57) 【要約】

4層構造を有するBJTで、電子と正孔の再結合確率を低減し、主電流と制御電流との間の再結合を抑制し、電流増幅率を向上でき、小さく安定したベース抵抗を実現できるバイポーラ型炭化珪素半導体装置が開示される。該半導体装置は、ベースコンタクト領域(13)とエミッタ領域(12)との間の表面付近に形成され、ベース領域(15)と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域(16)、またはエミッタ領域(12)と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域(16)を有する。

【図1】



【特許請求の範囲】**【請求項 1】**

炭化珪素半導体結晶で作られた基板であるコレクタ領域と、
前記コレクタ領域の上に形成された高抵抗層と、
前記高抵抗層の上に形成されたベース領域と、
低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、
前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、
前記ベースコンタクト領域と前記エミッタ領域との間の表面付近に形成され、前記ベース領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域、または前記エミッタ領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域と、
を備えているバイポーラ型炭化珪素半導体装置。

10

【請求項 2】

前記コレクタ領域は第 1 の導電型の低抵抗層であり、前記エミッタ領域は第 1 の導電型の低抵抗層であり、前記高抵抗層は第 1 の導電型であり、前記ベース領域は第 2 の導電型である請求項 1 に記載のバイポーラ型炭化珪素半導体装置。

【請求項 3】

炭化珪素半導体結晶で作られた基板であるコレクタ領域と、
前記コレクタ領域の上に形成された高抵抗層と、
前記高抵抗層の上に形成されたベース領域と、
低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、
前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、
前記ベース領域に形成され、前記ベースコンタクト領域に接すると共に、前記ベース領域と同じ導電型でありかつその抵抗率と同等かまたは当該抵抗率よりも低い埋め込み領域と、
を備えているバイポーラ型炭化珪素半導体装置。

20

【請求項 4】

前記コレクタ領域は第 1 の導電型の低抵抗層であり、前記エミッタ領域は第 1 の導電型の低抵抗層であり、前記高抵抗層は第 1 の導電型であり、前記ベース領域は第 2 の導電型である請求項 3 に記載のバイポーラ型炭化珪素半導体装置。

30

【請求項 5】

炭化珪素半導体結晶で作られた基板であるコレクタ領域と、
前記コレクタ領域の上に形成された高抵抗層と、
前記高抵抗層の上に形成されたベース領域と、
低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、
前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、
前記高抵抗層に形成され、前記ベース領域に接すると共に、前記ベース領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域、または前記高抵抗領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域と、
を備えているバイポーラ型炭化珪素半導体装置。

40

【請求項 6】

前記コレクタ領域は第 1 の導電型の低抵抗層であり、前記エミッタ領域は第 1 の導電型の低抵抗層であり、前記高抵抗層は第 1 の導電型であり、前記ベース領域は第 2 の導電型である請求項 5 に記載のバイポーラ型炭化珪素半導体装置。

【請求項 7】

炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する第 1 の工程と、
前記高抵抗層の上にベース領域を形成する第 2 の工程と、

50

前記ベース領域の上に低抵抗層を形成するための第3の工程と、
 前記低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、
 エッチングにより露出した前記ベース領域の表面付近に、前記ベース領域と同じ導電型
 でありかつその抵抗率よりも高い再結合抑制領域、または前記エミッタ領域と同じ導電型
 でありかつその抵抗率よりも高い再結合抑制領域を形成する第5の工程と、
 前記ベース領域に接合するベースコンタクト領域を形成する第6の工程と、
 を含むバイポーラ型炭化珪素半導体装置の製造方法。

【請求項8】

前記コレクタ領域、前記エミッタ領域、および前記ベースコンタクト領域のそれぞれに
 、コレクタ電極、エミッタ電極、ベース電極を形成する工程と、
 前記エミッタ電極と前記ベース電極の上側に上層電極を形成する工程と、
 をさらに含む請求項7に記載のバイポーラ型炭化珪素半導体装置の製造方法。

10

【請求項9】

炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する
 第1の工程と、
 前記高抵抗層の上にベース領域を形成する第2の工程と、
 前記ベース領域の上に低抵抗層を形成するための第3の工程と、
 前記低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、
 前記ベース領域に、前記ベースコンタクト領域に接すると共に、前記ベース領域と同じ
 導電型でありかつその抵抗率と同等かまたは当該抵抗率よりも低い埋め込み領域を形成す
 る第5の工程と、
 前記ベース領域に接合するベースコンタクト領域を形成する第6の工程と、
 を含むバイポーラ型炭化珪素半導体装置の製造方法。

20

【請求項10】

前記コレクタ領域、前記エミッタ領域、および前記ベースコンタクト領域のそれぞれに
 、コレクタ電極、エミッタ電極、ベース電極を形成する工程と、
 前記エミッタ電極と前記ベース電極の上側に上層電極を形成する工程と、
 をさらに含む請求項9に記載のバイポーラ型炭化珪素半導体装置の製造方法。

【請求項11】

炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する
 第1の工程と、
 前記高抵抗層の上にベース領域を形成する第2の工程と、
 前記ベース領域の上に低抵抗層を形成するための第3の工程と、
 前記低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、
 前記高抵抗層に、前記ベース領域に接すると共に、前記ベース領域と同じ導電型であり
 かつその抵抗率よりも高い埋め込み領域、または前記期エミッタ領域と同じ導電型であり
 かつその抵抗率よりも高い埋め込み領域を形成する第5の工程と、
 前記ベース領域に接合するベースコンタクト領域を形成する第6の工程と、
 を含むことを特徴とするバイポーラ型炭化珪素半導体装置の製造方法。

30

【請求項12】

前記コレクタ領域、前記エミッタ領域、および前記ベースコンタクト領域のそれぞれに
 、コレクタ電極、エミッタ電極、ベース電極を形成する工程と、
 前記エミッタ電極と前記ベース電極の上側に上層電極を形成する工程と、
 をさらに含む請求項11に記載のバイポーラ型炭化珪素半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明はバイポーラ型炭化珪素半導体装置およびその製造方法に関し、特に、通常の4
 層構造を有するバイポーラ型炭化珪素半導体装置であって、主電極間に流れる主電流と制
 御電極に流れる制御電流との間の再結合を抑制し、電流増幅率を高めるのに適したバイポ

50

ーラ型炭化珪素半導体装置、およびその製造方法に関する。

【背景技術】

【0002】

炭化珪素（シリコン・カーバイド（Silicon Carbide）、以下では単に「SiC」と記す。）は、広く半導体装置に応用されているシリコンと比べて、バンドギャップエネルギーが大きいという特性を有する。そのためSiCを利用した半導体装置は、高電圧、大電力、高温動作の条件に適しており、パワーデバイスなどへの適用が期待されている。現在、研究開発されているSiCパワーデバイスの構造は、主に、「MOS型」と「接合型」の2つの型に分類されている。

【0003】

ここでは接合型SiCパワーデバイスの性能向上という観点で説明する。接合型SiCパワーデバイスには、静電誘導トランジスタ（Static Induction Transistor、「SIT」）や接合型電界効果トランジスタ（Junction Field Effect Transistor、「JFET」）、あるいはバイポーラトランジスタ（Bipolar Junction Transistor、「BJT」）などがある。

【0004】

従来のBJTの例として例えば非特許文献1に記載された構造を有するものがある。BJTは、低抵抗の n^+ 型4H-SiC（0001）面8度オフ基板の上に、下側から、 n^- 型高抵抗領域、 p 型ベース領域、 n^+ 型エミッタ領域の順序に積層されて形成される。エミッタ領域は、多数の細長い形状の領域からなっている。エミッタ領域、ベース領域、コレクタ領域には外部に電氣的接続を取るための電極が形成されている。

【0005】

図13に非特許文献1に開示されたBJTの断面を示している。図13に示すように、BJT500は、 n 型低抵抗層であるコレクタ領域501、 n 型高抵抗領域502、 p 型領域のベース領域503、 n 型低抵抗のエミッタ領域504、エミッタ領域を囲むように形成された p 型低抵抗領域のベースコンタクト領域505を備えている。コレクタ領域501とベース領域503（ベースコンタクト領域505）とエミッタ領域のそれぞれの外部には、電氣的接続をとるためのコレクタ電極506、ベース電極507、エミッタ電極508が接合されている。さらにBJT500の電極以外の露出表面の全体は表面保護膜509で覆われている。

【0006】

さらにデバイス特性（電流増幅率）が改善された従来のBJTの例として特許文献1に記載された構造を有するものがある。特許文献1に開示されたBJTは、コレクタ領域となる n^+ 型4H-SiC（0001）面基板の上に、下側から、第1の n 型高抵抗層、 p 型ベース領域、第2の n 型高抵抗層、 n^+ 型エミッタ領域の順序で積層された構造を備えている。当該BJTで、そのエミッタ領域は、当該積層構造において上面から n^+ 型エミッタ領域、および第2の n 型高抵抗層の途中まで所定の平面パターン形状でエッチングすることにより、分離されて形成される。BJTは、その上面に、所定のパターン形状に基づいて分離された複数のエミッタ領域を有している。分離された複数のエミッタ領域の間の領域には、その後A1イオン注入の工程が実行され、ベース領域に接触する p 型ベースコンタクト領域が形成される。分離された複数のエミッタ領域の各々は、BJTの平面形状で見ると、その周囲をベースコンタクト領域で囲まれている。

【0007】

特許文献1に開示されているBJTは、エミッタ領域とベースコンタクト領域との間において、当該BJTにおけるSiC表面を表面再結合抑制半導体層で覆うようにした構造を有している。この表面再結合抑制半導体層は、エミッタ領域から流れ出る電子とベースコンタクト領域から流れ出る正孔との再結合を抑制する機能を有している。これにより、エミッタ領域からの電子とベースコンタクト領域からの正孔の再結合を抑え、接合型半導体層装置の電流増幅率の向上を達成している。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0008】

【特許文献1】特開2006-351621号公報

【非特許文献】

【0009】

【非特許文献1】J. Zhang他著「High Power(500V-70A) and High Gain(44-47) 4H-SiC Bipolar Junction Transistors」Materials Science Forum Vols. 457-460 (2004) pp. 1149-1152.

【発明の概要】

【発明が解決しようとする課題】

10

【0010】

BJTのごとき接合型トランジスタでは、ベースと呼ばれる制御電極部分がpn接合で形成されている。エミッタとコレクタの間の主電極の間に電流を流すためには、当該制御電極に電流を流す必要がある。主電極の間に流れる電流を「主電流 I_c 」、制御電極に流れる電流を「制御電流 I_b 」とするとき、両電流の比(I_c/I_b)は「電流増幅率」と呼ばれる。BJTの開発では、電流増幅率の値を大きくすることが重要な課題となっている。

【0011】

上記電流増幅率を低下させる要因としては、制御電極から流れ込む正孔(制御電流 I_b のキャリア)と主電極間を流れる電子(主電流 I_c のキャリア)との再結合を挙げることができる。再結合電流の値は、電子密度、正孔密度、再結合準位密度に依存し、それぞれの密度が高いほど再結合電流も大きくなる。

20

【0012】

再結合が発生しやすい部位としてはSiC表面が知られている。SiC表面の再結合準位の密度を低減するために、SiC表面を酸化して保護膜を形成するプロセスで各種の工夫をなすことが提案されている。この点は特許文献1にも記載されている。さらに特許文献1のBJTでは、再結合確率を下げるために、SiC表面に、濃度の低いp型領域からなる表面再結合抑制半導体層を設けるようにしている。このような表面再結合抑制半導体層を形成すると、SiC表面に電子に対する電位障壁が形成されるので、SiC表面での電子密度を下げるができる。さらに、濃度の低いp型領域でSiC表面に高抵抗層を形成することにより、正孔の密度も低く抑えることができる。かかる表面再結合抑制半導体層を形成することにより、接合型トランジスタのSiC表面に再結合準位が存在したとしても、再結合確率を低減することができ、接合型トランジスタの電流増幅率を大きくすることができる。

30

【0013】

以上のようにBJTにおいて、SiC表面での再結合を抑制して電流増幅率を大きくする試みが多くなされている。

【0014】

他方、上面側からエミッタ領域、ベース領域、高抵抗層、および基板(コレクタ領域)の順序で構成される4層構造を有した従来の一般的なBJTでは、今まで、上記のような再結合を抑制して高い電流増幅率を実現する試みが十分になされていなかった。かかる一般的なBJTでも、制御電極から流れ込む正孔と主電極間を流れる電子とが、SiC表面に多数存在する再結合中心を介して再結合することが電流増幅率を下げる要因となる。またベース領域とコレクタ領域等との界面でも電子と正孔の濃度が共に高いため、再結合が盛んに発生するという問題もある。またBJTの製造方法では、エミッタ領域をベース領域の表面が露出するまでエッチングするが、その際にベース領域の層をわずかに削る必要がある。このため、ベース領域が薄くなるので抵抗が増大し、エッチングの基板面内のばらつきによりベース抵抗がばらつくことになる。BJTの電流増幅率を向上させるためにはベース領域の厚みを薄くすることが望ましいが、ベース領域の厚みを薄くすると、前述したエミッタ領域のエッチングプロセスに起因するベース抵抗の増大やばらつきが顕著に

40

50

なる。4層構造を有する従来のBJTについて、高い電流増幅率と、小さく安定したベース抵抗とを両立するデバイスは実現されていない。

【課題を解決するための手段】

【0015】

本発明の目的は、上記の問題を鑑み、4層構造を有する従来の一般的なBJTで、電子と正孔の再結合確率を低減し、主電極間に流れる主電流と制御電極に流れる制御電流との間の再結合を抑制し、電流増幅率を向上することができ、小さく安定したベース抵抗を実現することができるバイポーラ型炭化珪素半導体装置およびその製造方法を提供することにある。

【0016】

第1のバイポーラ型炭化珪素半導体装置（請求項1に対応）は、炭化珪素半導体結晶で作られた基板であるコレクタ領域と、コレクタ領域の上に形成された高抵抗層と、高抵抗層の上に形成されたベース領域と、低抵抗層からなり、ベース領域と接合されるエミッタ領域と、エミッタ領域の周囲に形成され、ベース領域に接合する低抵抗のベースコンタクト領域と、ベースコンタクト領域とエミッタ領域との間の表面付近に、ベース領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域、またはエミッタ領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域と、を有することで特徴づけられる。

【0017】

第2のバイポーラ型炭化珪素半導体装置（請求項2に対応）は、炭化珪素半導体結晶で作られた基板であるコレクタ領域と、コレクタ領域の上に形成された高抵抗層と、高抵抗層の上に形成されたベース領域と、低抵抗層からなり、ベース領域と接合されるエミッタ領域と、エミッタ領域の周囲に形成され、ベース領域に接合する低抵抗のベースコンタクト領域と、ベース領域に、ベースコンタクト領域に接すると共に、ベース領域と同じ導電型でありかつその抵抗率と同等かまたは当該抵抗率よりも低い埋め込み領域と、を有することで特徴づけられる。

【0018】

第3のバイポーラ型炭化珪素半導体装置（請求項3に対応）は、炭化珪素半導体結晶で作られた基板であるコレクタ領域と、コレクタ領域の上に形成された高抵抗層と、高抵抗層の上に形成されたベース領域と、低抵抗層からなり、ベース領域と接合されるエミッタ領域と、エミッタ領域の周囲に形成され、ベース領域に接合する低抵抗のベースコンタクト領域と、高抵抗層に、ベース領域に接すると共に、ベース領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域、または前記高抵抗層と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域と、を有することで特徴づけられる。

【0019】

第4のバイポーラ型炭化珪素半導体装置（請求項4に対応）は、上記の構成において、コレクタ領域は第1の導電型の低抵抗層であり、エミッタ領域は第1の導電型の低抵抗層であり、高抵抗層は第1の導電型であり、ベース領域は第2の導電型であることを特徴とする。

【0020】

第1のバイポーラ型炭化珪素半導体装置の製造方法（請求項5に対応）は、炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する第1の工程と、高抵抗層の上にベース領域を形成する第2の工程と、ベース領域の上に低抵抗層を形成するための第3の工程と、低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、エッチングにより露出したベース領域の表面付近に、ベース領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域、またはエミッタ領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域を形成する第5の工程と、ベース領域に接合するベースコンタクト領域を形成する第6の工程と、を含む方法である。

【0021】

第2のバイポーラ型炭化珪素半導体装置の製造方法（請求項6に対応）は、炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する第1の工程と

10

20

30

40

50

、高抵抗層の上にベース領域を形成する第2の工程と、ベース領域の上に低抵抗層を形成するための第3の工程と、低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、ベース領域に、ベースコンタクト領域に接すると共に、ベース領域と同じ導電型でありかつその抵抗率と同等かまたは当該抵抗率よりも低い埋め込み領域を形成する第5の工程と、ベース領域に接合するベースコンタクト領域を形成する第6の工程と、を含む方法である。

【0022】

第3のバイポーラ型炭化珪素半導体装置の製造方法(請求項7に対応)は、炭化珪素の半導体結晶で作られかつコレクタ領域となる基板の上に高抵抗層を形成する第1の工程と、高抵抗層の上にベース領域を形成する第2の工程と、ベース領域の上に低抵抗層を形成するための第3の工程と、低抵抗層を部分的にエッチングしてエミッタ領域を形成する第4の工程と、高抵抗層に、ベース領域に接すると共に、ベース領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域、またはエミッタ領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域を形成する第5の工程と、ベース領域に接合するベースコンタクト領域を形成する第6の工程と、を含む方法である。

10

【0023】

第4のバイポーラ型炭化珪素半導体装置の製造方法(請求項8に対応)は、上記の方法において、コレクタ領域、エミッタ領域、およびベースコンタクト領域のそれぞれに、コレクタ電極、エミッタ電極、ベース電極を形成する工程と、エミッタ電極とベース電極の上側に上層電極を形成する工程と、を有することを特徴とする。

20

【発明の効果】

【0024】

本発明に係るバイポーラ型炭化珪素半導体装置によれば、次の効果を奏する。

第1に、ベース領域からエミッタ領域にかけてベース表面で再結合抑制領域を形成したため、炭化珪素半導体の表面に形成された再結合準位に電子または正孔を近づけることを防止して電流増幅率を高めることができる。

【0025】

第2に、またベース領域内に当該ベース領域よりも低抵抗の埋め込み領域を形成したため、ベースコンタクト領域からの正孔が埋め込み領域に流れ込むことによって炭化珪素半導体の表面での再結合を防止し、電流増幅率を高めることができる。

30

【0026】

第3に、高抵抗層に、ベース領域あるいは高抵抗層よりも高い抵抗の埋め込み領域を形成したため、高抵抗層からの電子がベース領域に近づくことを防止し、電流増幅率を高めることができる。

【0027】

第4に、上記のごとく所要の箇所に再結合抑制領域あるいは低抵抗または高抵抗の埋め込み領域を設けることにより、ベース抵抗値を低減できると共にばらつきを抑えることができ、BJTのデバイス特性を均一化することができる。

【0028】

また本発明に係るバイポーラ型炭化珪素半導体装置の製造方法によれば、バイポーラ型炭化珪素半導体装置において上記のごとく所要の箇所に層状の再結合抑制半導体領域を設けるようにしたため、エミッタから流れ込む電子とベースから流れ込む正孔の再結合を抑制することができ、高い電流増幅率を有するバイポーラ型炭化珪素半導体装置を容易にかつ確実に製作することができる。

40

【図面の簡単な説明】

【0029】

【図1】本発明の第1実施例によるバイポーラ型半導体装置(BJT)の部分縦断面図であり、図2のA-A線による拡大断面図である。

【図2】第1実施例によるバイポーラ型半導体装置の一部の平面図である。

【図3】従来のバイポーラ型半導体装置の動作の問題を説明する部分縦断面図である。

50

【図 4】第 1 実施例によるバイポーラ型半導体装置の動作を説明する部分縦断面図である。

【図 5】第 1 実施例によるバイポーラ型半導体装置の製造方法を説明するフローチャートである。

【図 6 A】第 1 実施例によるバイポーラ型半導体装置の製造方法の各プロセスに対応するデバイス構造を示す部分縦断面図である。

【図 6 B】第 1 実施例によるバイポーラ型半導体装置の製造方法の各プロセスに対応するデバイス構造を示す部分縦断面図である。

【図 7】本発明の第 2 実施例によるバイポーラ型半導体装置の部分縦断面図である。

【図 8】第 2 実施例のバイポーラ型半導体装置の動作を説明する部分縦断面図である。

【図 9】本発明の第 3 実施例によるバイポーラ型半導体装置の縦断面図である。

【図 10】第 3 実施例のバイポーラ型半導体装置の動作を説明する縦断面図である。

【図 11】本発明の第 4 実施例によるバイポーラ型半導体装置の縦断面図である。

【図 12】本発明の第 5 実施例によるバイポーラ型半導体装置の縦断面図である。

【図 13】従来のバイポーラ型半導体装置の構造を示した縦断面図である。

【発明を実施するための形態】

【0030】

以下に、本発明の好適な幾つかの実施例について、添付図面に基づいて詳細に説明する。

【0031】

< 第 1 実施例 >

図 1 ~ 図 6 B を参照して本発明によるバイポーラ型半導体装置の第 1 の実施例を説明する。このバイポーラ型半導体装置は従来の一般的な 4 層構造の BJT の例を示している。

【0032】

図 2 に示すように、BJT 10 は、そのデバイス上面の特定な単位領域に、並列に配列された例えば 5 本のエミッタ電極 19 を備えている。これらのエミッタ電極 19 はベース電極 20 によって囲まれている。

【0033】

図 1 に示す縦断面構造において、BJT 10 は、SiC (炭化珪素) 結晶を有する下側面部分に形成された n 型の低抵抗層 (n⁺層) からなるコレクタ領域 11 と、当該 SiC 結晶を有する上側面部分に形成された n 型の低抵抗層 (n⁺層) からなるエミッタ領域 12 を備えている。コレクタ領域 11 を形成する層が基板となっている。

【0034】

図 2 の平面図の位置関係において、複数のエミッタ電極 19 の各々の周囲には、当該エミッタ電極 19 を囲むようにベース電極 20 が形成されている。この意味は、エミッタ電極 19 の下側に位置するエミッタ領域 12 の周囲は、ベース電極 20 の下側に位置する p 型のベースコンタクト領域 13 によって囲まれているということである。ベースコンタクト領域 13 は所定の深さ位置まで形成されている。さらに BJT 10 において、上側のエミッタ領域 12 と下側のコレクタ領域 11 の間には、下側から n 型高抵抗層 (n⁻層) 14 と p 型のベース領域 15 とが積層されて形成されている。ベース領域 15 は、ベースコンタクト領域 13 と接触して電氣的に接続されるように形成されている。換言すれば、ベースコンタクト領域 13 は、ベース領域 15 上の所定の位置に埋め込むように形成されている。

【0035】

本実施例において、上記の「n 型」は「第 1 の導電型」であり、上記の「p 型」は「第 2 の導電型」であるとする。

【0036】

本実施例の BJT 10 では、さらに、層状の p 型ベース領域 15 の表面の一部に形成された p⁺型のベースコンタクト領域 13 と、エミッタ領域 12 との間において、当該 p 型ベース領域 15 の露出表面部分に当該表面部分を覆うようにした層状の再結合抑制領域 1

10

20

30

40

50

6とを設けている。再結合抑制領域16の深さはベースコンタクト領域13の深さとほぼ等しい。上記の再結合抑制領域16は、高抵抗の半導体であり「p⁻」または「n⁻」である。ベースコンタクト領域13はベース領域15の表面からに接触し、さらに表面より当該ベース領域15の内部に侵入するように形成されている。

【0037】

上記のBJT10の構造において、図1に示すように、コレクタ領域11の下側表面にはコレクタ電極18が接合され、エミッタ領域12の上側表面にはエミッタ電極19が接合され、ベースコンタクト領域13の上側表面にはベース電極20が接合されている。BJT10の上面において、エミッタ電極19とベース電極20の間における露出表面は、表面保護膜17によって覆われており、これにより保護されている。

10

【0038】

図2に示すように、エミッタ電極19およびベース電極20の各々の上側には上層電極21が設けられている。図1において、上層電極21の図示は省略されている。

【0039】

上記BJT10において、主電流は、エミッタ領域12（またはエミッタ電極19）からコレクタ領域11（またはコレクタ電極18）に流れる電子流である。エミッタ領域12とコレクタ領域11は主電流を流すための主電極用領域である。主電流の通電（オン）と非通電（オフ）は、ベース電極20に印加されるベース電圧、すなわち、ベースコンタクト領域13およびベース領域15とエミッタ領域12との間に加えられる制御信号に基づいて制御される。ベース・エミッタ間の印加電圧が0V以下であるときにはBJT10は主電流が流れず、オフ状態になる。ベース・エミッタ間に一定以上の電圧が印加されると、BJT10は主電流が流れてオン状態に移行する。また、オン状態では、ベース領域15とエミッタ領域12の間に形成されているpn接合が順バイアスされて、ベース領域15からエミッタ領域12に制御電流である正孔電流が流れる。

20

【0040】

図3と図4を参照し、従来のBJT構造と本実施例のBJT構造とを対比しながら、BJT10の特徴的構造を説明する。

【0041】

図3は従来の構造を有するBJT10Aを示す。図3において、上記の図1で説明した要素と同一の要素には同一の符号を付している。BJT10Aの構造では、ベース領域15において、ベースコンタクト領域13とエミッタ領域12との間のSiC表面の近傍領域には多数の再結合準位22が形成されている。このため、エミッタ領域12からコレクタ領域11に向かって流れる主電流I1の一部の電子23と、ベースコンタクト領域13から流れ込む正孔24とが再結合準位22の箇所でも再結合する。このような電子23と正孔24との再結合は、ベース領域15と高抵抗層14等との界面でも盛んに発生する。以上の結果、BJT10Aの動作に寄与しない無効なベース電流が流れ、BJT10Aの電流増幅率を低下させる。

30

【0042】

従来構造を有するBJT10Aに対して、本実施例のBJT10では、図4に示すように、ベースコンタクト領域13とエミッタ領域12との間で露出するベース領域15の表面およびその近傍部分に層状の再結合抑制領域16が形成される。再結合抑制領域16は「p⁻」または「n⁻」の半導体領域で形成されており、電子23または正孔24に対して高い電位障壁を形成するとともに正孔または電子濃度の低い高抵抗層となっている。この再結合抑制領域16が存在することによって、ベースコンタクト領域13からベース領域15に流れる正孔24は図4中再結合抑制領域16には流れにくく主に表面以外のベース領域15を流れ、エミッタ領域12から流れ込む電子もSiC表面付近は流れにくくなる。その結果、図4に示すように、エミッタ領域12から流れ出す電子23は、正孔と再結合することなく主電流I2としてコレクタ領域11の方向に向かって流れ、BJT10の電流増幅率を向上させることができる。

40

【0043】

50

再結合抑制領域 16 を形成する際、ベースコンタクト領域 13 を作る場合と同様に、イオン注入法を用いる。この場合、ベースコンタクト領域 13 を作る際のイオン注入に比較して注入濃度が極めて低く、イオン注入に要するエネルギーも低い。そのため再結合抑制領域 16 を形成するためのイオン注入では再結合準位の密度を低く抑えることができる。

【0044】

ここで、第 1 実施例の BJT 10 の各高抵抗層等の不純物濃度および寸法について具体的な一例を説明する。

【0045】

BJT 10 は、例えば阻止電圧 600 V を目標に設計されている。基板の部分には、(0001) 面から 8 度オフさせた低抵抗の n 型 4H-SiC 基板を使用している。BJT 10 において、当該基板部分がコレクタ領域 11 となる。基板上の n 型高抵抗層 14 は、エミッタ・コレクタ間に加わる高電圧を阻止するための層である。本実施例では、高抵抗層 14 は、600 V 以上の電圧を阻止するように、例えば、厚み $10 \mu\text{m}$ 、不純物濃度 $1 \times 10^{16} \text{cm}^{-3}$ に設定されている。高抵抗層 14 上の p 型のベース領域 15 は、エミッタ・コレクタ間に高電圧が印加されたときに、空乏化しないようにその厚みと不純物濃度が設定されている。本実施形態では、p 型ベース領域 15 は、厚み $0.2 \sim 0.5 \mu\text{m}$ 、不純物濃度 $4 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$ 程度が用いられる。ベース領域 15 上には、厚さ $0.5 \sim 2.0 \mu\text{m}$ 、不純物濃度 $1 \sim 5 \times 10^{19} \text{cm}^{-3}$ の低抵抗の n 型エミッタ領域 12 が設けられている。エミッタ領域 12 の周囲には、低抵抗のベースコンタクト領域 13 が形成されている。図 2 に示すように、エミッタ領域 12 の平面形状は、細長い島状の形状である。1 つの BJT 10 に複数のエミッタ領域 12 を備えている。1 つのエミッタ領域 12 の寸法は、幅 $3 \sim 10 \mu\text{m}$ 、長さ $100 \sim 1000 \mu\text{m}$ 程度である。ベースコンタクト領域 13 とエミッタ領域 12 を含めた単位構造の周期は約 $10 \sim 30 \mu\text{m}$ である。

10

20

【0046】

次に、図 5, 6A, 6B を参照して BJT 10 の製造方法を説明する。図 5 は製造方法の各プロセスを示すフローチャートである。図 6A と図 6B は各プロセスで製作される構造を示す縦断面図である。

【0047】

BJT 10 の製造方法は、次のプロセス (1) ~ (10) (ステップ S11 ~ S20) から成っている。図 5 に示されるようにステップ S11 からステップ S20 に到る順序で各プロセスが実行される。

30

【0048】

- (1) 高抵抗層形成プロセス (ステップ S11)
- (2) ベース領域形成プロセス (ステップ S12)
- (3) 低抵抗層形成プロセス (ステップ S13)
- (4) エミッタエッチングプロセス (ステップ S14)
- (5) 再結合抑制領域形成プロセス (ステップ S15)
- (6) ベースコンタクト領域形成プロセス (ステップ 16)
- (7) イオン注入層活性化プロセス (ステップ S17)
- (8) 表面保護膜形成プロセス (ステップ S18)
- (9) 電極形成プロセス (ステップ S19)
- (10) 上層電極形成プロセス (ステップ S20)

40

【0049】

上記のステップ S11 ~ S13 を実施することによって図 6A の (a) に示される構造が形成される。

【0050】

n 型高抵抗層形成プロセス (ステップ S11) では、SiC で形成された n 型基板 40 の上に、エピタキシャル成長法により、厚さ $10 \mu\text{m}$ で、濃度 $1 \times 10^{16} \text{cm}^{-3}$ の窒素を不純物としてドーピングした高抵抗層 41 を成長させる。基板 40 には「4H-SiC (

50

0001) 8° off」が用いられている。また基板 40 は、前述した n 型低抵抗層のコレクタ領域 11 となる。

【0051】

ベース領域形成プロセス(ステップ S12)では、n 型高抵抗層 41 の上に、エピタキシャル成長法により、アルミニウム (Al) を不純物として $4 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ の濃度で $0.2 \sim 0.5 \mu\text{m}$ の p 型のベース領域 42 を成長させる。

【0052】

低抵抗層形成プロセス(ステップ S13)では、n 型のベース領域 42 の上に、エピタキシャル成長法により、厚さ $0.5 \sim 2.0 \mu\text{m}$ で濃度 $1 \sim 5 \times 10^{19} \text{ cm}^{-3}$ の窒素を不純物としてドーピングした n 型の低抵抗層 43 を成長させる。この低抵抗層 43 は、前述したエミッタ領域 12 を形成する部分である。

10

【0053】

次のエミッタエッチングプロセス(ステップ S14)では、図 6A の (a) に示された構造において、その上面に、CVD 法によりシリコン酸化膜 51 を堆積させ、フォトリソグラフィを行い、その後 RIE によりシリコン酸化膜 51 をエッチングする。こうしてマスクが形成される。このシリコン酸化膜 51 を用いて、その後、RIE により低抵抗層 43 について SiC エッチングを行い、低抵抗層 43 を利用して前述したエミッタ領域 12 を形成する。SiC エッチングの RIE には SF_6 ガスなどが用いられる。その結果得られた構造を図 6A の (b) に示す。

【0054】

再結合抑制領域を形成するプロセス(ステップ S15)では、さらに図 6A の (c) に示されるように、図 6A (b) に示したマスク 51 をそのまま利用して再結合抑制領域 16 を形成する。再結合抑制領域 16 の形成は、不純物(イオン種)として窒素のイオン注入を行うことにより行われる。エミッタエッチングプロセス(ステップ S15)によりエッチングされたすべての領域にイオン注入がなされる。再結合抑制領域の特性を抵抗率の高い「p」または「n」にするために、イオン注入量はベース領域 42 の不純物濃度と同程度かその前後の値に設定される。例えばベース領域 42 の不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ であればイオン注入量は $3 \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度が望ましい。また再結合抑制領域 16 は表面の極近傍の再結合準位を含めば良いので、その深さは $0.1 \sim 0.2 \mu\text{m}$ 程度が良い。そのため注入エネルギーを 100 keV 程度に低く抑えることができ、イオン注入プロセスでの結晶欠陥の生成を抑制することができる。

20

30

【0055】

ベースコンタクト領域形成プロセス(ステップ S16)では、最初に、図 6A (d) に示すように、ベースコンタクト領域 13 を形成するための表面部分が露出するようにマスク 52 が形成される。マスク 52 は、CVD 法によりシリコン酸化膜を堆積し、フォトリソグラフィを行い、その後 RIE によりシリコン酸化膜をエッチングすることにより形成される。その後、イオン注入を行ってベースコンタクト領域 13 を形成する。注入されるイオンはアルミニウム (Al) であり、注入の深さは例えば $0.2 \mu\text{m}$ である。イオン注入量は $1 \times 10^{18} \sim 10^{20} \text{ cm}^{-3}$ であり、イオン注入に必要なエネルギーはほぼ 200 keV である。

40

【0056】

上記のステップ S15, S16 によってベースコンタクト領域 13 とエミッタ領域 12 の間におけるベース領域 15 の表面には再結合抑制領域 16 が形成される。再結合抑制領域 16 を設けることはエミッタ領域 12 から到来する電子を再結合抑制領域 16 の SiC 表面から遠ざけることが目的である。

【0057】

次に、イオン注入層を活性化するプロセス(ステップ S17)では、イオン注入後に、注入イオンを半導体中で電気的に活性化すると共に、イオン注入で発生した結晶欠陥を消すための熱処理を行う(図 6B (e))。この活性化の熱処理では、ベースコンタクト領域 13 の注入イオンと再結合抑制領域 16 の注入イオンの両方の活性化を同時に行ってい

50

る。高周波熱処理炉などを用い、1700～1800 程度の高温下で約10分程度の熱処理を行う。雰囲気ガスには例えばアルゴンガス(Ar)が用いられる。

【0058】

表面保護膜を形成するプロセス(ステップS18)では、図6B(f)で示すように、初めに、イオン注入工程と活性化工程で生じた表面層を取り除くために、熱酸化後に酸化膜を取り除く犠牲酸化を行う。酸化条件は、例えばドライ酸素中で1100、20時間などである。酸化膜の除去にはフッ化水素酸を用いる。犠牲酸化後に再び熱酸化を行い酸化膜53を形成する。熱酸化膜形成では、例えば、温度が1100、時間が5時間、雰囲気はウェットである。その後、SiC酸化膜界面の不純物準位を低減するための熱処理(POA: Post Oxidation Anneal)を行う。POAは、水素や酸化窒素(NO、N₂O)またはアルゴン雰囲気中で、800～1300 程度の高温下で、10～30分程度、行う。POA後、CVD酸化膜やCVD窒化膜を形成する。

10

【0059】

電極を形成するプロセス(ステップS19)では、エミッタ領域12(低抵抗層43)、ベースコンタクト領域13、コレクタ領域11(基板40)の各々の表面にエミッタ電極19、ベース電極20、コレクタ電極18を形成する(図6B(g))。残った上記の酸化膜53が前述した表面保護膜17になる。エミッタ電極19、コレクタ電極18にはニッケルやチタンを用い、ベース電極20にはチタンやアルミニウムなどを用いる。各電極18, 19, 20は、蒸着やスパッタリングなどで形成する。電極パターンの形成には、ドライエッチング、ウェットエッチング、リフトオフ法などが利用される。

20

【0060】

電極18～20を形成した後は、金属部分と半導体部分との間の接触抵抗を低減するために熱処理を行う。当該熱処理の条件は、温度条件が800～1000、時間条件が10～30分程度である。

【0061】

最後に上層電極形成プロセス(ステップS20)が実行される。この上層電極形成工程(ステップS20)では、分離されている複数のエミッタ電極19を1つの電極に取り出すための上層電極54を形成する(図6B(h))。CVD法によりシリコン酸化膜などを層間膜55として形成した後、フォトリソグラフィとエッチングによりエミッタ電極19の部分のシリコン酸化膜などを取り除く。こうしてエミッタ電極19を露出させた後に、上層電極54を堆積させる。上層電極54の材料には例えばアルミニウム(Al)を用いる。

30

【0062】

このようにして、図1と図2で示したBJT10が作製される。当該BJT10は、ノーマリオフ特性を有する高性能の半導体装置である。

【0063】

上記第1実施例において、コレクタ領域、エミッタ領域、高抵抗層、ベース領域、ベースコンタクト領域、再結合抑制領域等の第1および第2の導電型の組合せをすべて逆にしても構成することもできる。この点については、以下に説明する他の実施例においても同様である。

40

【0064】

<第2実施例>

図7と図8を参照して本発明によるバイポーラ型半導体装置の第2実施例を説明する。第2実施例のバイポーラ型半導体装置も同様にBJTである。図7において、図1で説明した要素と実質的に同一の要素には同一の符号を付している。

【0065】

図3に示すように、従来構造のBJT10Aではエミッタ領域12をベース領域15の表面が露出するまでエッチングする。このようにエッチングプロセスの精度の限界からベース領域15の一部をエッチングせざるを得ないため、ベース層の厚さが薄くなり、その結果ベースの抵抗値が大きくなる。またエッチング深さのウエハ内またはウエハ間のばら

50

つきにより、ベース抵抗値もウエハ内またはウエハ間でばらつくことになる。さらに、BJTの電流増幅率を向上させるためにはベース層を薄くすることが望ましいが、ベース層を薄くするとエッチングプロセスに起因するベース抵抗の増大や値のばらつきがより顕著になる。

【0066】

そこで、第2実施例によるBJT100では、層状に形成されたベース領域15において、エッチングにより露出したベース表面の領域に対応する領域に、ベース領域と同等またはそれ以下の抵抗率を有するp型半導体(p^+ または p^-)からなる低抵抗埋め込み領域61を設けるようにしている。本実施例では、第1実施例のように表面の再結合抑制領域16は形成されない。その他の構造は第1実施例の構造と同じである。

10

【0067】

上記の構造によれば、ベースコンタクト領域13からベース領域15に流れ込む正孔電流は、図3で示した従来例では表面付近に流れていたのに対して、図8に示すように抵抗値のより低い低抵抗埋め込み領域61に流れることになる。そのため、ベース領域15の表面付近での再結合が低減され、電流増幅率が向上する。

【0068】

低抵抗埋め込み領域61はベース領域15に対してより低い抵抗値であるため、ベース領域15の抵抗は低抵抗埋め込み領域61の抵抗値によって決まることになる。これにより上記のエッチングによって生じたベース領域15の高抵抗化とばらつきを低減することができる。

20

【0069】

p型のベース領域15の不純物濃度は前述した通り $4 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ であるのに対して、低抵抗埋め込み領域61の不純物濃度はベース領域15と同程度以上の濃度とする。例えば、p型のベース領域15の不純物濃度が例えば $4 \times 10^{17} \text{ cm}^{-3}$ であった場合には、低抵抗埋め込み領域61の不純物濃度を $2 \times 10^{18} \text{ cm}^{-3}$ とし、かつその厚みをベース領域61の厚みと同じにすると、低抵抗埋め込み領域61の抵抗率はベース領域15の抵抗率に対して1/3に低減できる。

【0070】

第2実施例のBJT100の製造方法について、特に上記の低抵抗埋め込み領域61は、前述した第1実施例のBJT10の製造方法において、多段のイオン注入法を適用することによって形成することができる。

30

【0071】

<第3実施例>

図9と図10を参照して本発明によるバイポーラ型半導体装置の第3実施例を説明する。第3実施例のバイポーラ型半導体装置もBJTである。図9において、図1で説明した要素と実質的に同一の要素には同一の符号を付している。

【0072】

図3で説明したように、従来構造のBJT10Aでは、ベース領域15を流れる正孔とコレクタ領域11を流れる電子とが、ベース・コレクタ界面付近で再結合するという特性を有している。

40

【0073】

そこで、第3実施例のBJT200では、層状に形成されたベース領域15の下側(高抵抗層14側)において、前述したエッチングにより露出したベース表面の領域に対応する領域で、当該ベース領域15に接した状態でベース領域15よりも高抵抗のp型半導体(p^-)からなる高抵抗埋め込み領域または高抵抗層14よりも高抵抗のn型半導体(n^-)からなる高抵抗埋め込み領域63を設ける。本実施例では、第1実施例のようにベース表面の再結合抑制領域16は形成されない。その他の構造は第1実施例の構造と同じである。

【0074】

第3実施例のBJT200の構造では、高抵抗埋め込み領域63を設けることにより、

50

p 層である場合には、その存在で高抵抗埋め込み領域 6 3 と高抵抗層 1 4 の間に部分的にポテンシャル（電位差）が形成され、当該高抵抗層 1 4 の電子がベース領域 1 5 から遠ざけられる。また高抵抗埋め込み領域 6 3 内の正孔の濃度はベース領域 1 5 の正孔濃度よりも低い。このため、従来構造の BJT 10 A におけるベース領域・高抵抗層付近の電子・正孔の濃度と比較して、第 3 実施例での高抵抗埋め込み領域・高抵抗層付近の電子・正孔濃度が低いために再結合を低減することができ、これにより電流増幅率を向上することができる。また n 層である場合にも、ほぼ同様の原理で再結合を抑制でき電流増幅率を向上することができる。

【0075】

p 型のベース領域 1 5 の不純物濃度は前述した通り $4 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ であるのに対して、高抵抗埋め込み領域 6 3 の不純物濃度はベース領域 1 5 と同程度以下の濃度とする。例えば、p 型のベース領域 1 5 の不純物濃度が例えば $4 \times 10^{17} \text{ cm}^{-3}$ であった場合には、高抵抗埋め込み領域 6 3 の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以下とする。

【0076】

< 第 4 実施例 >

図 11 を参照して本発明によるパイポーラ型半導体装置の第 4 実施例を説明する。図 11 において図 7 や図 9 で説明した要素と実質的に同一の要素には同一の符号を付している。

【0077】

第 4 実施例の BJT 300 は、第 2 および第 3 実施例の特徴的構造を組み合わせる。第 4 実施例では、低抵抗埋め込み領域 6 1 の下面に接するように高抵抗埋め込み領域 6 3 が形成されている。その他の構成については、第 2 または第 3 実施例の構成と同じである。本実施例の BJT 300 によっても、前述した同様な効果が発揮される。

【0078】

< 第 5 実施例 >

図 12 を参照して本発明によるパイポーラ型半導体装置の第 5 実施例を説明する。図 12 において図 1、図 7、図 9 で説明した要素と実質的に同一の要素には同一の符号を付している。

【0079】

第 5 実施例の BJT 400 は、第 1、第 2 および第 3 実施例の特徴的構造を組み合わせる。第 5 実施例では、再結合抑制領域 1 6、低抵抗埋め込み領域 6 1、当該低抵抗埋め込み領域 6 1 の下面に接するように形成された高抵抗埋め込み領域 6 3 が設けられている。その他の構成については、第 1、第 2、または第 3 実施例の構成と同じである。本実施例の BJT 400 によっても、前述した同様な効果が発揮される。

【0080】

本実施例においては、製造方法の工程の説明中の p と n の極性を逆にした逆極性タイプのもので良い。さらに本実施例では、SiC の例について説明したが、本発明は表面再結合が問題となる他の半導体にも適用できる。

【0081】

以上の各実施例で説明された構成、形状、大きさおよび配置関係については本発明が理解・実施できる程度に概略的に示したものにすぎず、また数値および各構成の組成（材質）等については例示にすぎない。従って本発明は、説明された実施例に限定されるものではなく、請求の範囲に示される技術的思想の範囲を逸脱しない限り様々な形態に変更することができる。

【産業上の利用可能性】

【0082】

本発明は、4 層構造を有する従来一般的なパイポーラ型炭化珪素半導体装置で、主電流の電子が制御電流の正孔と再結合することを抑制して電流増幅率を向上すること、およびベース層を薄くしてもベース抵抗値の増大やばらつきを改善することに利用され、さら

10

20

30

40

50

にかかる特性を有するバイポーラ型炭化珪素半導体装置を作製する方法に利用する。

【符号の説明】

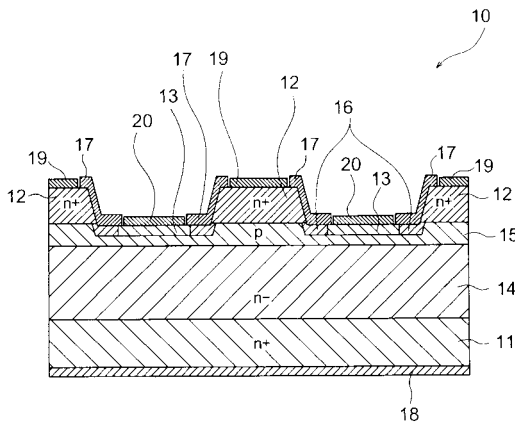
【0083】

- 10 バイポーラ型半導体装置 (BJT)
- 11 コレクタ領域
- 12 エミッタ領域
- 13 ベースコンタクト領域
- 14 高抵抗層
- 15 ベース領域
- 16 再結合抑制領域
- 17 表面保護膜
- 18 コレクタ電極
- 19 エミッタ電極
- 20 ベース電極
- 21 上層電極
- 40 基板
- 41 高抵抗層
- 42 ベース領域
- 43 低抵抗層
- 61 低抵抗埋め込み領域
- 63 高抵抗埋め込み領域
- 100 BJT
- 200 BJT
- 300 BJT
- 400 BJT

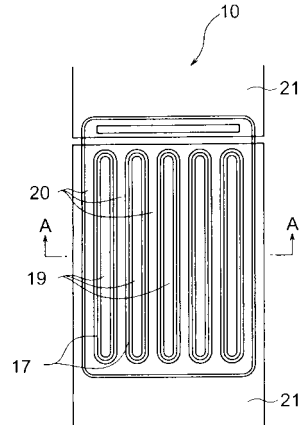
10

20

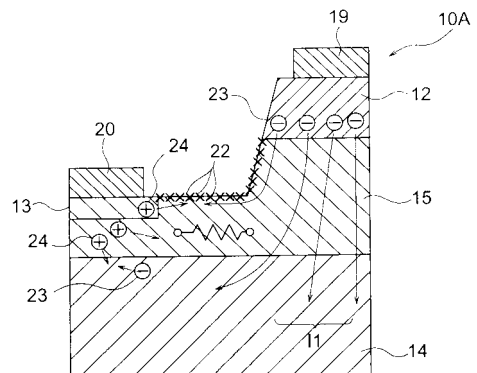
【図1】



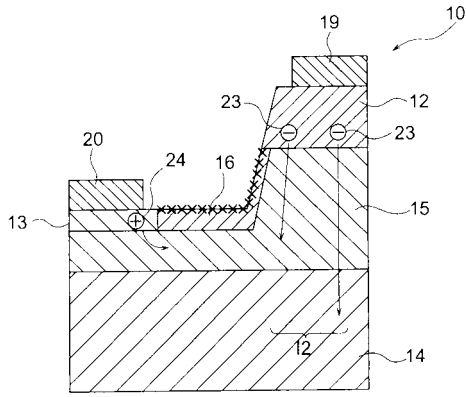
【図2】



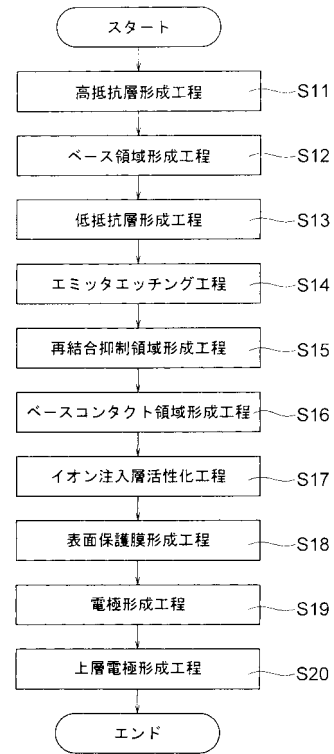
【図3】



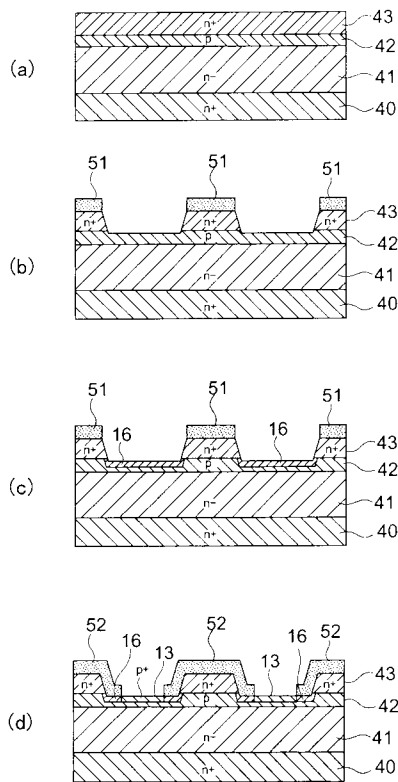
【 図 4 】



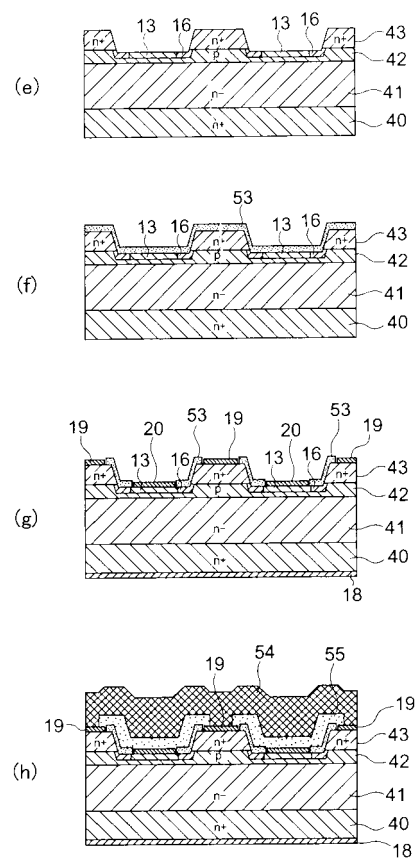
【 図 5 】



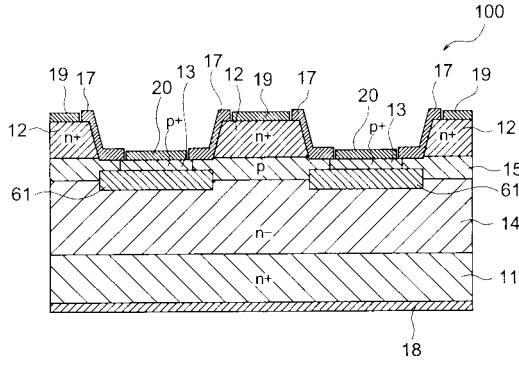
【 図 6 A 】



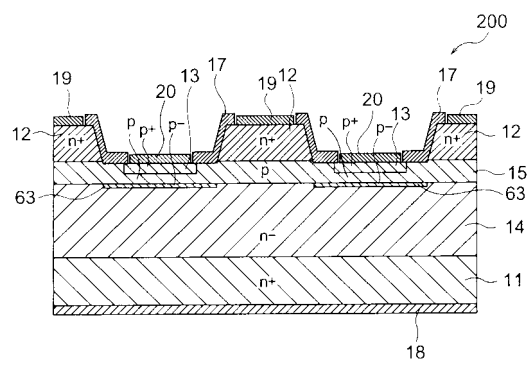
【 図 6 B 】



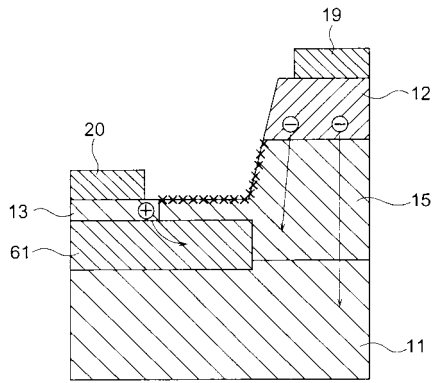
【 図 7 】



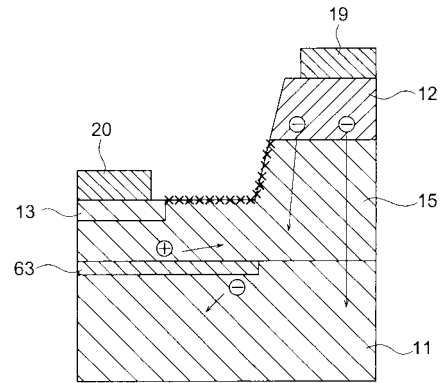
【 図 9 】



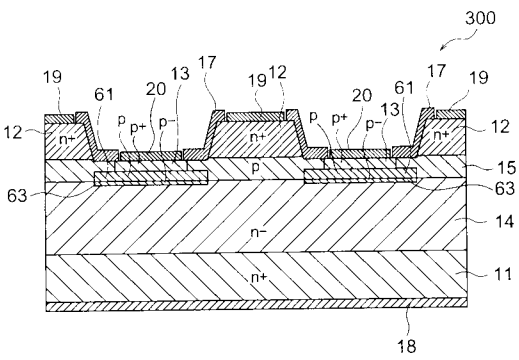
【 図 8 】



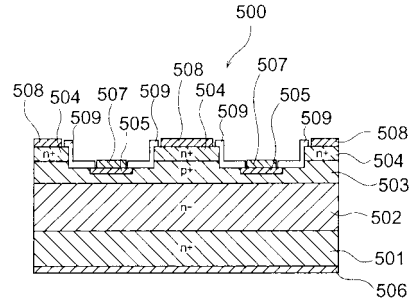
【 図 10 】



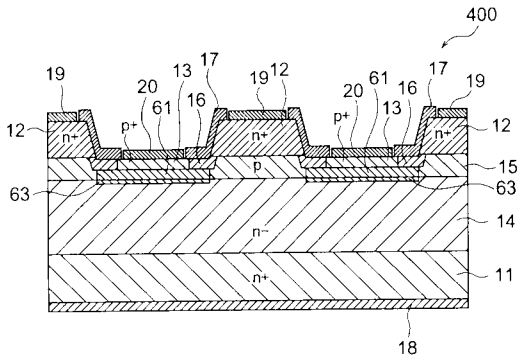
【 図 11 】



【 図 13 】



【 図 12 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064770

A. CLASSIFICATION OF SUBJECT MATTER H01L21/331(2006.01)i, H01L29/73(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/331, H01L29/73		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-351621 A (Honda Motor Co., Ltd.), 28 December, 2006 (28.12.06), Par. Nos. [0005], [0028] to [0040]; Figs. 4 to 6, 9 & WO 2006/135031 A2 Page 2, lines 13 to 21; page 16, line 10 to page 22, line 11; Figs. 4 to 6, 9 & KR 10-2008-0003932 A & CN 101199058 A	1-12
Y	JP 64-005063 A (Toshiba Corp.), 10 January, 1989 (10.01.89), Full text; all drawings (Family: none)	1-2, 5-8, 11-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"
"E"	earlier application or patent but published on or after the international filing date	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"X"
"O"	document referring to an oral disclosure, use, exhibition or other means	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"P"	document published prior to the international filing date but later than the priority date claimed	"Y"
		document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
		"&"
		document member of the same patent family
Date of the actual completion of the international search 01 October, 2009 (01.10.09)	Date of mailing of the international search report 13 October, 2009 (13.10.09)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064770

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-359378 A (Toshiba Corp.), 13 December, 2002 (13.12.02), Par. Nos. [0106] to [0108]; Fig. 22 (Family: none)	3-4, 9-10
A	JP 2007-287782 A (Hitachi, Ltd.), 01 November, 2007 (01.11.07), Par. Nos. [0059] to [0070]; Figs. 4, 6, 14 to 19 & US 2007/0241427 A1 Par. Nos. [0086] to [0098]; Figs. 4, 6, 14 to 19	5-6, 11-12
A	JP 2007-173841 A (Cree Inc.), 05 July, 2007 (05.07.07), Full text; all drawings & US 2007/0145378 A1 & EP 1806787 A1 & CN 1992337 A	1-2, 7-8
A	JP 06-244195 A (Sharp Corp.), 02 September, 1994 (02.09.94), Full text; all drawings & US 5767540 A	1-2, 7-8
E, A	JP 2009-054931 A (Hitachi, Ltd.), 12 March, 2009 (12.03.09), Par. Nos. [0037] to [0048]; Fig. 1 & US 2009/0057685 A1	1-2, 7-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064770

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064770

Continuation of Box No.III of continuation of first sheet(2)

The matter common to the invention described in claim 1 and the inventions described in claims 3-6, 9-12 is "a bipolar silicon carbide semiconductor device provided with a collector region that is a substrate produced from silicon carbide semiconductor crystal, a high-resistance layer formed on the collector region, a base region formed on the high-resistance layer, an emitter region produced from a low-resistance layer and joined to the base region, and a low-resistance base contact region formed around the emitter region and joined to the base region". However, the search has revealed that the common matter is not novel since it is disclosed in JP 2006-351621 A (Honda Motor Co., Ltd.), 28 December, 2006 (28.12.06), paragraphs [0005], [0028]-[0040], Figs. 4-6, 9.

Since there is no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship between these different inventions within the meaning of PCT Rule 13 can be seen.

Therefore, the abovementioned inventions clearly do not comply with the unity of invention.

In the assessment of special technical features regarding claims 1-12, three inventions linked by the following respective special technical features are considered to be contained.

(Invention 1) Inventions in claims 1-2, 7-8

"A bipolar silicon carbide semiconductor device provided with a collector region that is a substrate produced from silicon carbide semiconductor crystal, a high-resistance layer formed on the collector region, a base region formed on the high-resistance layer, an emitter region produced from a low-resistance layer and joined to the base region, a low-resistance base contact region formed around the emitter region and joined to the base region, and a recombination suppression region having the same conductivity type as and a higher resistivity than the base region or a recombination suppression region having the same conductivity type as and a higher resistivity than the emitter region, which is formed near the surface between the base contact region and the emitter region."

(Invention 2) Inventions in claims 3-4, 9-10

"A bipolar silicon carbide semiconductor device provided with a collector region that is a substrate produced from silicon carbide semiconductor crystal, a high-resistance layer formed on the collector region, a base region formed on the high-resistance layer, an emitter region produced from a low-resistance layer and joined to the base region, a low-resistance base contact region formed around the emitter region and joined to the base region, and a buried region formed in the base region and in contact with the base contact region, and having the same conductivity type as and a resistivity equal to or lower than the base region."

(Invention 3) Inventions in claims 5-6, 11-12

"A bipolar silicon carbide semiconductor device provided with a collector region that is a substrate produced from silicon carbide semiconductor crystal, a high-resistance layer formed on the collector
(Continued to the next extra sheet.)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/064770

region, a base region formed on the high-resistance layer, an emitter region produced from a low-resistance layer and joined to the base region, a low-resistance base contact region formed around the emitter region and joined to the base region, and a buried region having the same conductivity type as and a higher resistivity than the base region or a buried region having the same conductivity type as and a higher resistivity than the high-resistance region, which is formed in the high-resistance layer and in contact with the base region."

国際調査報告		国際出願番号 PCT/J P 2009/064770									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/331(2006.01)i, H01L29/73(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/331, H01L29/73											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 2006-351621 A (本田技研工業株式会社) 2006.12.28, 段落【0005】、【0028】-【0040】、第4-6, 9図 & WO 2006/135031 A2, 第2頁第13-21行, 第16頁第10行-第22頁第11行, 第4-6, 9図 & KR 10-2008-0003932 A & CN 101199058 A	1-12									
Y	JP 64-005063 A (株式会社東芝) 1989.01.10, 全文, 全図 (ファミリーなし)	1-2, 5-8, 11-12									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 01.10.2009		国際調査報告の発送日 13.10.2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 増山 慎也	4 L 3642								
		電話番号 03-3581-1101	内線 3498								

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 6 4 7 7 0
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-359378 A (株式会社東芝) 2002. 12. 13, 段落【0106】-【0108】, 第 22 図 (ファミリーなし)	3-4, 9-10
A	JP 2007-287782 A (株式会社日立製作所) 2007. 11. 01, 段落【0059】 -【0070】, 第 4, 6, 14-19 図 & US 2007/0241427 A1, [0086]-[0098], 第 4, 6, 14-19 図	5-6, 11-12
A	JP 2007-173841 A (クリーンコーポレイテッド) 2007. 07. 05, 全 文, 全図 & US 2007/0145378 A1 & EP 1806787 A1 & CN 1992337 A	1-2, 7-8
A	JP 06-244195 A (シャープ株式会社) 1994. 09. 02, 全文, 全図 & US 5767540 A	1-2, 7-8
E, A	JP 2009-054931 A (株式会社日立製作所) 2009. 03. 12, 段落【0037】 -【0048】, 第 1 図 & US 2009/0057685 A1	1-2, 7-8

国際調査報告

国際出願番号 PCT/J P 2 0 0 9 / 0 6 4 7 7 0

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。
特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2007年4月)

請求項1に記載の発明と、請求項3-6、9-12に共通の事項は、「炭化珪素半導体結晶で作られた基板であるコレクタ領域と、前記コレクタ領域の上に形成された高抵抗層と、前記高抵抗層の上に形成されたベース領域と、低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、を備えているバイポーラ型炭化珪素半導体装置。」であるが、調査の結果、該共通の事項は、JP 2006-351621 A (本田技研工業株式会社) 2006.12.28, 段落【0005】、【0028】 - 【0040】、第4-6, 9図に開示されているから、新規でないことが明らかとなった。

そして、PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見いだすことはできない。

よって、上記発明は、発明の単一性を満たしていないことが明らかとなった。

そこで、請求項1~12について、特別な技術的特徴を判断すると、以下に示す各特別な技術的特徴で連関する3の発明が含まれるものと認められる。

(発明1) 請求項1-2、7-8に係る発明

「炭化珪素半導体結晶で作られた基板であるコレクタ領域と、前記コレクタ領域の上に形成された高抵抗層と、前記高抵抗層の上に形成されたベース領域と、低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、前記ベースコンタクト領域と前記エミッタ領域との間の表面付近に形成され、前記ベース領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域、または前記エミッタ領域と同じ導電型でありかつその抵抗率よりも高い再結合抑制領域と、を備えているバイポーラ型炭化珪素半導体装置。」

(発明2) 請求項3-4、9-10に係る発明

「炭化珪素半導体結晶で作られた基板であるコレクタ領域と、前記コレクタ領域の上に形成された高抵抗層と、前記高抵抗層の上に形成されたベース領域と、低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、前記ベース領域に形成され、前記ベースコンタクト領域に接すると共に、前記ベース領域と同じ導電型でありかつその抵抗率と同等かまたは当該抵抗率よりも低い埋め込み領域と、を備えているバイポーラ型炭化珪素半導体装置。」

(発明3) 請求項5-6、11-12に係る発明

「炭化珪素半導体結晶で作られた基板であるコレクタ領域と、前記コレクタ領域の上に形成された高抵抗層と、前記高抵抗層の上に形成されたベース領域と、低抵抗層からなり、前記ベース領域と接合されるエミッタ領域と、前記エミッタ領域の周囲に形成され、前記ベース領域に接合する低抵抗のベースコンタクト領域と、前記高抵抗層に形成され、前記ベース領域に接すると共に、前記ベース領域と同じ導電型でありかつその抵抗率よりも高い埋め込み領域、または前記高抵抗層と同じ導電型でありかつその抵抗率よりも高い埋め込み領域と、を備えているバイポーラ型炭化珪素半導体装置。」

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 野中 賢一

埼玉県和光市中央1丁目4番1号 株式会社本田技術研究所内

Fターム(参考) 5F003 AZ01 BA11 BA92 BB01 BB02 BB04 BB05 BB06 BB08 BC02
BC04 BE01 BE04 BE09 BE90 BF01 BF03 BF05 BH01 BM01
BP23 BP32 BP94

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。