

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 16/06

(45) 공고일자 2004년09월 10일

(11) 등록번호 10-0433686

(24) 등록일자 2004년05월 19일

| | | | |
|-------------|---|-------------|-----------------|
| (21) 출원번호 | 10-1998-0702619 | (65) 공개번호 | 10-1999-0064138 |
| (22) 출원일자 | 1998년04월09일 | (43) 공개일자 | 1999년07월26일 |
| 번역문제출일자 | 1998년04월09일 | | |
| (86) 국제출원번호 | PCT/US1996/012045 | (87) 국제공개번호 | WO 1997/16831 |
| (86) 국제출원일자 | 1996년07월 19일 | (87) 국제공개일자 | 1997년05월09일 |
| (81) 지정국 | 국내특허 : 아일랜드 일본 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 | | |

(30) 우선권주장 08/551705 1995년11월01일 미국(US)

(73) 특허권자 아드밴스트 마이크로 디바이시스 인코포레이티드

(72) 발명자 미합중국 캘리포니아주 94088 서니베일시 원 에이엠디이 플레이스
쿠오 티아오 후아

미국 캘리포니아 95129 산 호세 시아라 레인 6843
창 청 케이.

미국 캘리포니아 94086 서니베일 #4 산 쥬안 드라이브 627
첸 존니

미국 캘리포니아 95014 쿠퍼티노 실버 스프링 코트11537
유 제임스 씨.

(74) 대리인 미국 캘리포니아 95120 산 호세 벨리 과일 서클1134
박장원

심사관 : 안병일

(54) 메모리, 메모리를 위한 프로그래밍 방법 및 프로그램 회로

명세서

기술분야

<1> 본 발명은 플래시 메모리 분야에 관한 것이다. 특히, 저 전압 단일 전원 플래시 메모리, 이 메모리를 위한 프로그램 방법 및 프로그램 회로에 관한 것이다.

배경기술

<2> 플래시 메모리는 비휘발성 정보 저장을 제공하기 위해 다양한 컴퓨터 시스템에 흔히 이용되고 있다. 종래의 플래시 메모리는 전형적으로 플래시 메모리 셀에 정보를 프로그래밍 하는 프로그램 회로와 메모리 셀을 소거하는 소거 회로를 포함한다. 그렇지만, 프로그램 회로 및 소거 회로에 의해 요구되는 전압원 레벨들은 컴퓨터 시스템 전원에서부터 전형적으로 이용 가능한 전압원 레벨들과는 다르다.

<3> 종래의 플래시 메모리의 일부는 프로그램 회로 및 소거 회로를 수용하기 위해 다수의 전압원을 필요로 한다. 예를 들면, 종래의 플래시 메모리의 하나는 프로그램을 위한 VCC 전압원 및 개별적인 VPP 전압원을 필요로 한다. 유감스럽게도, 이러한 이중(dual) 전압원의 필요성은 이러한 이중 전원 플래시 메모리를 채용하는 컴퓨터 시스템을 위한 전력 시스템 설계의 복잡성을 더욱 증가시키고, 시스템의 전체적인 비용을 증가시킨다.

<4> 다른 한편, 단일 전원 플래시 메모리는 개별 플래시 메모리 셀을 프로그래밍하고 소거하는데 필요한 적절한 전압 레벨들 및 전기 전류 레벨들을 발생하는 특정 회로를 통상적으로 포함한다. 예를 들면, 이러한 플래시 메모리는 전형적으로, 프로그래밍 동안 플래시 메모리 셀에 대한 입력들을 구동하는데 요구되는 적당한 전압 레벨로 단일 전원전압을 변환시키는 전하 펌프 회로(charge pump circuit)를 포함한다.

<5> 휴대용 컴퓨터와 같은 보다 최근의 컴퓨터 시스템은 이전의 시스템에 비해 비교적 저 전원전압(VCC) 레벨로 기능하는 집적 회로 및 다른 소자를 이용한다. 예를 들면, 5v VCC 전원을 이용하는 종래의 노트북 컴퓨터 시스템은 현재 3v 이하의 VCC 전원으로 발전하고 있다.

<6> 유감스럽게도, 저 레벨의 전원전압은, 플래시 메모리의 전하 펌프 회로에 의해 발생될 수 있는 전기적 프로그래밍 전류량을 실제로 제한한다. 이용 가능한 프로그래밍 전류에 대한 제한은, 동시에 프로그램 될 수 있는 플래시 셀의 수를 제한함으로써 플래시 메모리의 전체 속도를 감소시킬 수 있다.

<7> 이론상, 전하 펌프 회로를 보다 크고 보다 복잡하게 구현함으로써, 플래시 메모리 셀의 전체 바이트 또는 워드를 동시에 프로그램 하는 데 요구되는 필요한 전류가 제공될 수 있다. 그러나, 보다 크고 보다 복잡한 전하 펌프 회로는 전형적으로 집적 회로 다이의 큰 면적을 차지한다. 전하 펌프에 전용적으로 이용되는 큰 면적의 집적 회로 다이 공간은 플래시 메모리 셀 및 관련 액세스 회로에 이용 가능한 다이 공간을 감소시키며 이에 의해 플래시 메모리의 전체 저장 용량을 제한한다. 다른 한편으로, 이러한 큰 면적의 다이 공간은 집적 회로 다이의 전체 사이즈의 상당한 증가를 요구하기 때문에, 제조 비용이 증가된다.

<8> [발명의 개요]

<9> 본 발명의 한 목적은 단일 전원 플래시 메모리를 위한 신규한 프로그램 알고리즘을 제공하는 것이다.

<10> 본 발명의 다른 목적은 프로그래밍을 필요로 하는 플래시 메모리 셀에만 이용 가능한 프로그래밍 전류를 효율적으로 분배하는 프로그램 알고리즘을 제공하는 것이다.

<11> 본 발명의 다른 목적은 이용 가능한 프로그래밍 전류에 대한 제한이 있을지라도 최고속 프로그래밍 속도를 가능하게 하는 프로그램 알고리즘을 제공하는 것이다.

<12> 본 발명의 또 다른 목적은 바이트 모드 및 워드 모드 모두에서 동작하는 저 전압 단일 전원 플래시 메모리를 위한 프로그램 알고리즘을 제공하는 것이다.

<13> 상기 목적 및 다른 목적은 플래시 메모리를 위한 프로그래밍 알고리즘에 의해 제공된다. 플래시 메모리에 있어서 데이터 입력 버퍼 및 프로그래밍 회로는 한 세트의 개별적인 제어 가능 그룹들로 세분된다. 상기 알고리즘은 각각의 그룹에 의해 플래시 셀 어레이에 프로그램 될 특정 수의 논리 0을 검출한다. 상기 알고리즘은 플래시 셀 어레이에 있어서 동시에 프로그래밍 될 셀의 수가 미리 정해진 수를 초과하지 않도록, 최대 전류 용량이 이용되도록 그리고 프로그래밍을 위해 최대 전류 성능이 이용되도록, 상기 그룹들 간에 스위칭을 행한다. 상기 미리 정해진 수는, 플래시 메모리에 있어서의 전하 펌프 회로의 과도한 사용(overtaxing)을 방지하면서 최대 프로그래밍 속도를 성취할 수 있도록 선택된다.

<14> 본 발명의 다른 목적, 특성 및 이점은 이하의 상세한 설명으로부터 명백해질 것이다.

<15> 본 발명은 그 특성의 예시적인 실시예에 대하여 설명되고 이에 따라서 도면이 참조된다.

도면의 간단한 설명

<16> 도 1은 프로그램 회로 및 플래시 셀 어레이를 포함하는 단일 전원 플래시 메모리 도시도.

<17> 도 2는 워드 검출기가 플래시 셀 어레이에 프로그램 될 5개 이하의 0을 검출할 때, 프로그램 제어 상태 머신이 프로그래밍 그룹 0 내지 3을 선택하는 시퀀스 도시도.

<18> 도 3은 저 바이트 검출기 및 고 바이트 검출기가 프로그래밍을 위한 5개 이하의 0을 검출하고, 0들과 고 바이트 및 저 바이트의 조합이 5 보다 클 때, 프로그램 제어 상태 머신이 그룹 0 내지 3을 선택하는 시퀀스 도시도.

<19> 도 4는 저 바이트 검출기가 프로그램 될 5개 이하의 0을 검출하고, 고 바이트 검출기가 플래시 셀 어레이에 프로그램 될 5개 이상의 0을 검출할 때, 프로그램 제어 상태 머신이 그룹 0 내지 3을 선택하는 시퀀스 도시도.

<20> 도 5는 저 바이트 검출기가 프로그램 될 5개 이상의 0을 검출하는 반면에, 고 바이트 검출기는 플래시 셀 어레이에 프로그램 될 5개 이하의 0을 검출할 때, 프로그램 제어 상태 머신이 그룹 0 내지 3을 선택하는 시퀀스 도시도.

<21> 도 6은 저 바이트 검출기가 프로그램 될 5개 이상의 0을 검출하고, 고 바이트 검출기도 플래시 셀 어레이에 프로그램 될 5개 이상의 0을 검출할 때, 프로그램 제어 상태 머신이 그룹 0 내지 3을 선택하는 시퀀스 도시도.

<22> 도 7은 플래시 셀 어레이에서의 바이트 모드 프로그래밍 및 워드 모드 프로그래밍 모두를 위한 프로그램 제어 상태 머신의 상태 도시도.

<23> 도 8은 일 실시예에서의 워드 검출기의 개략도,

<24> 도 9는 일 실시예에서의 저 바이트 검출기의 개략도.

<25> 도 10은 일 실시예에서의 고 바이트 검출기의 개략도.

<26> 도 11은 일 실시예에서의 프로그램 제어 상태 머신의 개략도.

발명의 상세한 설명

<27> 도 1은 프로그램 회로(100) 및 플래시 셀 어레이(120)를 포함하는 단일 전원 플래시 메모리(200)를 도시하고 있다. 프로그램 회로(100)는 저 VCC 전원 레벨에서의 동작을 가능하게 하는 단일 전원 플래시 메모리(200)를 위한 프로그램 알고리즘을 실현한다.

<28> 프로그램 회로(100)는 프로그램 제어 상태 머신(10), 저 바이트 검출기(20), 고 바이트 검출기(21) 및 워드 검출기(22)를 포함한다. 프로그램 회로(100)는 또한 Dinbuf0 내지 Dinbuf15(Dinbuf0-15)로 칭해지는 데이터 입력 버퍼 회로들의 세트를 포함한다. Dinbuf0-15 회로는 라인 1/00 내지 1/015(1/00-15)로 칭해지는 입력/출력 라인의 세트에 의해 입력/출력 포드(pod)의 대응 세트에 결합된다. Dinbuf0-15 회로는 플래시 셀 어레이(120)의 비트 라인을 구동한다.

- <29> 일 실시예에 있어서, 플래시 셀 어레이(120)는 폭이 16비트이고, 바이트 모드 및 워드 모드 모두에서 액세스 가능하다. Dinbuf0-15 회로에 결합된 플래시 셀 어레이의 각각의 16 비트 워드는 그룹 0 내지 그룹 3(그룹 0-3)으로 칭해지는 4개의 그룹으로 세분된다. 그룹 0은 데이터 입력 버퍼 Dinbuf0-3을 포함하고, 그룹 1은 Dinbuf4-7을 포함하고, 그룹 2는 Dinbuf8-11을 포함하며, 그룹 3은 Dinbuf12-15 를 포함한다.
- <30> 그룹 0 및 그룹 1의 데이터 입력 버퍼는 플래시 및 어레이(120)를 위한 바이트 모드에서 프로그래밍 워드 또는 프로그래밍 바이트의 저 바이트로 조합되는 반면, 그룹 2 및 그룹 3의 입력 버퍼는 프로그래밍 워드의 고 바이트로 조합된다. 플래시 셀 어레이(120)를 위한 바이트 모드에서의 전체 프로그래밍 워드 또는 프로그래밍 바이트는, 모두 4개의 데이터 입력 버퍼 그룹, 즉 그룹 0-3을 포함한다.
- <31> 프로그램 제어 상태 머신(10)은 프로그래밍 동작 동안 플래시 셀 어레이(120)의 대응 비트 라인을 구동하도록 하나 이상의 데이터 입력 버퍼 그룹 0-3을 선택한다. 프로그램 제어 상태 머신(10)은 한 세트의 제어 신호들 SOPGM 내지 S3PGM을 통해 그룹 0-3 간에 스위칭 한다. 프로그램 제어 상태 머신(10)은, 플래시 셀 어레이(120)에 타겟된(targeted) 프로그래밍 데이터의 내용물(content)과, 그리고 프로그램 회로(100)가 바이트 모드로 또는 워드 모드로 동작하는지의 여부에 따라, 전체 바이트 또는 워드를 프로그램 하는 데 필요한 만큼 데이터 입력 버퍼 그룹 0-3을 스위칭 한다.
- <32> 각 Dinbuf0-15는 플래시 셀 어레이(120)에서 대응 비트 라인의 세트를 구동하는 프로그램 회로를 포함한다. 프로그램 제어 상태 머신(10)은, 프로그래밍 동안 플래시 셀 어레이(120)를 구동하는 드레인 펌프 회로(도시되지 않음)의 전류 출력을 Dinbuf0-15의 프로그래밍 회로가 과도하게 사용하지 않게 하는 시퀀스로 그룹 0-3을 활성화시킨다.
- <33> 일 실시예에 있어서, 플래시 메모리(200)용 드레인 펌프 회로는 2.7v와 3.6v사이에서 변하는 전원전압 VCC로부터 5v에서 대략 2.5 밀리암페어의 프로그래밍 전류를 공급할 수 있다. 2.5 밀리암페어는 프로그램 동작 동안 5개까지의 플래시 메모리 셀의 드레인을 구동하기에 충분하다.
- <34> 플래시 셀 어레이(120)의 워드 라인들 및 Y 통과 게이트들(pass gates)은, 프로그램 제어 상태 머신(10)이 그룹 0-3 사이에서의 필요한 스위칭을 완료하여 프로그래밍 동작을 완료할 때까지는 스위칭 되지 않는다. 플래시 메모리(200)에서 프로그램 검증 동작은 프로그래밍 시간을 절약하기 위하여 그룹 0-3의 스위칭 사이에서는 일어나지 않는다. 프로그래밍 검증 동작은 전체 워드 프로그램 동작 또는 전체 바이트 프로그램 동작의 완료 후에 수행된다.
- <35> 프로그램 검증 동작이 실패한 경우, 전체 워드 또는 전체 바이트는 동일한 프로그램 프로세스에 따라 재프로그램 된다. 재프로그램 동안, 실패한 프로그램 셀만이 후속의 프로그램 사이클에서 프로그램된다. 이에 의해, 초기 프로그램 사이클 동안에 정확하게 프로그램 된 플래시 셀들의 과도한 프로그래밍을 방지한다.
- <36> 저 바이트 검출기(20), 고 바이트 검출기(21) 및 워드 검출기(22)는 각각 한 세트의 제어 신호 X4BL, X4BH 및 X4BW를 발생한다. 프로그램 제어 상태 머신(10)은 다른 정보와 함께 제어 신호 X4BL, X4BH 및 X4BW를 사용하여 그룹 0-3을 위한 적당한 스위칭 시퀀스를 결정한다.
- <37> 저 바이트의 검출기(20)는 플래시 셀 어레이(120)의 저 바이트에 프로그램 될 실제의 논리 "0" 상태를 나타내는 한 세트의 신호 Din(0:7)을 수신한다. 저 바이트의 검출기(20)가 Din(0:7) 데이터에서 5개 이하의 0을 검출하는 경우, 제어 신호 X4BL는 하이(high)로 표명(assert) 된다. 저 바이트의 검출기(20)가 Din(0:7) 데이터에서 5개 이상의 0을 검출하는 경우, 제어 신호 X4BL는 로우(low)로 표명된다.
- <38> 마찬가지로, 고 바이트 검출기(21)는 플래시 셀 어레이(120)의 고 바이트에 프로그램 될 실제의 논리 "0" 상태를 나타내는 한 세트의 신호 Din(8:15)을 수신한다. 고 바이트의 검출기(21)는 Din(8:15) 데이터에서 5개 이하의 0이 검출되는 경우 제어 신호 X4BH는 하이로 표명되고, 그렇지 않을 경우에는 제어 신호 X4BH는 로우로 표명된다.
- <39> 워드 검출기(22)는 신호 Din(0:15)을 수신하여, 플래시 셀 어레이(120)의 워드에 프로그램 될 실제의 논리 "0" 상태를 검출한다. 워드 검출기(22)는 Din(0:15) 데이터에서 5개 이하의 0이 검출될 경우에 제어 신호 X4BW를 하이로 표명시키고, 그렇지 않을 경우에는 제어 신호 X4BW를 로우로 표명시킨다.
- <40> 프로그램 제어 상태 머신(10)은 BYTE 신호 및 HBYTE 신호와 함께 제어 신호 X4BL, X4BH 및 X4BW를 이용하여, 그룹 0-3이 플래시 및 어레이(120)를 프로그램 하게 하는 적당한 시퀀스를 결정한다. 프로그램 제어 상태 머신(10)은 프로그래밍 클럭(PGMCLK)에 의해 클럭된다. BYTE 신호는 플래시 메모리(200)가 바이트 모드로 액세스되는지 또는 워드 모드로 액세스되는지를 나타낸다. HBYTE 신호는 바이트 모드가 표시되는 경우에, 플래시 셀 어레이(120)에서 고 바이트가 프로그램 되는지 또는 저 바이트가 프로그램 되는지를 나타낸다.
- <41> 프로그램 제어 상태 머신(10)은 그룹 0-3을 위한 한 세트의 프로그래밍 제어신호를 발생한다. 상기 프로그래밍 제어 신호는 그룹 0을 선택하는 SOPGM 신호, 그룹 1을 선택하는 SIPGM 신호, 그룹 2를 선택하는 S2PGM 신호 및, 그룹 3을 선택하는 S3PGM 제어 신호를 포함한다. SO 내지 S3PGM 제어 신호는 또한 플래시 셀 어레이(120)에서의 프로그램 동작의 완료 후 프로그램 제어 상태 머신(10)이 언제 프로그램 프로세스를 종료시키는지 결정한다.
- <42> 도 2는 워드 검출기(22)가 플래시 셀 어레이(120)에 프로그램 될 5개 이하의 0을 검출하는 경우, 프로그램 제어 상태 머신(10)이 그룹 0-3을 선택하는 워드 모드 프로그래밍을 위한 시퀀스를 도시하고 있다. 이러한 프로그래밍 시퀀스에서, SOPGM 내지 S3PGM 신호는 시간 t1 및 t2 사이에서 동시에 활성화되어, 그룹 0-3에 의해 플래시 셀 어레이(120)의 프로그래밍을 동시에 가능하게 한다.
- <43> 도 3은 저 바이트 검출기(20)가 프로그래밍을 위한 5개 이하의 0을 검출하고, 고 바이트 검출기(21)가 프로그래밍을 위한 5개 이하의 0을 검출하며, 0들과 고 바이트 및 저 바이트의 조합이 5보다 큰 경우, 프로그램 제어 상태 머신(10)이 그룹 0-3을 선택하는 워드 모드 프로그래밍을 위한 시퀀스를 도시

하고 있다. 이러한 프로그래밍 시퀀스에서, 프로그램 제어 상태 머신은 시간 t3 및 t4 사이에서 SOPGM 및 S1PGM 제어 신호를 활성화시켜, 플래시 셀 어레이(120)에서 그룹 0 및 1의 프로그래밍을 가능하게 한다. 시간 t4 및 t5 사이에서, 프로그램 제어 상태 머신(10)은 S2PGM 및 S3PGM 제어 신호를 활성화시켜, 그룹 2 및 3에 의해 프로그래밍을 활성화시킨다.

<44> 도 4는 저 바이트 검출기(20)가 프로그램 될 5개 이하의 0을 검출하고, 고 바이트 검출기(21)가 플래시 셀 어레이(120)에 프로그램 될 5개 이상의 0을 검출하는 경우, 프로그램 제어 상태 머신(10)이 그룹 0-3을 선택하는 워드 모드 프로그래밍을 위한 시퀀스를 도시하고 있다. 이러한 시퀀스에서, 프로그램 제어 상태 머신(10)은 시간 t6 및 t7 사이에서 그룹 0 및 1을 활성화시키고, 이어서 시간 t7 및 t8 사이에서 그룹 2를 활성화시키며, 이어서 시간 t8 및 t9 사이에서 그룹 3을 활성화시킨다.

<45> 도 5는 저 바이트 검출기(20)가 프로그래밍 될 5개 이하의 0을 검출하는 반면, 고 바이트 검출기(21)는 플래시 셀 어레이(120)에 프로그래밍 될 5개 이하의 0을 검출하는 경우, 프로그램 제어 상태 머신(10)이 그룹 0-3을 선택하는 워드 모드 프로그래밍을 위한 시퀀스를 도시하고 있다. 이러한 시퀀스에서, 프로그램 제어 상태 머신(10)은 시간 t10 및 t11 사이에서 그룹 0을 활성화시키고, 이어서 시간 t11 및 t12 사이에서 그룹 1을 활성화시킨다. 그룹 0 및 1의 프로그래밍 완료 후에, 프로그램 제어 상태 머신(10)은 시간 t12 및 t13 사이에서 그룹 2 및 3을 동시에 활성화시켜, 프로그래밍 시퀀스를 완료한다.

<46> 도 6은 프로그램 제어 상태 머신(10)이 그룹 0-3을 선택하는 워드 모드 프로그래밍을 위한 시퀀스를 도시한 것으로, 여기서 저 바이트 검출기(20)가 프로그래밍 될 5개 이하의 0을 검출하고, 고 바이트 검출기(21) 또한 플래시 셀 어레이(120)에 프로그래밍 될 5개 이하의 0을 검출한다. 이러한 경우에, 프로그램 제어 상태 머신(10)은 그룹 0-3을 개별 구간에서 순차적으로 활성화시킨다. 프로그램 제어 상태 머신(10)은 시간 t14 및 t15 사이에서 그룹 0, 시간 t15 및 t16 사이에서 그룹 1, 시간 t16 및 t17 사이에서 그룹 2, 그리고 시간 t17 및 t18 사이에서 그룹 3을 활성화시킨다.

<47> 도 7은 플래시 셀 어레이(120)에서의 바이트 모드 프로그래밍 및 워드 모드 프로그래밍 모두를 위한 프로그램 제어 상태 머신(10)의 상태를 도시하고 있다. 저 바이트 검출 칼럼은 X4BL 제어 신호의 상태를 나타내고, 고 바이트 검출 칼럼은 X4BH 제어 신호의 상태를 나타내며, 워드 검출 칼럼은 X4BW 제어 신호의 상태를 나타낸다. 각각의 프로그래밍 시퀀스는 제 1 PGM 서브펄스 내지 제 4 PGM 서브펄스로 칭해지는 4개까지의 프로그램 서브펄스를 포함할 수 있다. 각각의 서브펄스 동안, 프로그램 제어 상태 머신(10)의 상태는 제어 신호 SOPGM 내지 S3PGM에 대응하는 상태 S0 내지 S3으로 표시된다.

<48> 도 2 내지 6에 대해 전술된 바와 같이, 프로그램 제어 상태 머신(10)의 워드 모드는 5개의 가능한 프로그래밍 시퀀스를 생성한다. 바이트 모드에서, 고 바이트 프로그래밍 및 저 바이트 프로그래밍 각각은 도 7에서 표시된 바와 같은 2개의 가능한 프로그래밍 시퀀스를 포함한다.

<49> 도 8은 일 실시예에서의 워드 검출기(22)의 개략도이다. 워드 검출기(22)는 DIN(15:0) 신호 라인 상에 표시된 0의 수를 결정하는 아날로그 합산 회로를 포함한다.

<50> 도 9 및 10은 각각 저 바이트 검출기(20) 및 고 바이트 검출기(21)의 개략도이다. 저 바이트 검출기(20) 및 고 바이트 검출기(21) 각각은 대응하는 입력 데이터 라인 DIN(7:0) 또는 DIN(15:8)에서 0의 수를 결정하는 아날로그 합산 회로를 포함한다.

<51> 도 11은 일 실시예에서의 프로그램 제어 상태 머신(10)의 개략도이다. 상태 S0 내지 S3은 프로그램 제어 상태 머신에 대한 다음 상태를 나타낸다.

<52> 본 발명의 전술한 상세한 설명은 설명을 목적을 위해 제공된 것이며, 본 발명을 기술된 실시예로 제한하도록 의도된 것이 아니다. 따라서, 본 발명의 범주는 첨부한 청구의 범위에 의해 정의된다.

(57) 청구의 범위

청구항 1

메모리(200)내의 프로그래밍 회로(100)를 한 세트의 그룹들로 세분하는 단계 및 최대 이용 가능한 프로그래밍 전류를 사용하는 동안 셀 어레이(120)에서 동시 프로그램 된 셀의 수가 미리 정해진 수를 초과하지 않도록 상기 그룹들 간을 스위칭 하는 단계를 포함하는, 메모리 셀(120)의 어레이를 포함하는 메모리(200)에 대한 프로그래밍 방법에 있어서,

각 그룹에 의해 셀 어레이에 프로그램 될 논리 0의 수를 검출하는 단계와; 그리고 상기 검출된 0의 수에 따라 상기 그룹들 간의 스위칭을 제어하는 단계를 포함하는 것을 특징으로 하는 메모리에 대한 프로그래밍 방법.

청구항 2

제 1 항에 있어서,

상기 검출된 0의 전체 수가 상기 미리 정해진 셀의 수를 초과하지 않는 그룹들은 동시에 활성화되는 반면에, 상기 검출된 0의 전체 수가 상기 미리 정해진 수를 초과하는 그룹들은 순차적으로 활성화되도록 상기 그룹들 간의 스위칭을 제어하는 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 3

제 1 또는 2항에 있어서,

상기 논리 0의 수는 상기 셀 어레이에 타겟된(targeted) 프로그램 바이트(20, 21)에서 검출되는 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 4

제 3 항에 있어서,

상기 프로그램 바이트는 상기 셀 어레이의 고 바이트로 이루어지는 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 5

제 3 항에 있어서,

상기 프로그램 바이트는 상기 셀 어레이의 저 바이트로 이루어지는 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 6

제 1 또는 2 항에 있어서,

상기 논리 0의 수는 상기 셀 어레이에 타겟된 프로그램 워드에서 검출되는 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 7

제 1 항에 있어서,

상기 메모리(200)는 저 전압 단일 전원 플래시 메모리인 것을 특징으로 하는 메모리를 위한 프로그래밍 방법.

청구항 8

한 세트의 개별적으로 제어 가능한 그룹들 및 스위칭 회로(10)로 배열되는 프로그래밍 회로(100)를 포함하며, 상기 스위칭 회로(10)는 메모리(200)의 셀 어레이(120)에 동시에 프로그램 된 셀의 수가 미리 정해진 수를 초과하지 않고 또한 최대 이용 가능한 프로그래밍 전류를 사용하도록 상기 그룹들 간을 스위칭 하는 메모리(200)에 있어서,

각각의 그룹에 의해 상기 셀 어레이에 프로그램 될 논리 0의 수를 검출하는 검출 회로(20, 21, 22)와; 그리고

상기 검출된 0의 수에 따라 스위칭 시퀀스를 제어하는 제어 수단(10)을 포함하는 것을 특징으로 하는 메모리.

청구항 9

제 8 항에 있어서,

상기 제어 수단(10)은 상기 검출된 0의 전체 수가 셀들의 상기 미리 정해진 수를 초과하지 않는 그룹들을 동시에 활성화시키고, 상기 0의 전체 수가 상기 미리 정해진 수를 초과하는 그룹들을 순차적으로 활성화시키는 것을 특징으로 하는 메모리.

청구항 10

제 8 또는 9 항에 있어서,

상기 제어 수단(10)은 상태 머신을 포함하는 것을 특징으로 하는 메모리.

청구항 11

제 10 항에 있어서,

상기 검출 회로(20, 21, 22)는 상기 셀 어레이에 타겟된 프로그램 바이트에 포함되는 논리 0의 수를 결정하는 것을 특징으로 하는 메모리.

청구항 12

제 11 항에 있어서,

상기 프로그램 바이트는 상기 셀 어레이의 고 바이트로 이루어지는 것을 특징으로 하는 메모리.

청구항 13

제 11 항에 있어서,

상기 프로그램 바이트는 상기 셀 어레이의 저 바이트로 이루어진 것을 특징으로 하는 메모리.

청구항 14

제 8 또는 9 항에 있어서,

상기 검출 회로(20, 21, 22)는 상기 셀 어레이에 타겟된 프로그램 워드에 포함되는 논리 0의 수를 결정하는 것을 특징으로 하는 메모리.

청구항 15

제 8 또는 9 항에 있어서,

상기 셀 어레이(120)는 저 전압 단일 전원 플래시 메모리를 위한 플래시 셀 어레이를 포함하는

것을 특징으로 하는 메모리.

청구항 16

플래시 셀 어레이를 갖는 플래시 메모리에 대한 프로그램 회로에 있어서,

상기 플래시 셀 어레이에 프로그램될 바이트 혹은 워드에서 논리 상태를 검출하고, 상기 검출에 근거하여 제어 신호들을 발생하는 검출기와;

상기 검출기로부터의 제어 신호들에 따라 상기 플래시 셀 어레이를 프로그램하는 시퀀스를 결정하고, 상기 결정에 근거하여 프로그램 제어신호들을 발생하는 상태 머신과; 그리고

각각 상기 상태 머신으로부터의 프로그램 제어 신호들에 따라 상기 플래시 메모리 셀 어레이를 프로그램하는 동작을 하는 복수의 데이터 입력 버퍼회로(Dinbuf0-15)를 포함하는 프로그램 회로.

청구항 17

제 16항에 있어서,

상기 검출기는 검출된 논리 제로들의 수가 소정의 범위내에 있는지의 여부에 따라 제어 신호들을 발생하는 것을 특징으로 하는 프로그램 회로.

청구항 18

제 16항에 있어서,

상기 데이터 입력 버퍼 회로들은 그룹들(groups 0-3)로 분할되는 것을 특징으로 하는 프로그램 회로.

청구항 19

제 18항에 있어서,

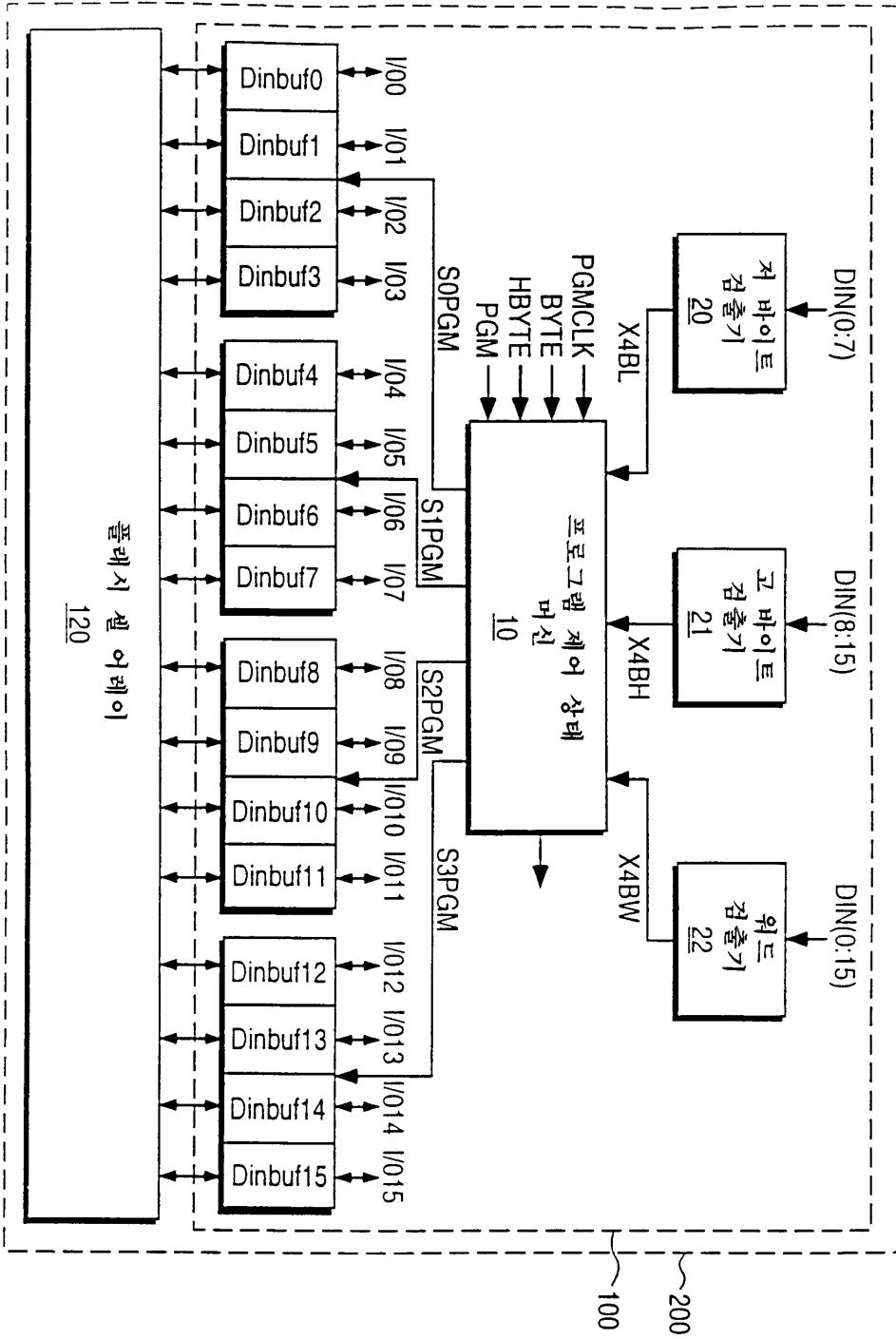
상기 상태 머신은 상기 그룹 각각에 프로그램 제어 신호를 인가함으로써, 상기 그룹들을 선택적으로 활성화시키는 것을 특징으로 하는 프로그램 회로.

요약

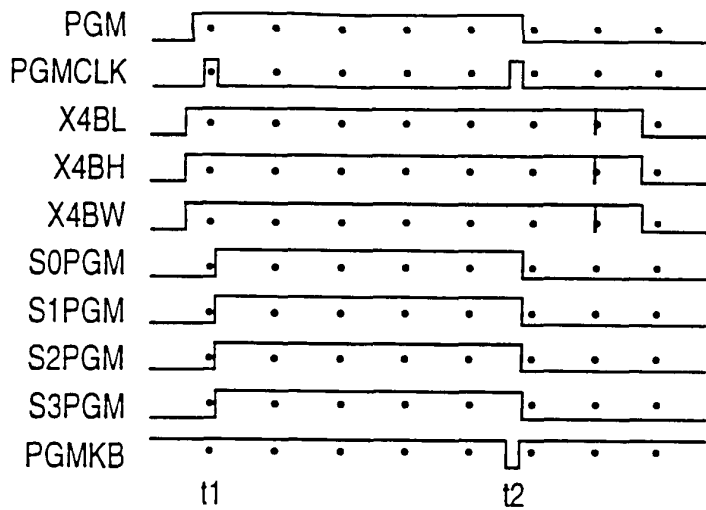
프로그래밍 회로가 개별적으로 제어 가능한 한 세트의 그룹들로 세분되는 플래시 메모리를 위한 프로그래밍 알고리즘이 제공된다. 상기 알고리즘은 각각의 그룹에 의해 플래시 셀 어레이에 프로그램 될 논리 0의 수를 검출하며, 상기 플래시 셀 어레이에서 동시 프로그램 된 셀의 수가 미리 정해진 수를 초과 하지 않도록, 그리고 최대 이용 가능한 프로그래밍 전류가 프로그래밍 속도를 증진시키는 데 이용되도록, 상기 그룹들 사이를 스위칭 한다.

도면

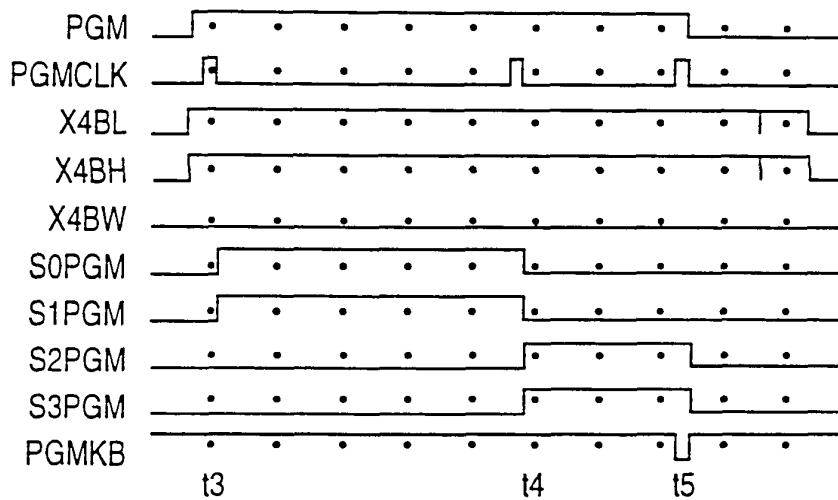
도면1



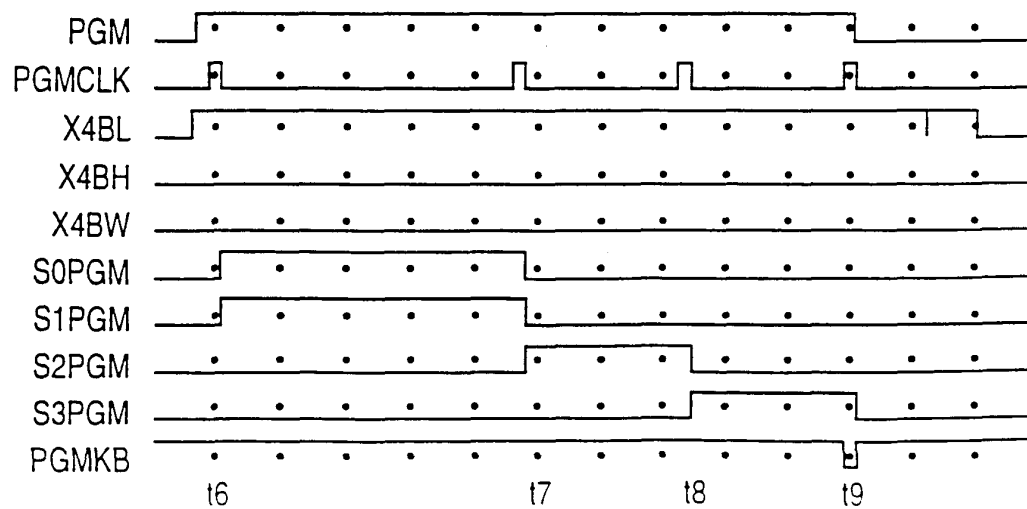
도면2



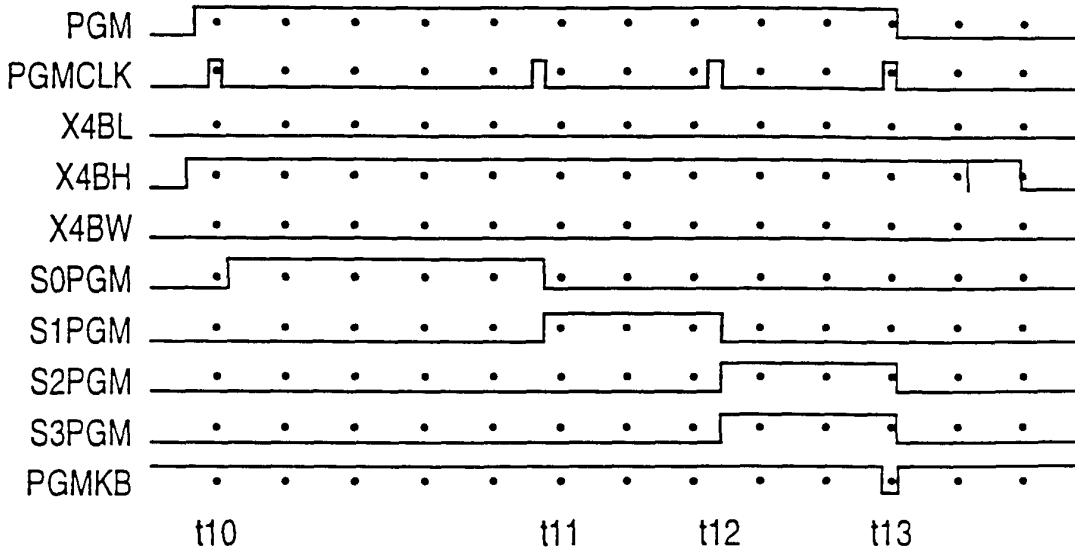
도면3



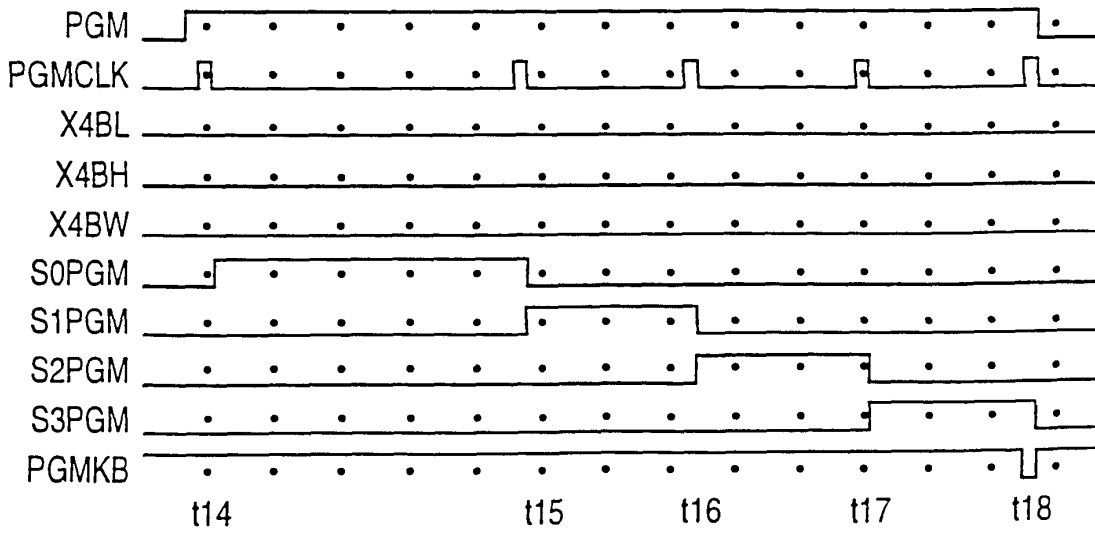
도면4



도면5



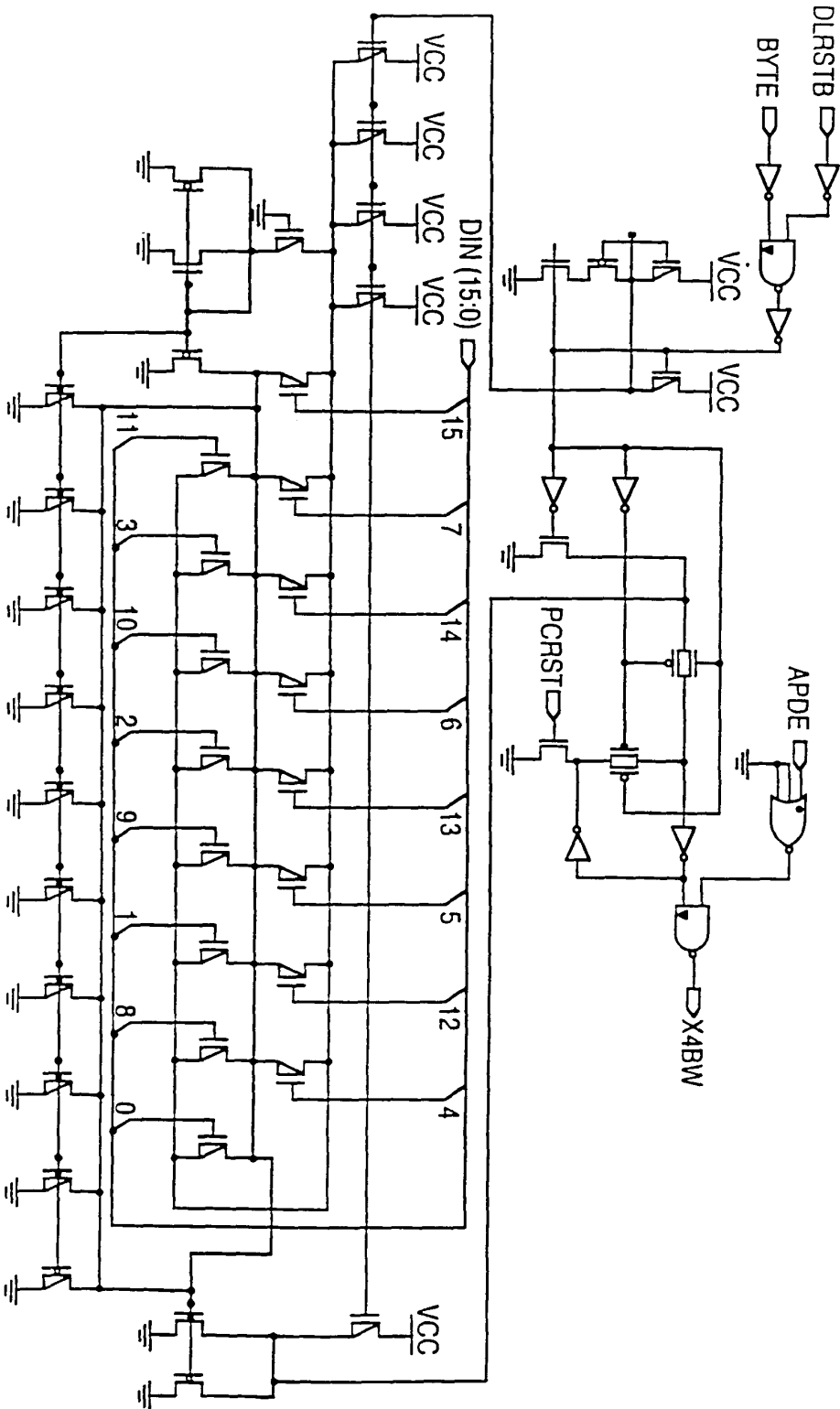
도면6



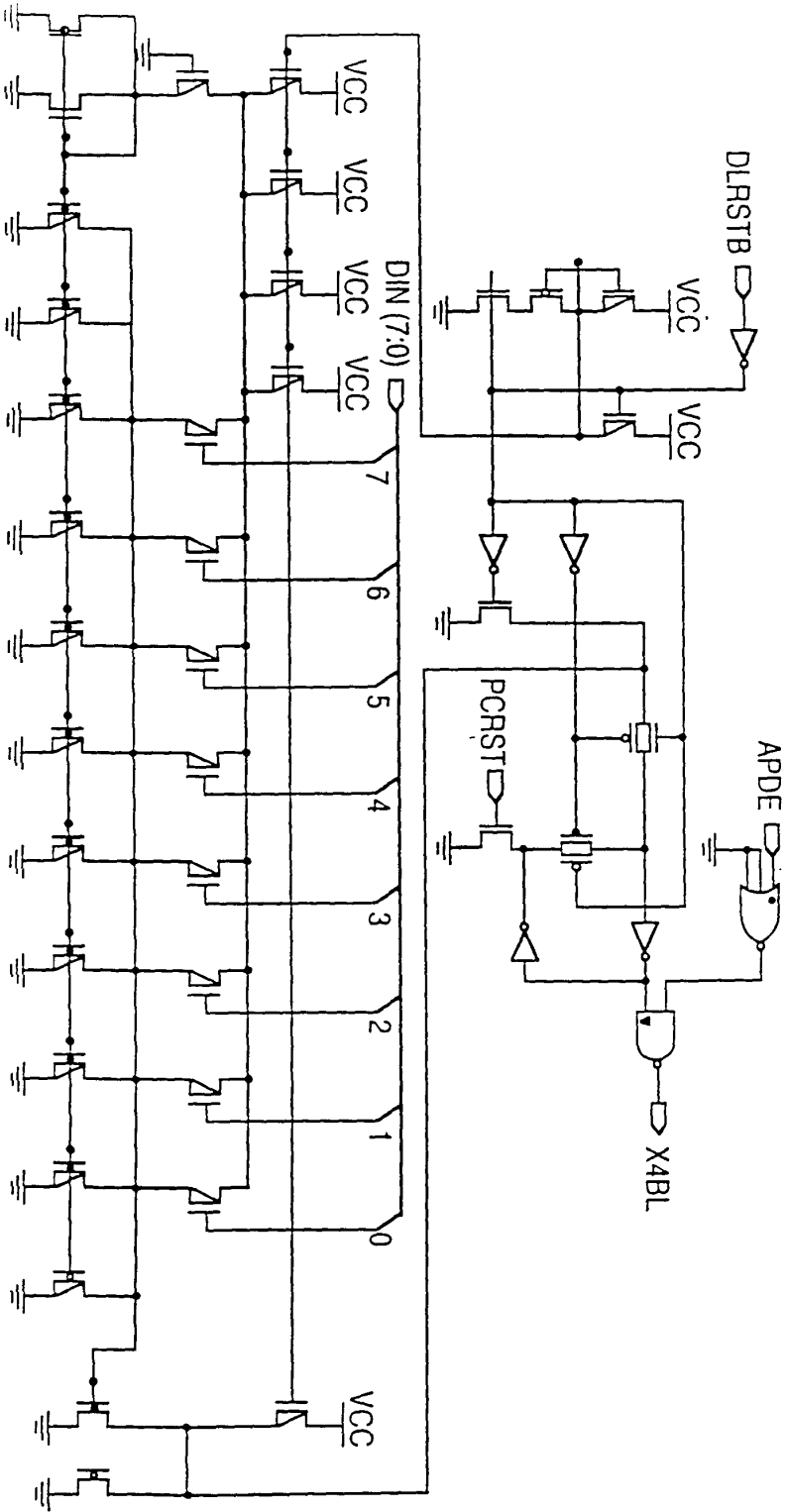
도면7

| | | | | | | | | | |
|-----------|-------|---------------|---------------|------------|-----------------|-----------------|-----------------|-----------------|-------------------|
| | | 저 바이트 Det. | 고 바이트 Det. | 워드 Det. | 제 1 PGM 서보필스 | 제 2 PGM 서보필스 | 제 3 PGM 서보필스 | 제 4 PGM 서보필스 | 전체 PGM 서보필스 |
| 바이트 모드 | 저 바이트 | H | X | L | S0,S1 | - | - | - | 1 |
| | 저 바이트 | L | X | L | S0 | S1 | - | - | 2 |
| | 고 바이트 | X | H | L | S2,S3 | - | - | - | 1 |
| | 고 바이트 | X | L | L | S2 | S3 | - | - | 2 |
| | 워드 | H | H | H | S0,S1,S2,S3 | - | - | - | 1 |
| | 워드 | H | H | L | S0,S1 | S2,S3 | - | - | 2 |
| | 워드 | H | L | L | S0,S1 | S2 | S3 | - | 3 |
| 워드 모드 | 워드 | L | H | L | S0 | S1 | S2,S3 | - | 3 |
| | 워드 | L | L | L | S0 | S1 | S2 | S3 | 4 |

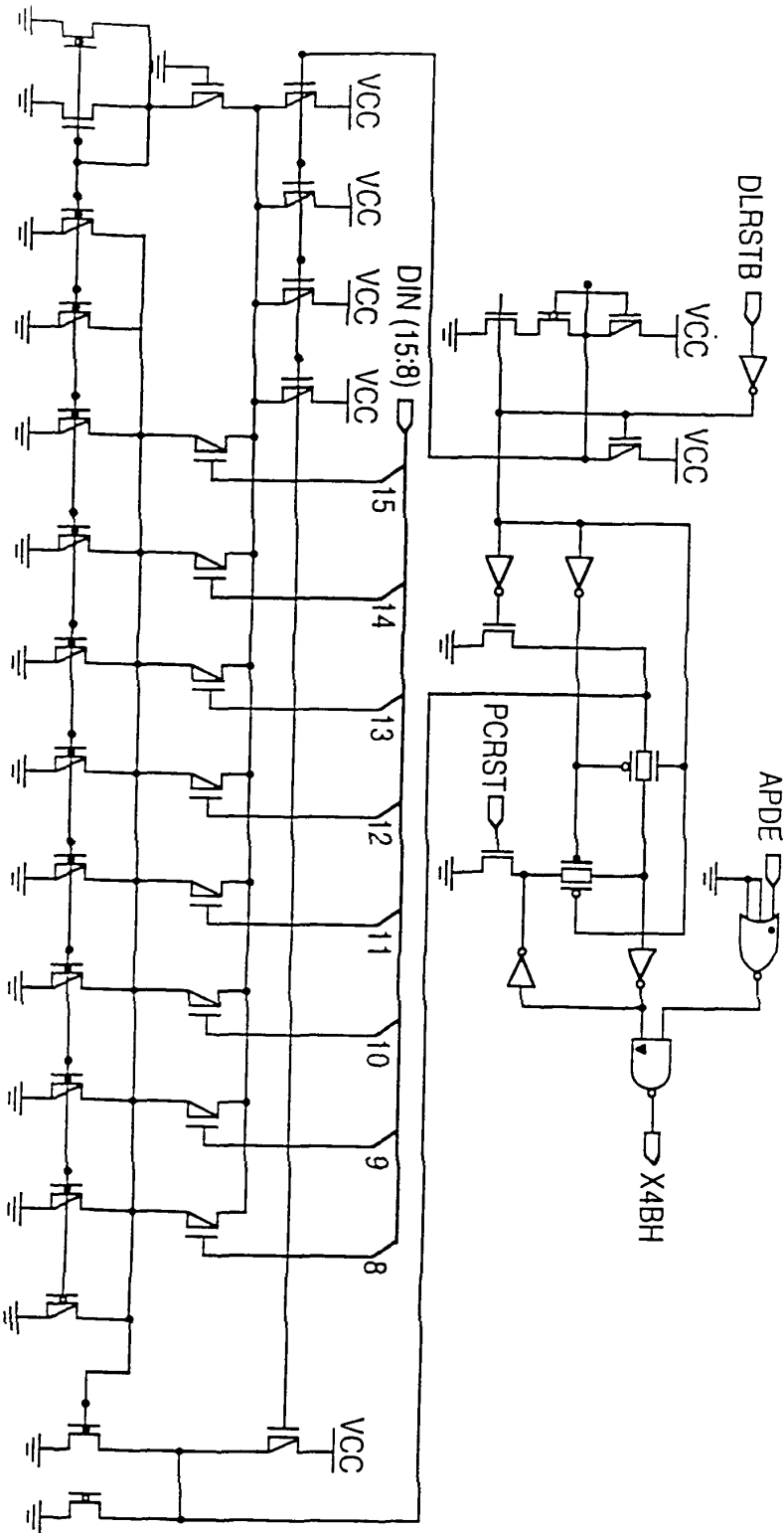
도면8

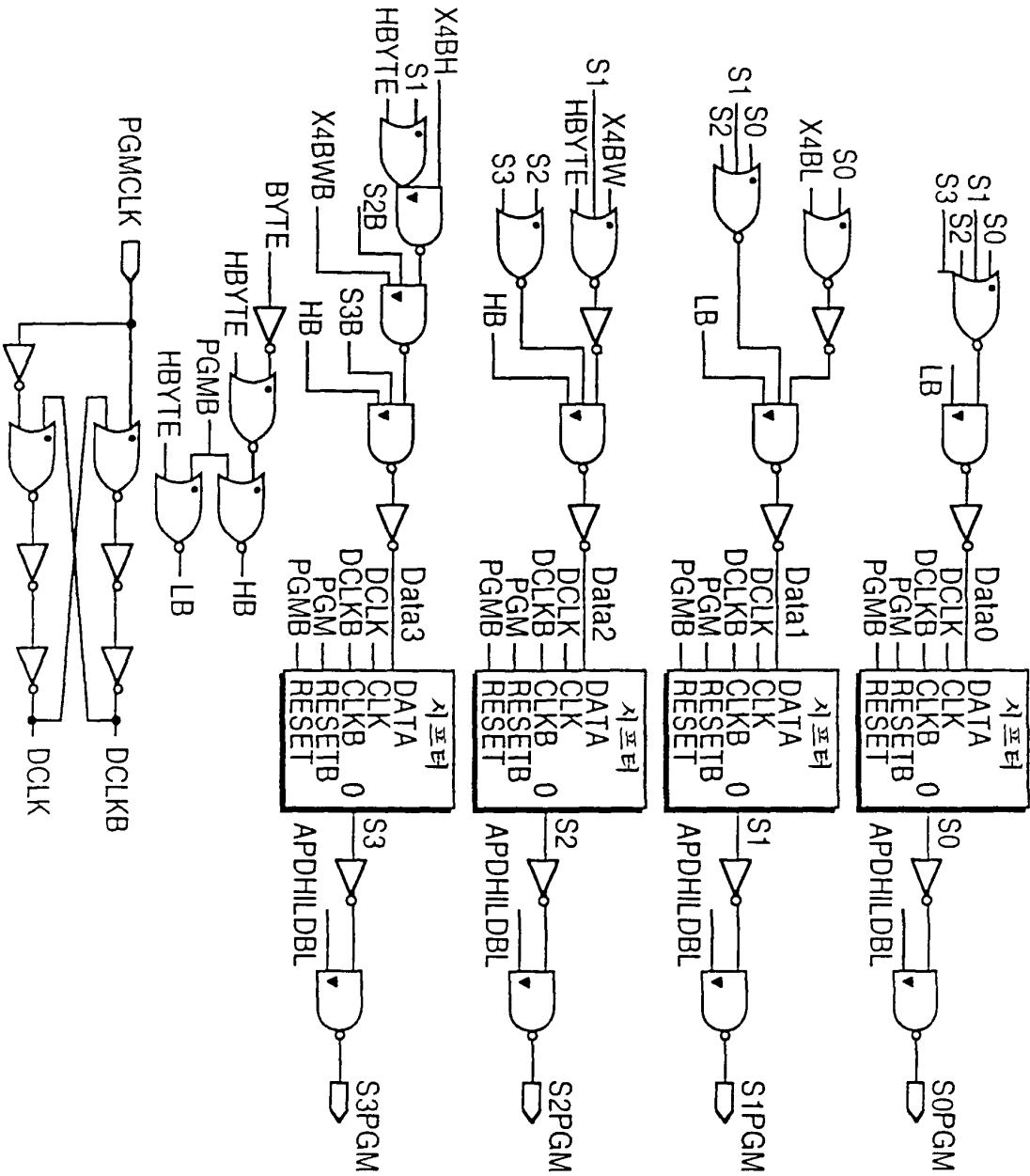


도면 6



도면10





도면11