

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-294088

(P2008-294088A)

(43) 公開日 平成20年12月4日(2008.12.4)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|--------------------|-------------|
| HO 1 L 21/8247 (2006.01) | HO 1 L 27/10 4 3 4 | 5 F 0 8 3 |
| HO 1 L 27/115 (2006.01) | HO 1 L 27/10 4 8 1 | 5 F 1 0 1 |
| HO 1 L 27/10 (2006.01) | HO 1 L 29/78 3 7 1 | |
| HO 1 L 29/788 (2006.01) | | |
| HO 1 L 29/792 (2006.01) | | |

審査請求 未請求 請求項の数 24 O L (全 21 頁)

(21) 出願番号 特願2007-135852 (P2007-135852)
 (22) 出願日 平成19年5月22日 (2007. 5. 22)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 西本 敏明
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内

最終頁に続く

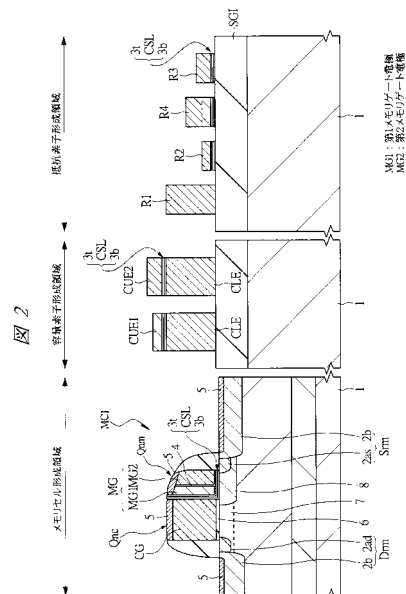
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MONOS型不揮発性メモリセルを有する半導体装置において、メモリセルに書き込まれたデータの消去残りを防いで、データの書き換え劣化を抑制することのできる技術を提供する。

【解決手段】 選択ゲート電極CGとメモリゲート電極MGとの間のギャップ部側に多結晶シリコン膜からなる第1メモリゲート電極MG1を設け、ソース領域Srm側に第1メモリゲート電極MG1を構成する多結晶シリコン膜よりも不純物濃度の高い多結晶シリコン膜からなる第2メモリゲート電極MG2を設ける。これにより、データ書き込み時に、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量を第2メモリゲート電極MG2下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量よりも減少させて、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLにおけるデータの消去残りを防ぐ。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板の主面の第 1 領域に第 1 電界効果トランジスタを含み、第 2 領域に前記第 1 電界効果トランジスタに隣接する第 2 電界効果トランジスタを含む不揮発性メモリセルを有する半導体装置であって、

前記第 1 領域の前記半導体基板の主面に形成されたゲート絶縁膜と、前記第 1 領域の前記半導体基板の主面上に前記ゲート絶縁膜を介して形成された前記第 1 電界効果トランジスタの選択ゲート電極と、前記第 2 領域の前記半導体基板の主面上に形成された電荷保持用絶縁膜と、前記第 2 領域の前記半導体基板の主面上に前記電荷保持用絶縁膜を介して形成された前記第 2 電界効果トランジスタのメモリゲート電極と、前記選択ゲート電極と前記メモリゲート電極との間に形成された前記電荷保持用絶縁膜とを有し、

前記メモリゲート電極は、前記選択ゲート電極の側壁の片側に形成された多結晶シリコン膜からなる第 1 メモリゲート電極と、前記第 1 メモリゲート電極の側壁に拡散防止膜を介して形成され、前記第 1 メモリゲート電極よりも不純物濃度が高い多結晶シリコン膜からなる第 2 メモリゲート電極とから構成されることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、前記第 1 メモリゲート電極を構成する多結晶シリコン膜の不純物濃度は、前記第 2 メモリゲート電極を構成する多結晶シリコン膜の不純物濃度の 1 / 3 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記第 1 および第 2 メモリゲート電極の上にはシリサイド層が形成されており、前記第 1 メモリゲート電極と前記第 2 メモリゲート電極とは前記シリサイド層により電氣的に短絡されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記電荷保持用絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜が下層から順次堆積されてなる積層膜であることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、前記電荷保持用絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜および窒化シリコン膜が下層から順次堆積されてなる積層膜であることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、前記選択ゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された抵抗素子、前記第 1 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された抵抗素子、前記第 2 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された抵抗素子、前記第 1 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜と前記第 2 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜とを積層して形成された抵抗素子のうち、いずれか 1 つ以上を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、前記選択ゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された下部電極と、前記電荷保持用絶縁膜と同層の絶縁膜と、前記第 1 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された上部電極とからなる容量素子を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、前記選択ゲート電極を構成する多結晶シリコン膜と同層の多結晶シリコン膜によって形成された下部電極と、前記電荷保持用絶縁膜と同層の絶縁膜と、前記第 2 メモリゲート電極を構成する多結晶シリコン膜と同層の多結晶シリ

10

20

30

40

50

コン膜によって形成された上部電極とからなる容量素子を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、前記拡散防止膜の厚さは 1 ~ 3 nm であることを特徴とする半導体装置。

【請求項 10】

請求項 1 記載の半導体装置において、前記第 1 メモリゲート電極を形成する多結晶シリコン膜の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

【請求項 11】

請求項 1 記載の半導体装置において、前記メモリゲート電極のゲート長は 40 nm 以上であることを特徴とする半導体装置。

10

【請求項 12】

半導体基板の主面の第 1 領域に第 1 電界効果トランジスタを含み、第 2 領域に前記第 1 電界効果トランジスタに隣接する第 2 電界効果トランジスタを含む不揮発性メモリセルを形成する半導体装置の製造方法であって、以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 前記第 1 領域の前記半導体基板の主面にゲート絶縁膜を形成する工程、

(b) 前記第 1 領域の前記半導体基板の主面上に前記ゲート絶縁膜を介して第 1 多結晶シリコン膜からなる前記第 1 電界効果トランジスタの選択ゲート電極を形成する工程、

(c) 前記 (b) 工程の後、前記半導体基板の主面上に電荷保持用絶縁膜を形成する工程

20

(d) 前記電荷保持用絶縁膜上に第 2 多結晶シリコン膜を堆積した後、前記第 2 多結晶シリコン膜を異方性エッチングにより加工して、前記選択ゲート電極の側壁に第 1 メモリゲート電極を形成する工程、

(e) 前記第 1 メモリゲート電極の表面に拡散防止膜を形成する工程、

(f) 前記 (e) 工程の後、前記半導体基板の主面上に前記第 2 多結晶シリコン膜よりも不純物濃度が高い第 3 多結晶シリコン膜を堆積した後、前記第 3 多結晶シリコン膜を異方性エッチングにより加工して、前記第 1 メモリゲート電極の側壁に第 2 メモリゲート電極を形成する工程、

(g) 前記選択ゲート電極の側壁の片側に形成された前記第 1 および第 2 メモリゲート電極を除去する工程、

30

(h) 前記選択ゲート電極と前記第 1 メモリゲート電極との間および前記第 2 領域に形成された前記電荷保持用絶縁膜を残して、その他の領域の前記電荷保持用絶縁膜を除去する工程、

(i) 前記第 1 および第 2 ゲート電極の上面に自己整合法によりシリサイド層を形成する工程。

【請求項 13】

請求項 12 記載の半導体装置の製造方法において、前記工程 (h) の後、前記工程 (i) の前に、さらに以下の工程を含むことを特徴とする半導体装置の製造方法；

(j) 前記選択ゲート電極の片側の前記半導体基板の主面に不純物をイオン注入して、前記選択ゲート電極に対して自己整合的に半導体領域を形成する工程、

40

(k) 前記メモリゲート電極の片側の前記半導体基板の主面に不純物をイオン注入して、前記メモリゲート電極に対して自己整合的に半導体領域を形成する工程。

【請求項 14】

請求項 13 記載の半導体装置の製造方法において、前記工程 (k) の後に、さらに以下の工程を含むことを特徴とする半導体装置の製造方法；

(l) 前記半導体基板の主面上に絶縁膜を堆積した後、前記絶縁膜を異方性エッチングにより加工して、前記選択ゲート電極の側壁の片側および前記メモリゲート電極の側壁の片側にサイドウォールを形成する工程、

(m) 前記選択ゲート電極の片側の前記半導体基板の主面および前記メモリゲート電極の

50

片側の前記半導体基板の主面に不純物をイオン注入して、前記選択ゲート電極および前記メモリゲート電極に対して自己整合的に半導体領域を形成する工程。

【請求項 15】

請求項 12 記載の半導体装置の製造方法において、前記第 1 メモリゲート電極を形成する第 2 多結晶シリコン膜の不純物濃度は、前記第 2 メモリゲート電極を形成する第 3 多結晶シリコン膜の不純物濃度の $1/3$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 12 記載の半導体装置の製造方法において、前記第 1 および第 2 メモリゲート電極の上面に形成された前記シリサイド層により、前記第 1 メモリゲート電極と前記第 2 メモリゲート電極とは電氣的に短絡されることを特徴とする半導体装置の製造方法。

10

【請求項 17】

請求項 12 記載の半導体装置の製造方法において、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を下層から順次堆積して前記電荷保持用絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 18】

請求項 12 記載の半導体装置の製造方法において、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜および窒化シリコン膜を下層から順次堆積して前記電荷保持用絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 19】

請求項 12 記載の半導体装置の製造方法において、前記選択ゲート電極を構成する第 1 多結晶シリコン膜と同層の多結晶シリコン膜によって形成される抵抗素子、前記第 1 メモリゲート電極を構成する第 2 多結晶シリコン膜と同層の多結晶シリコン膜によって形成される抵抗素子、前記第 2 メモリゲート電極を構成する第 3 多結晶シリコン膜と同層の多結晶シリコン膜によって形成される抵抗素子、前記第 1 メモリゲート電極を構成する第 2 多結晶シリコン膜と同層の多結晶シリコン膜と前記第 2 メモリゲート電極を構成する第 3 多結晶シリコン膜と同層の多結晶シリコン膜とを積層して形成される抵抗素子のうち、いずれか 1 つ以上を前記半導体基板の主面上に形成することを特徴とする半導体装置の製造方法。

20

【請求項 20】

請求項 12 記載の半導体装置の製造方法において、前記選択ゲート電極を構成する第 1 多結晶シリコン膜と同層の多結晶シリコン膜によって形成された下部電極と、前記電荷保持用絶縁膜と同層の絶縁膜と、前記第 1 メモリゲート電極を構成する第 2 多結晶シリコン膜と同層の多結晶シリコン膜によって形成された上部電極とからなる容量素子を前記半導体基板の主面上に形成することを特徴とする半導体装置の製造方法。

30

【請求項 21】

請求項 12 記載の半導体装置の製造方法において、前記選択ゲート電極を構成する第 1 多結晶シリコン膜と同層の多結晶シリコン膜によって形成された下部電極と、前記電荷保持用絶縁膜と同層の絶縁膜と、前記第 2 メモリゲート電極を構成する第 3 多結晶シリコン膜と同層の多結晶シリコン膜によって形成された上部電極とからなる容量素子を前記半導体基板の主面上に形成することを特徴とする半導体装置の製造方法。

40

【請求項 22】

請求項 12 記載の半導体装置の製造方法において、前記拡散防止膜の厚さは $1 \sim 3 \text{ nm}$ であることを特徴とする半導体装置の製造方法。

【請求項 23】

請求項 12 記載の半導体装置の製造方法において、前記第 1 メモリゲート電極を構成する第 2 多結晶シリコン膜の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 24】

請求項 12 記載の半導体装置の製造方法において、前記メモリゲート電極のゲート長は 40 nm 以上であることを特徴とする半導体装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造技術に関し、特に、窒化膜を電荷蓄積層とするMONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

電气的に書き換え可能な不揮発性メモリとしては、多結晶シリコン膜をフローティング電極としたEEPROM (Electrically Erasable Programmable Read Only Memory) が主に使用されている。しかし、この構造のEEPROMでは、フローティングゲートを取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上すると、この問題がより顕著になると考えられる。

10

【0003】

そこで、近年は、窒化膜を電荷蓄積層とするMONOS型メモリセルが注目されている。この場合、データ記憶に寄与する電荷は、絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り巻く酸化膜のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることが可能である。

20

【0004】

MONOS型メモリセルとしては、単一トランジスタ構造のメモリセルが提案されている。さらにこの構造のメモリセルの場合、EEPROMのメモリセルと比べてディスタープの影響を受け易いので、コントロールゲートを設けた2トランジスタ構成のスプリットゲート構造のメモリセルも提案されている。

【0005】

例えば特開2006-19373号公報(特許文献1)には、n型多結晶シリコン膜からなるメモリゲートを有するメモリトランジスタと、アンドープシリコン膜に不純物をイオン注入して形成した多結晶シリコン膜からなるコントロールゲートを有するコントロールトランジスタとで構成され、メモリゲートのシート抵抗がコントロールゲートのシート抵抗よりも低いMONOS型不揮発性メモリのメモリセルが開示されている。

30

【0006】

また、特開平6-204490号公報(特許文献2)には、フローティングゲートのソース領域側のリン濃度を $1 \times 10^{20} / \text{cm}^3$ とすることにより、シリコン粒径増大を抑制し、これにより実効ゲート絶縁膜厚変動およびシリコン粒径変動を抑制した半導体不揮発性メモリが開示されている。

【0007】

また、特開平6-334192号公報(特許文献3)には、ソースとドレイン間に第1の厚い熱酸化膜を介してコントロールゲート電極を設け、ソースおよびドレインの上部に第1の極めて薄い熱酸化膜を介して第1の薄いフローティングゲート電極を設け、第1の薄いフローティングゲート電極の上部に第2の薄い熱酸化膜を介して第2の厚いフローティングゲート電極が形成されてなる不揮発性半導体メモリが開示されている。

40

【特許文献1】特開2006-19373号公報

【特許文献2】特開平6-204490号公報

【特許文献3】特開平6-334192号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明者は、ソース、ドレイン、ドレインに隣接したコントロールゲート、およびソースに隣接したメモリゲートを備えるスプリットゲート構造のMONOS型不揮発性メモリ

50

セルについて検討している。しかしながら、このMONOS型不揮発性メモリセルについては、以下に説明する種々の技術的課題が存在する。

【0009】

MONOS型不揮発性メモリセルでは、一般に、電荷蓄積層の一部にエレクトロンを蓄積することでデータを書き込む、いわゆる局所記憶方式を採用している。すなわち、コントロールゲートに隣接するドレイン側で発生させたエレクトロンをコントロールゲートとメモリゲートとの間のギャップ部における強電界により加速してホットエレクトロンを生成し、これを電荷蓄積層に注入することによりデータを書き込み、メモリゲートに隣接するソース側の空乏層で発生させたホールをバンド間トンネリングにより加速してホットホールを生成し、これを電荷蓄積層に注入することによりデータを消去している。

10

【0010】

ところが、この局所記憶方式では、データ書き込み時にホットエレクトロンが注入される位置とデータ消去時にホットホールが注入される位置とがずれて、データの消去残りが生じることがある。データ書き込み時には、メモリゲート下の電荷蓄積層およびコントロールゲートとメモリゲートとの間のギャップ部の電荷蓄積層にホットエレクトロンは注入されるが、データ消去時には、主にメモリゲート下の電荷蓄積層にホットホールが注入されるため、上記ギャップ部の電荷蓄積層にホットエレクトロンが残留してデータの消去残りが生じてしまう。このデータの消去残りを回避するには多量のホットホールを生成して電荷蓄積層へ注入する必要があるが、データの消去速度が遅くなる、データの保持特性が変動するなどの新たな問題が生じてしまう。また、データ書き込み時に、メモリゲート

20

【0011】

本発明の目的は、MONOS型不揮発性メモリセルを有する半導体装置において、メモリセルに書き込まれたデータの消去残りを防いで、データの書き換え劣化を抑制することのできる技術を提供することにある。

【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

本発明は、半導体基板の主面の第1領域に第1電界効果トランジスタを含み、第2領域に第1電界効果トランジスタに隣接する第2電界効果トランジスタを含む不揮発性メモリセルを有する半導体装置であって、第1領域の半導体基板の主面に形成されたゲート絶縁膜と、第1領域の半導体基板の主面上にゲート絶縁膜を介して形成された第1電界効果トランジスタの選択ゲート電極と、第2領域の半導体基板の主面上に形成された電荷保持用絶縁膜と、第2領域の半導体基板の主面上に電荷保持用絶縁膜を介して形成された第2電界効果トランジスタのメモリゲート電極と、選択ゲート電極とメモリゲート電極との間に形成された電荷保持用絶縁膜とを有し、メモリゲート電極は、選択ゲート電極の側壁の片側に形成された多結晶シリコン膜からなる第1メモリゲート電極と、第1メモリゲート電極の側壁に拡散防止膜を介して形成され、第1メモリゲート電極よりも不純物濃度が高い多結晶シリコン膜からなる第2メモリゲート電極とから構成されている。

40

【0015】

本発明は、半導体基板の主面の第1領域に第1電界効果トランジスタを含み、第2領域に第1電界効果トランジスタに隣接する第2電界効果トランジスタを含む不揮発性メモリ

50

セルを形成する半導体装置の製造方法であって、(a)第1領域の半導体基板の主面にゲート絶縁膜を形成する工程、(b)第1領域の半導体基板上にゲート絶縁膜を介して第1多結晶シリコン膜からなる第1電界効果トランジスタの選択ゲート電極を形成する工程、(c)上記(b)工程の後、半導体基板の主面上に電荷保持用絶縁膜を形成する工程、(d)電荷保持用絶縁膜上に第2多結晶シリコン膜を堆積した後、第2多結晶シリコン膜を異方性エッチングにより加工して、選択ゲート電極の側壁に第1メモリゲート電極を形成する工程、(e)第1メモリゲート電極の表面に拡散防止膜を形成する工程、(f)上記(e)工程の後、半導体基板の主面上に第2多結晶シリコン膜よりも不純物濃度が高い第3多結晶シリコン膜を堆積した後、第3多結晶シリコン膜を異方性エッチングにより加工して、第1メモリゲート電極の側壁に第2メモリゲート電極を形成する工程、(g)選択ゲート電極の側壁の片側に形成された第1および第2メモリゲート電極を除去する工程、選択ゲート電極と第1メモリゲート電極との間および第2領域に形成された電荷保持用絶縁膜を残して、その他の領域の電荷保持用絶縁膜を除去する工程、(i)第1および第2ゲート電極の上面に自己整合法によりシリサイド層を形成する工程を有する。

10

【発明の効果】**【0016】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0017】

MONOS型不揮発性メモリセルを有する半導体装置において、メモリセルに書き込まれたデータの消去残りを防いで、データの書き換え劣化を抑制することができる。

20

【発明を実施するための最良の形態】**【0018】**

本実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、本実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、本実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

【0019】

また、本実施の形態においては、電界効果トランジスタを代表するMISFET(Metal Insulator Semiconductor Field Effect Transistor)をMISと略し、nチャネル型のMISFETをnMISと略す。なお、MOSFET(Metal Oxide Semiconductor FET)は、そのゲート絶縁膜が酸化シリコン(SiO_2 等)膜からなる構造の電界効果トランジスタであり、上記MISの下位概念に含まれるものとする。また、本実施の形態に記載するMONOS型メモリセルについても、上記MISの下位概念に含まれることは勿論である。また、本実施の形態において、窒化シリコン、窒化ケイ素またはシリコンナイトライドというときは、 Si_3N_4 は勿論であるが、それのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。また、本実施の形態において、ウエハと言うときは、Si(Silicon)単結晶ウエハを主とするが、それのみではなく、SOI(Silicon On Insulator)ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。

40

【0020】

また、本実施の形態を説明するための全図において、同一機能を有するものは原則とし

50

て同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0021】

(実施の形態1)

本発明の実施の形態1によるMONOS型不揮発性メモリセルの構造の一例を図1を用いて説明する。図1(a)は、メモリセルの要部平面図、図1(b)は、チャンネルをメモリゲート電極に対して交差する方向(図1のA-A線)に沿って切断したメモリセルの要部断面図である。ここでは、サイドウォール方式のメモリゲート電極を備えるメモリセルを例示している。

【0022】

半導体基板1は、例えばp型の単結晶シリコンからなり、その主面(デバイス形成面)の活性領域ACTにはメモリセルMC1の選択用nMIS(第1電界効果トランジスタ)Qncとメモリ用nMIS(第2電界効果トランジスタ)Qnmとが配置されている。このメモリセルMC1のドレイン領域Drnおよびソース領域Srnは、例えば相対的に低濃度のn⁻型の半導体領域2ad, 2asと、そのn⁻型の半導体領域2ad, 2asよりも不純物濃度の高い相対的に高濃度のn⁺型の半導体領域2bとを有している(LDD(Lightly Doped Drain)構造)。n⁻型の半導体領域2ad, 2asは、メモリセルMC1のチャンネル領域側に配置され、n⁺型の半導体領域2bは、メモリセルMC1のチャンネル領域側からn⁻型の半導体領域2ad, 2as分だけ離れた位置に配置されている。

【0023】

このドレイン領域Drnとソース領域Srnとの間の半導体基板1の主面上には、上記選択用nMIS(Qnc)の選択ゲート電極CGと、上記メモリ用nMIS(Qnm)のメモリゲート電極MGとが隣接して延在しており、その延在方向において複数のメモリセルMC1は半導体基板1に形成された素子分離部SGIを介して隣接している。

【0024】

選択ゲート電極CGは半導体基板1の主面の第1領域に配置され、メモリゲート電極MGは半導体基板1の主面の第1領域とは異なる第2領域に配置されている。また、メモリゲート電極MGは選択ゲート電極CGの側壁の片側に設けられており、絶縁膜3b、電荷蓄積層CSLおよび絶縁膜3tを積層した電荷保持用絶縁膜(以下、絶縁膜3b, 3tおよび電荷蓄積層CSLと記す)により選択ゲート電極CGとメモリゲート電極MGとの絶縁がなされている。なお、図1(b)では絶縁膜3b, 3tおよび電荷蓄積層CSLの表記を3b/CSL/3tとして表現している。

【0025】

電荷蓄積層CSLは、その上下を絶縁膜3b, 3tに挟まれた状態で設けられており、例えば窒化シリコン膜からなり、その厚さは、例えば5~20nm程度である。絶縁膜3b, 3tは、例えば酸化シリコン膜等からなり、絶縁膜3b, 3tの厚さは、例えば1~10nm程度である。絶縁膜3b, 3tは窒素を含んだ酸化シリコン膜で形成することもできる。

【0026】

選択ゲート電極CGは、例えばn型の多結晶シリコン膜からなり、その不純物濃度は、例えば $2 \times 10^{20} \text{ cm}^{-2}$ 程度、そのゲート長は、例えば100~150nm程度である。

【0027】

メモリゲート電極MGは、第1方向に延在し、各メモリセルのワード線を構成している。このメモリゲート電極MGは、第1メモリゲート電極MG1と第2メモリゲート電極MG2との積層膜からなり、第1メモリゲート電極MG1と第2メモリゲート電極MG2の間には、第1メモリゲート電極MG1または第2メモリゲート電極MG2に導入された不純物の相互拡散を防止するために拡散防止膜4が設けられている。すなわち、第1メモリゲート電極MG1が、絶縁膜3b, 3tおよび電荷蓄積層CSLを介して選択ゲート電極CGの側壁の片側に形成され、第2メモリゲート電極MG2が、拡散防止膜4を介して

10

20

30

40

50

第1メモリゲート電極MG1の側壁に形成されている。第1メモリゲート電極MG1は、例えばn型の多結晶シリコン膜からなり、その不純物濃度は第2メモリゲート電極MG2の不純物濃度の1/3以下、例えば $1 \times 10^{20} \text{ cm}^{-3}$ 以下であり、そのゲート長は、例えば20nm程度である。第2メモリゲート電極MG2は、例えばn型の多結晶シリコン膜からなり、その不純物濃度は、例えば $4.5 \times 10^{20} \text{ cm}^{-3}$ 程度であり、そのゲート長は、例えば50nm程度である。本実施の形態1では、第1メモリゲート電極MG1のゲート長を20nm程度、第2メモリゲート電極MG2のゲート長を50nm程度としたが、これに限定されないことは勿論である。但し、メモリゲート電極MGのゲート長が40nmを越えて短くなると、ソース領域Srmが選択ゲート電極CG下にまで到達する可能性が生じるため、メモリゲート電極MGのゲート長が40nm以上となる範囲で、

10

【0028】

このように、選択ゲート電極CGとメモリゲート電極MGとの間のギャップ部側に相対的に低濃度の第1メモリゲート電極MG1を設け、ソース領域Srm側に相対的に高濃度の第2メモリゲート電極MG2を設けることにより、メモリゲート電極MGに電圧を印加したときに、第1メモリゲート電極MG1を第2メモリゲート電極MG2よりも空乏化しやすくする。従って、ドレイン側で発生させたエレクトロンをギャップ部における強電界により加速してホットエレクトロンを生成し、これを電荷蓄積層CSLの一部に蓄積することでデータを書き込む際、第1メモリゲート電極MG1下の電界が第2メモリゲート電極MG2下の電界よりも低くなるので、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量を第2メモリゲート電極MG2下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量よりも減少させることができる。これにより、ソース側で発生させたホールをバンド間トンネリングにより加速してホットホールを生成し、これを電荷蓄積層CSLの一部に注入することでデータを消去する際、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されるホットホールの注入量が少なくても、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されたホットエレクトロンの注入量が少ないことからデータの消去残りを回避することができる。

20

【0029】

さらに、選択ゲート電極CGと、メモリゲート電極MGと、ソース領域Srmおよびドレイン領域Dr mの一部を構成するn⁺型の半導体領域2bの上面には、例えばコバルトシリサイド、ニッケルシリサイド、チタンシリサイド等のようなシリサイド層5が形成されている。MONOS型メモリセルでは、選択ゲート電極CGおよびメモリゲート電極MGの双方に電位を供給する必要があり、その動作速度は選択ゲート電極CGおよびメモリゲート電極MGの抵抗値に大きく依存する。従ってシリサイド層5を形成することにより選択ゲート電極CGおよびメモリゲート電極MGの低抵抗化を図ることが望ましい。また、メモリゲート電極MGを構成する第1メモリゲート電極MG1と第2メモリゲート電極MG2との間には拡散防止膜4が設けられているが、その厚さは1~3nm程度と薄いことから、第1メモリゲート電極MG1の上面と第2メモリゲート電極MG2の上面にはシリサイド層5が形成されており、これにより、第1メモリゲート電極MG1と第2メモリゲート電極MG2とは電氣的に短絡している。シリサイド層5の厚さは、例えば20nm程度である。

30

40

【0030】

選択ゲート電極CGと半導体基板1の主面との間には、例えば厚さ1~5nm程度の薄い酸化シリコン膜からなるゲート絶縁膜6が設けられている。従って素子分離部SGI上およびゲート絶縁膜6を介した半導体基板1の第1領域上に選択ゲート電極CGが配置されている。このゲート絶縁膜6の下方の半導体基板1の主面には、例えばボロンが導入されてp型の半導体領域7が形成されている。この半導体領域7は、選択用nMIS(Qnc)のチャネル形成用の半導体領域であり、この半導体領域7により選択用nMIS(Qnc)のしきい値電圧が所定の値に設定されている。

50

【0031】

上記絶縁膜3bの下方、p型の半導体領域7とソース領域 S_{rm} との間の半導体基板1の主面には、例えばヒ素またはリンが導入されてn型の半導体領域8が形成されている。この半導体領域8は、メモリ用nMIS(Qnm)のチャネル形成用の半導体領域であり、この半導体領域8によりメモリ用nMIS(Qnm)のしきい値電圧が所定の値に設定されている。ドレイン領域 D_{rm} には、コンタクトホールCNTに埋め込まれたプラグPLGを介して、第1方向に延在するメモリゲート電極MG(または選択ゲート電極CG)に対して交差する方向である第2方向に延在する第1層配線M1が接続されている。この配線M1が、各メモリセルのビット線を構成している。

【0032】

次に、本発明の実施の形態による抵抗素子および容量素子の構造の一例を図2を用いて説明する。図2は、メモリセル(図1(b)の1つのメモリセル)、抵抗素子および容量素子の要部断面図である。

10

【0033】

従来のMONOS型不揮発性メモリを有する半導体装置では、選択ゲート電極を構成する導体膜からなる抵抗素子とメモリゲート電極を構成する導体膜からなる抵抗素子との互いに抵抗値の異なる2種類の抵抗素子が用いられていた。しかし、本実施の形態1では、図2に示すように、選択ゲート電極MGを構成する多結晶シリコン膜と同層の多結晶シリコン膜(例えば $2 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度を有するn型の多結晶シリコン膜)からなる第1抵抗素子R1と、第1メモリゲート電極MG1を構成する多結晶シリコン膜と同層の多結晶シリコン膜(例えば $1 \times 10^{20} \text{ cm}^{-3}$ 以下の不純物濃度を有するn型の多結晶シリコン膜)からなる第2抵抗素子R2と、第2メモリゲート電極MG2を構成する多結晶シリコン膜と同層の多結晶シリコン膜(例えば $4.5 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度を有するn型の多結晶シリコン膜)からなる第3抵抗素子R3と、第1メモリゲート電極MG1を構成する多結晶シリコン膜と同層の多結晶シリコン膜および第2メモリゲート電極MG2を構成する多結晶シリコン膜と同層の多結晶シリコン膜の積層膜からなる第4抵抗素子R4とを形成することができる。従って、互いに抵抗値が異なる4種類の抵抗素子を容易に形成することができる。

20

【0034】

また、従来のMONOS型不揮発性メモリを有する半導体装置では、選択ゲート電極を構成する導体膜を下部電極とし、メモリゲート電極を構成する導体膜を上部電極とする容量素子が用いられていた。しかし、本実施の形態1では、図2に示すように、選択ゲート電極CGを構成する多結晶シリコン膜と同層の多結晶シリコン膜を下部電極CLEとし、絶縁膜3b, 3tおよび電荷蓄積層CSLと同層の絶縁膜を容量絶縁膜とし、第1メモリゲート電極MG1を構成する多結晶シリコン膜と同層の多結晶シリコン膜を第1上部電極CUE1とする容量素子と、第2メモリゲート電極MG2を構成する多結晶シリコン膜と同層の多結晶シリコン膜を第2上部電極CUE2とする容量素子とを形成することができる。これにより、互いに容量値が異なる2種類の容量素子を容易に形成することができる。また、本実施の形態による容量素子の高さは従来の半導体装置に用いられていた容量素子の高さよりも低くできるので、例えば容量素子を覆う層間絶縁膜に形成されるコンタクトホールCNTなどの加工精度を向上することができる。

30

40

【0035】

次に、本発明の実施の形態1によるMONOS型不揮発性メモリを有する半導体装置の製造方法の一例を図3~図15を用いて説明する。ここでは、メモリセル、抵抗素子および容量素子への適用例を説明する。図3~図15は、半導体装置の製造工程中にけるメモリセル、抵抗素子および容量素子の要部断面図であり、前記図2に示したメモリセル、抵抗素子および容量素子の要部断面図と同じ箇所を示す。

【0036】

まず、半導体基板(この段階では半導体ウエハと称する平面略円形状の半導体の薄板)1の主面に、例えば溝型の素子分離部SGIおよびこれに取り囲まれるように配置された

50

活性領域 A C T 等を形成する。すなわち半導体基板 1 の所定箇所に分離溝を形成した後、半導体基板 1 の主面上に、例えば酸化シリコン膜からなる絶縁膜を堆積し、さらにその絶縁膜が分離溝内のみに残されるように絶縁膜を C M P (Chemical Mechanical Polishing) 法等によって研磨することで、素子分離部 S G I を形成する。

【 0 0 3 7 】

次に、図 3 に示すように、半導体基板 1 の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込み n ウェル N W および p ウェル P W を形成する。続いてメモリセル形成領域の半導体基板 1 の主面に p 型不純物、例えばボロンをイオン注入法により導入する。これによりメモリセル形成領域の半導体基板 1 の主面に、選択用 n M I S (Q n c) のチャネル形成用の p 型の半導体領域 7 を形成する。この時の p 型不純物イオンの打ち込みエネルギーは、例えば 2 0 K e V 程度、ドーズ量は、例えば $1.5 \times 10^{13} \text{ cm}^{-2}$ 程度である。

10

【 0 0 3 8 】

次に、半導体基板 1 に対して酸化処理を施すことにより、半導体基板 1 の主面に、例えば酸化シリコン膜からなる厚さ 1 ~ 5 n m 程度のゲート絶縁膜 6 を形成する。続いて、半導体基板 1 の主面上に、例えば $2 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度を有する多結晶シリコン膜からなる第 1 導体膜を堆積する。この第 1 導体膜は C V D (Chemical Vapor Deposition) 法により形成され、その厚さは、例えば厚さ 2 5 0 n m 程度を例示することができる。続いて、レジストパターンをマスクとして上記第 1 導体膜を加工することにより、メモリセル形成領域に選択ゲート電極 C G、抵抗素子形成領域に第 1 抵抗素子 R 1、容量素子形成領域に下部電極 C L E を形成する。選択ゲート電極 C G のゲート長は、例えば 1 0 0 ~ 1 5 0 n m 程度である。

20

【 0 0 3 9 】

次に、図 4 に示すように、選択ゲート電極 C G およびレジストパターンをマスクとして、メモリセル形成領域の半導体基板 1 の主面に n 型不純物、例えばヒ素またはリンをイオン注入することにより、メモリ用 n M I S のチャネル形成用の n 型の半導体領域 8 を形成する。この時の n 型不純物イオンの打ち込みエネルギーは、例えば 2 5 k e V 程度、ドーズ量は、例えば $6.5 \times 10^{12} \text{ cm}^{-2}$ である。

【 0 0 4 0 】

次に、半導体基板 1 の主面上に、例えば酸化シリコン膜からなる絶縁膜 3 b、窒化シリコン膜からなる電荷蓄積層 C S L および酸化シリコン膜からなる絶縁膜 3 t を順次堆積する。絶縁膜 3 b は熱酸化法により形成され、その厚さは、例えば 4 n m 程度、電荷蓄積層 C S L は C V D 法により形成され、その厚さは、例えば 7 n m 程度、絶縁膜 3 t は C V D 法により形成され、その厚さは、例えば 5 n m 程度を例示することができる。

30

【 0 0 4 1 】

次に、図 5 に示すように、半導体基板 1 の主面上に、例えば $1 \times 10^{20} \text{ cm}^{-3}$ 以下の不純物濃度を有する多結晶シリコン膜からなる第 2 導体膜 9 を堆積する。この第 2 導体膜 9 は C V D 法により形成され、その厚さは、例えば 2 0 n m 程度を例示することができる。

【 0 0 4 2 】

次に、図 6 に示すように、抵抗素子形成領域および容量素子形成領域をレジストパターン R P 1 で覆った後、メモリセル形成領域の上記第 2 導体膜 9 を異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極 C G の側壁の両側に絶縁膜 3 b、3 t および電荷蓄積層 C S L を介して第 1 サイドウォール 1 0 を形成する。この第 1 サイドウォール 1 0 の形成工程では、絶縁膜 3 t をエッチングストッパ層として第 2 導体膜 9 がエッチバックされるが、エッチバックにより絶縁膜 3 t およびその下の電荷蓄積層 C S L がダメージを受けて損傷しないように、低ダメージのエッチング条件を設定することが望ましい。絶縁膜 3 t および電荷蓄積層 C S L が損傷すると、電荷保持特性が劣化するなどのメモリセルの特性劣化が生じることになる。また同時に、レジストパターン R P 1 をマスクとして、抵抗素子形成領域および容量素子形成領域の上記第 2 導体膜 9 を加工するこ

40

50

とにより、抵抗素子形成領域に第2導体膜9からなる第2抵抗素子R2を形成し、容量素子形成領域の下部電極CLE上に絶縁膜3b, 3tおよび電荷蓄積層CSLを介して第1上部電極CUE1を形成する。

【0043】

次に、図7に示すように、例えば800程度の温度で酸化処理を施すことにより、第1サイドウォール10の表面に拡散防止膜4を形成する。この拡散防止膜4は酸化シリコン膜からなる。また、拡散防止膜4の厚さは、例えば1~3nm程度である。第1サイドウォール10を形成する際に絶縁膜3tがダメージを受けても、この酸化処理によって絶縁膜3tのダメージを回復させ、または付け戻しをすることができる。続いて、半導体基板1の主面上に、例えば $4.5 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度を有する多結晶シリコン膜からなる第3導体膜11を堆積する。この第3導体膜11はCVD法により形成され、その厚さは、例えば50nm程度を例示することができる。

10

【0044】

次に、抵抗素子形成領域および容量素子形成領域をレジストパターンRP2で覆った後、図8に示すように、メモリセル形成領域の上記第3導体膜11を異方性のドライエッチング法でエッチバックすることにより、第1サイドウォール10の側面に拡散防止膜4を介して第2サイドウォール12を形成する。また同時に、レジストパターンRP2をマスクとして、抵抗素子形成領域および容量素子形成領域の上記第3導体膜11を加工することにより、抵抗素子形成領域に第3導体膜11からなる第3抵抗素子R3と、第2および第3導体膜9, 11の積層膜からなる第4抵抗素子R4とを形成し、容量素子形成領域の下部電極CLE上に絶縁膜3b, 3tおよび電荷蓄積層CLSを介して第3導体膜11からなる第2上部電極CUE2を形成する。

20

【0045】

次に、図9に示すように、レジストパターンRP3をマスクとして、そこから露出するメモリセル形成領域の第1および第2サイドウォール10, 12および拡散防止膜4をエッチングする。これにより、選択ゲート電極CGの側壁の片側のみ、第1サイドウォール10を第1メモリゲート電極MG1とし、第2サイドウォール12を第2メモリゲート電極MG2とするメモリゲート電極MGを形成する。メモリゲート電極MGのゲート長は、例えば70nm程度である。この時、抵抗素子形成領域および容量素子形成領域はレジストパターンRP3で覆われている。

30

【0046】

次に、図10に示すように、選択ゲート電極CGとメモリゲート電極MGとの間および半導体基板1とメモリゲート電極MGとの間の絶縁膜3b, 3tおよび電荷蓄積層CSLを残して、その他の領域の絶縁膜3b, 3tおよび電荷蓄積層CSLを選択的にエッチングする。続いて、半導体基板1の主面上に、例えば酸化シリコン膜からなる厚さ10nm程度の絶縁膜をCVD法により堆積した後、これを異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極CGの片側面およびメモリゲート電極MGの片側面にそれぞれ第3サイドウォール13を形成する。第3サイドウォール13のスペーサ長は、例えば6nm程度である。これにより、選択ゲート電極CGと半導体基板1との間のゲート絶縁膜6の露出していた側面、ならびにメモリゲート電極MGと半導体基板1との間の絶縁膜3b, 3tおよび電荷蓄積層CSLの露出していた側面を第3サイドウォール13によって覆うことができる。

40

【0047】

次に、図11に示すように、その端部が選択ゲート電極CGの上面に位置してメモリゲート電極MGと反対側の選択ゲート電極CGの一部を覆うレジストパターンRP5を形成した後、選択ゲート電極CG、メモリゲート電極MGおよびレジストパターンをマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、半導体基板1の主面にn型の半導体領域2asをメモリゲート電極MGに対して自己整合的に形成する。この時の不純物イオンの打ち込みエネルギーは、例えば5keV程度、ドーズ量は、例えば $1 \times 10^{15} \text{ cm}^{-2}$ 程度である。この時、抵抗素子形成領域および容量素

50

子形成領域は上記レジストパターンで覆われている。

【0048】

次に、その端部が選択ゲート電極CGの上面に位置してメモリゲート電極MG側の選択ゲート電極CGの一部およびメモリゲート電極MGを覆うレジストパターンを形成した後、選択ゲート電極CG、メモリゲート電極MGおよびレジストパターンをマスクとしてn型不純物、例えばヒ素を半導体基板1の主面にイオン注入することにより、半導体基板1の主面にn⁻型の半導体領域2adを選択ゲート電極CGに対して自己整合的に形成する。この時のn型不純物イオンの打ち込みエネルギーは、例えば7keV程度、ドーズ量は、例えば $1 \times 10^{15} \text{ cm}^{-2}$ である。この時、抵抗素子形成領域および容量素子形成領域は上記レジストパターンで覆われている。

10

【0049】

ここでは、先にn⁻型の半導体領域2asを形成し、その後n⁻型の半導体領域2adを形成したが、先にn⁻型の半導体領域2adを形成し、その後n⁻型の半導体領域2asを形成してもよい。また、n⁻型の半導体領域2adを形成するn型不純物のイオン注入に続いて、p型不純物、例えばボロンを半導体基板1の主面にイオン注入し、n⁻型の半導体領域2aの下部を囲むようにp型の半導体領域を形成してもよい。p型不純物イオンの打ち込みエネルギーは、例えば20keV程度、ドーズ量は、例えば $2.5 \times 10^{13} \text{ cm}^{-2}$ である。

【0050】

次に、図12に示すように、半導体基板1の主面上に絶縁膜14a、例えば酸化シリコン膜をCVD法により堆積し、この絶縁膜14aを異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極CGの片側面およびメモリゲート電極MGの片側面に絶縁膜14aからなる第4サイドウォール14を形成する。絶縁膜14aの厚さは、例えば60nm程度である。この時、抵抗素子形成領域および容量素子形成領域はレジストパターンで覆われている。

20

【0051】

次に、図13に示すように、第4サイドウォール14をマスクとしてn型不純物、例えばヒ素およびリンを半導体基板1の主面にイオン注入することにより、半導体基板1の主面にn⁺型の半導体領域2bを選択ゲート電極CGおよびメモリゲート電極MGに対して自己整合的に形成する。この時のn型不純物イオンの打ち込みエネルギーは、例えば50keV程度、ドーズ量は、例えば $4 \times 10^{15} \text{ cm}^{-2}$ 、リンイオンの打ち込みエネルギーは、例えば40keV程度、ドーズ量は、例えば $5 \times 10^{13} \text{ cm}^{-2}$ である。これにより、n⁻型の半導体領域2adおよびn⁺型の半導体領域2bからなるドレイン領域Dr_m、n⁻型の半導体領域2asおよびn⁺型の半導体領域2bからなるソース領域Sr_mが形成される。この時、抵抗素子形成領域および容量素子形成領域はレジストパターンで覆われている。

30

【0052】

次に、図14に示すように、選択ゲート電極CGおよびメモリゲート電極MGの上面、ならびにn⁺型の半導体領域2bの上面に、例えばコバルトシリサイド(CoSi₂)層15を自己整合法、例えばサリサイド(Salicide: Self Align silicide)プロセスにより形成する。まず、半導体基板1の主面上にスパッタリング法によりコバルト膜を堆積する。続いて、半導体基板1にRTA(Rapid Thermal Anneal)法を用いた熱処理を施すことにより、コバルト膜と選択ゲート電極CGを構成する多結晶シリコン膜およびメモリゲート電極MGを構成する多結晶シリコン膜、コバルト膜と半導体基板1(n⁺型の半導体領域2b)を構成する単結晶シリコンとを反応させてコバルトシリサイド層15を形成する。その後、未反応のコバルト膜を除去する。コバルトシリサイド層15を形成することにより、コバルトシリサイド層15と、その上部に形成されるプラグ等との接触抵抗を低減することができ、また選択ゲート電極CG、メモリゲート電極MG、ソース領域Sr_mおよびドレイン領域Dr_m自身の抵抗を低減することができる。

40

【0053】

50

次に、図15に示すように、半導体基板1の主面上に、例えば窒化シリコン膜16aおよび酸化シリコン膜16bからなる層間絶縁膜16をCVD法により形成する。続いて層間絶縁膜16にコンタクトホールCNTを形成した後、コンタクトホールCNT内にプラグPLGを形成する。プラグPLGは、例えばチタンおよび窒化チタンの積層膜からなる相対的に薄いバリア膜と、そのバリア膜に包まれるように形成されたタンゲステンまたはアルミニウム等からなる相対的に厚い導体膜とを有している。その後、層間絶縁膜16上に、例えばタンゲステン、アルミニウムまたは銅等からなる第1層配線M1を形成することによって、メモリセルMC1、抵抗素子および容量素子が略完成する。これ以降は、通常の半導体装置の製造工程を経て、半導体装置を製造する。

【0054】

なお、本実施の形態1では、4種類の第1～第4抵抗素子R1～R4および2種類の容量素子を例示したが、これら全てを形成する必要はなく、所望する抵抗素子または容量素子のみを形成してもよい。

【0055】

このように、本実施の形態1によれば、選択ゲート電極CGとメモリゲート電極MGとの間のギャップ部側に相対的に低濃度の第1メモリゲート電極MG1を設け、ソース領域Srm側に相対的に高濃度の第2メモリゲート電極MG2を設けることにより、データ書き込み時に、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量を第2メモリゲート電極MG2下の電荷蓄積層CSLに注入されるホットエレクトロンの注入量よりも減少させることができる。これにより、データ消去時に、ギャップ部および第1メモリゲート電極MG1下の電荷蓄積層CSLに注入されるホットホールの注入量が少なくても、データの消去残りを防ぐことができるので、データの書き換え劣化が抑制できる。

【0056】

(実施の形態2)

本発明の実施の形態2によるMONOS方不揮発性メモリセルの構造の一例を図16を用いてによって説明する。図16は、チャンネルをメモリゲート電極に対して交差する方向に沿って切断した1つのメモリセルの要部断面図である。

【0057】

前述の実施の形態1におけるメモリセルMC1では、選択ゲート電極CGとメモリゲート電極MGとを絶縁し、電荷が保持される電荷保持用絶縁膜として、絶縁膜3b、電荷蓄積層CSLおよび絶縁膜3tからなる積層膜を用いたが、本実施の形態2によるメモリセルMC2では、上記電荷保持用絶縁膜として、絶縁膜3b、電荷蓄積層CSLおよび絶縁膜3tからなる積層膜の上にさらに絶縁膜21を堆積した積層膜を用いる。絶縁膜21は、例えば窒化シリコン膜からなり、その厚さは、例えば5～20nm程度である。

【0058】

メモリゲート電極MGをサイドウォール形状の第1メモリゲート電極MG1と第2メモリゲート電極MG2との積層構造とすると、第1メモリゲート電極MG1を異方性のドライエッチング法で形成する際に、後に第2メモリゲート電極MG2と半導体基板1との間に位置する電荷保持用絶縁膜がダメージを受けることになる。すなわち、半導体基板1の主面上に堆積された第2導体膜9を異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極CGの側壁の両側に、メモリゲート電極MGの一部を構成する第1メモリゲート電極MG1となる第1サイドウォール10が形成される(前述した実施の形態1の図6を用いて説明する製造工程)。しかし、この第1サイドウォール10の形成工程では、エッチングストップ層として機能する絶縁膜3tおよび電荷蓄積層CSLが損傷する可能性がある。絶縁膜3tおよび電荷蓄積層CSLは、後に第2メモリゲート電極MG2と半導体基板1との間に位置して、電荷が保持される絶縁膜となるため、絶縁膜3tおよび電荷蓄積層CSLが損傷するとメモリセルの電荷保持特性が劣化してしまう。

【0059】

そこで、前述した実施の形態1では、絶縁膜3tや電荷蓄積層CSLの損傷を防ぐため

10

20

30

40

50

に低ダメージのエッチング条件を設定し、その後の熱処理によりダメージを回復させるまたは付け戻しをすることが提案されている。本実施の形態 2 におけるメモリセル M C 2 では、エッチングストッパ層として機能する絶縁膜 2 1 を絶縁膜 3 t 上に設けることにより、絶縁膜 3 t および電荷蓄積層 C S L の損傷を防いで、メモリセルの電荷保持特性の劣化を回避する。

【 0 0 6 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 6 1 】

例えば、前記実施の形態では、M O N O S 型不揮発性メモリセルに適用した場合について説明したが、例えば酸化シリコン膜、電荷蓄積用の窒化シリコン膜（または酸窒化シリコン膜）および低抵抗多結晶シリコン膜を下層から順に積層した構成を有する、M N O S (Metal Nitride Oxide Semiconductor) 型メモリセルに適用することもできる。

【 産業上の利用可能性 】

【 0 0 6 2 】

本発明は、絶縁膜を介して隣接して形成される第 1 ゲート電極と第 2 ゲート電極とを備える半導体素子、特に 2 トランジスタ構成のスプリットゲート構造のメモリセルを有する半導体装置に利用することができる。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 (a) は、本発明の実施の形態 1 によるメモリセルのレイアウト図、(b) は、同図 (a) の A - A 線におけるメモリセルの要部断面図である。

【 図 2 】 本発明の実施の形態 1 によるメモリセル、抵抗素子および容量素子の要部断面図である。

【 図 3 】 本発明の実施の形態 1 による半導体装置の製造工程中の要部断面図である。

【 図 4 】 図 3 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 5 】 図 4 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 6 】 図 5 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 7 】 図 6 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 8 】 図 7 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 9 】 図 8 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 0 】 図 9 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 1 】 図 1 0 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 2 】 図 1 1 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 3 】 図 1 2 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 4 】 図 1 3 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 5 】 図 1 4 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【 図 1 6 】 本発明の実施の形態 2 によるメモリセルの要部断面図である。

【 符号の説明 】

【 0 0 6 4 】

- 1 半導体基板
- 2 a d 半導体領域
- 2 a s 半導体領域
- 2 b 半導体領域
- 3 b , 3 t 絶縁膜
- 4 拡散防止膜
- 5 シリサイド層
- 6 ゲート絶縁膜
- 7 半導体領域

10

20

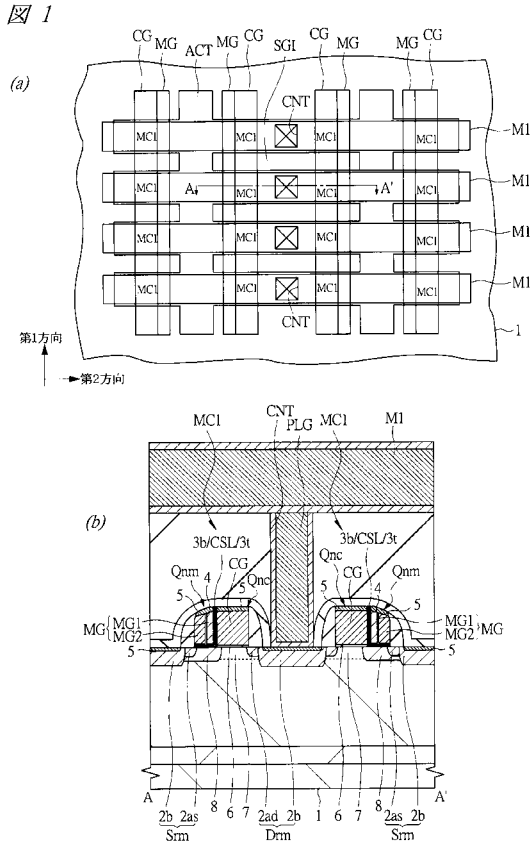
30

40

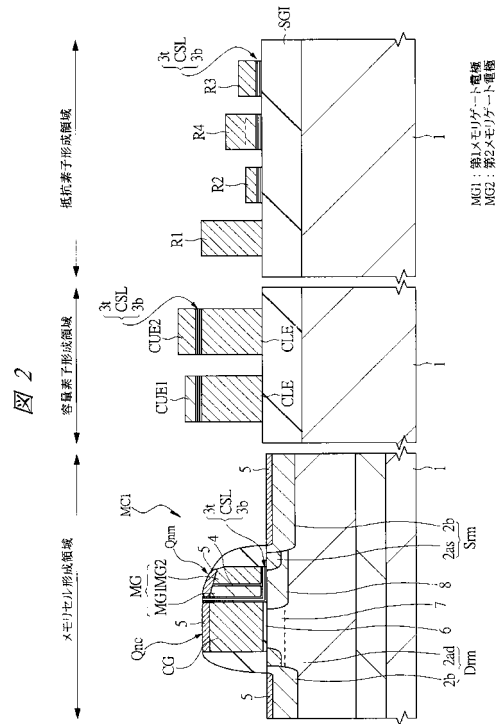
50

| | | |
|---------------------|------------------------|----|
| 8 | 半導体領域 | |
| 9 | 第2導体膜 | |
| 10 | 第1サイドウォール | |
| 11 | 第3導体膜 | |
| 12 | 第2サイドウォール | |
| 13 | 第3サイドウォール | |
| 14 | 第4サイドウォール | |
| 14 a | 絶縁膜 | |
| 15 | コバルトシリサイド層 | |
| 16 | 層間絶縁膜 | 10 |
| 16 a | 窒化シリコン膜 | |
| 16 b | 酸化シリコン膜 | |
| 21 | 絶縁膜 | |
| ACT | 活性領域 | |
| CG | 選択ゲート電極 | |
| CLE | 下部電極 | |
| CUE1 | 第1上部電極 | |
| CUE2 | 第2上部電極 | |
| CNT | コンタクトホール | |
| CSL | 電荷蓄積層 | 20 |
| Dr m | ドレイン領域 | |
| M1 | 第1層配線 | |
| MC1 | メモリセル | |
| MC2 | メモリセル | |
| MG | メモリゲート電極 | |
| MG1 | 第1メモリゲート電極 | |
| MG2 | 第2メモリゲート電極 | |
| NW | nウェル | |
| PLG | プラグ | |
| RP1、RR2、RP3、RP4、RP5 | レジストパターン | 30 |
| PW | pウェル | |
| Qnc | 選択用nMIS(第1電界効果トランジスタ) | |
| Qnm | メモリ用nMIS(第2電界効果トランジスタ) | |
| R1~R4 | 第1~第4抵抗素子 | |
| SGI | 素子分離部 | |
| Sr m | ソース領域 | |

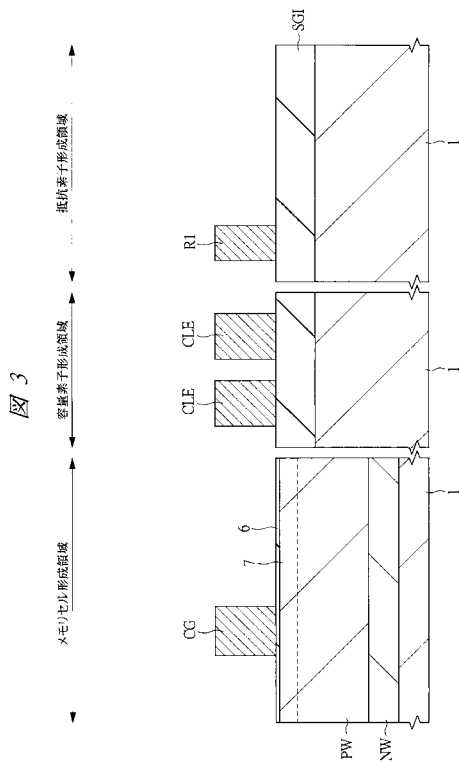
【 図 1 】



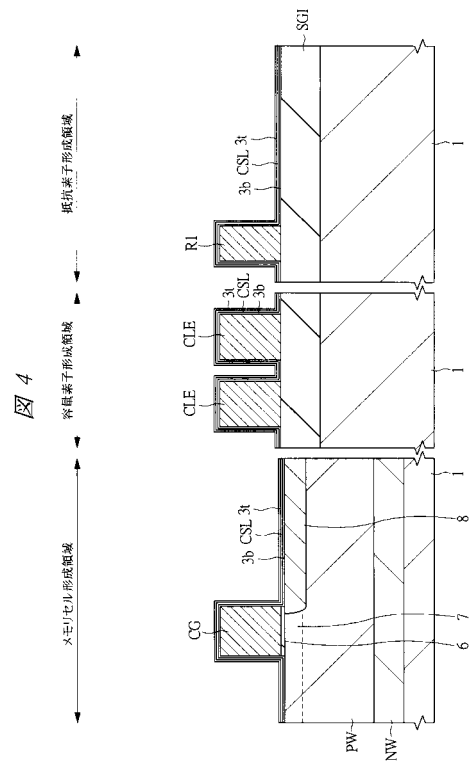
【 図 2 】



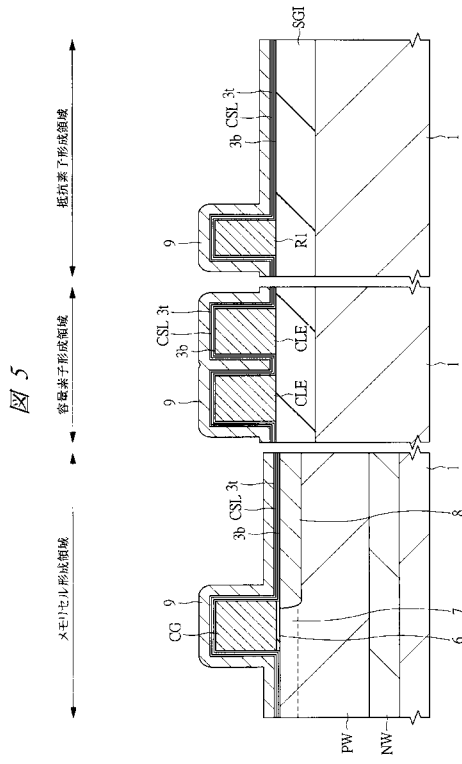
【 図 3 】



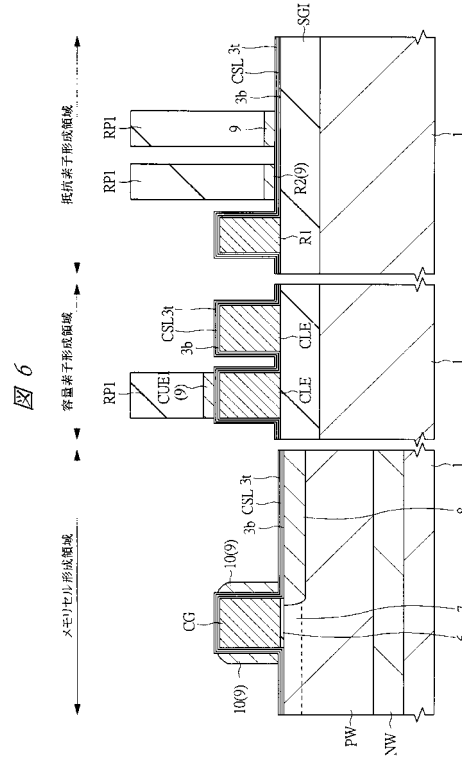
【 図 4 】



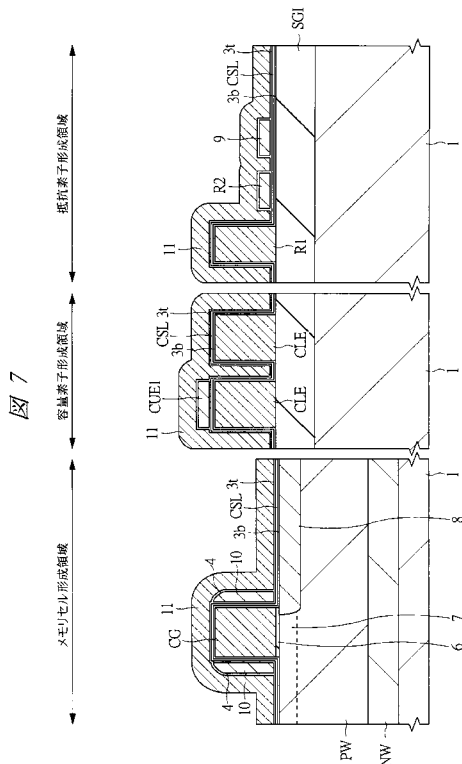
【 図 5 】



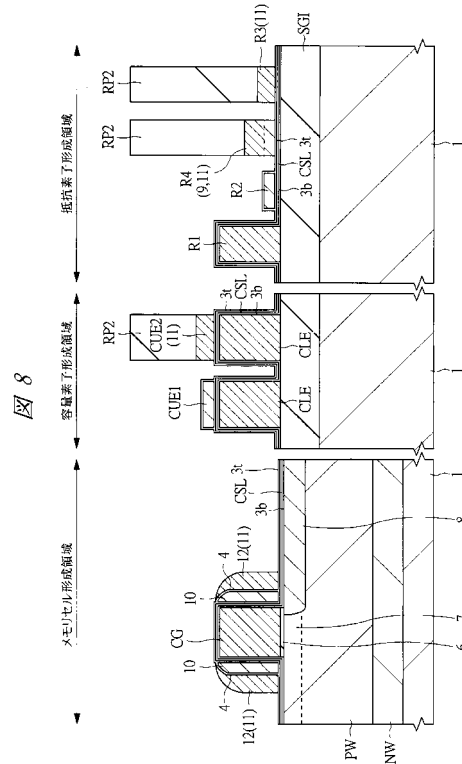
【 図 6 】



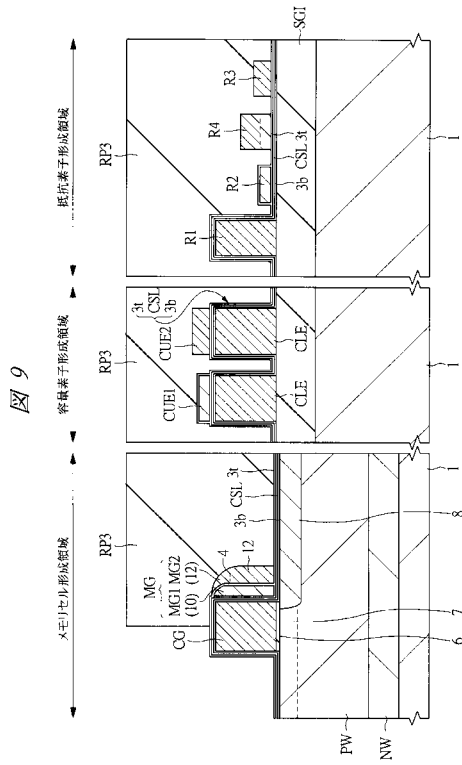
【 図 7 】



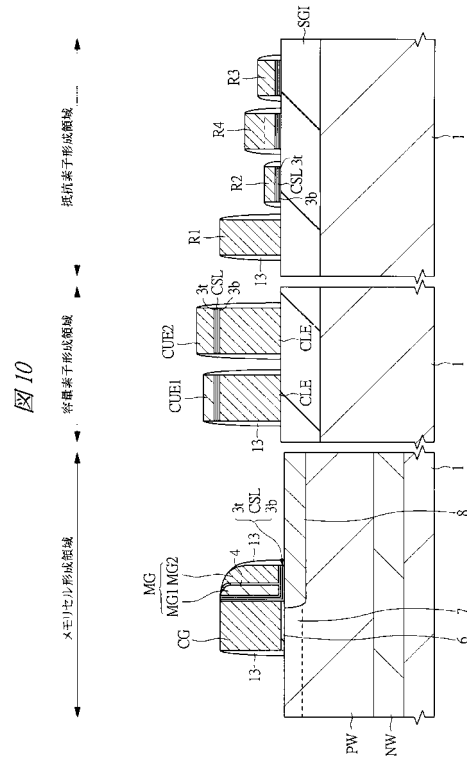
【 図 8 】



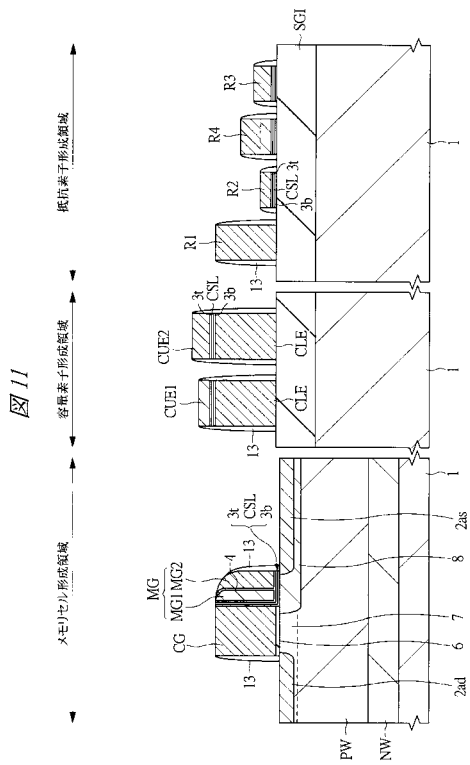
【 図 9 】



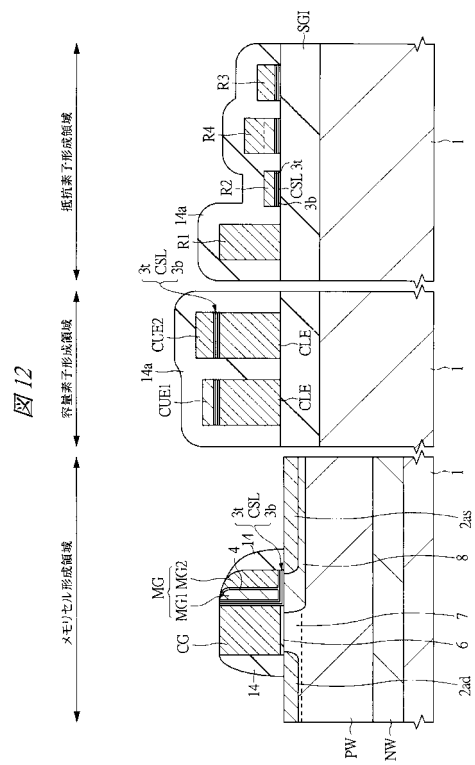
【 図 10 】



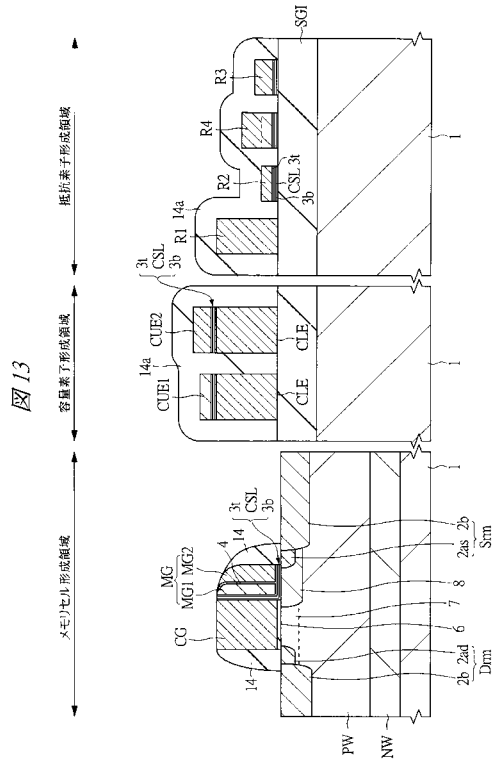
【 図 11 】



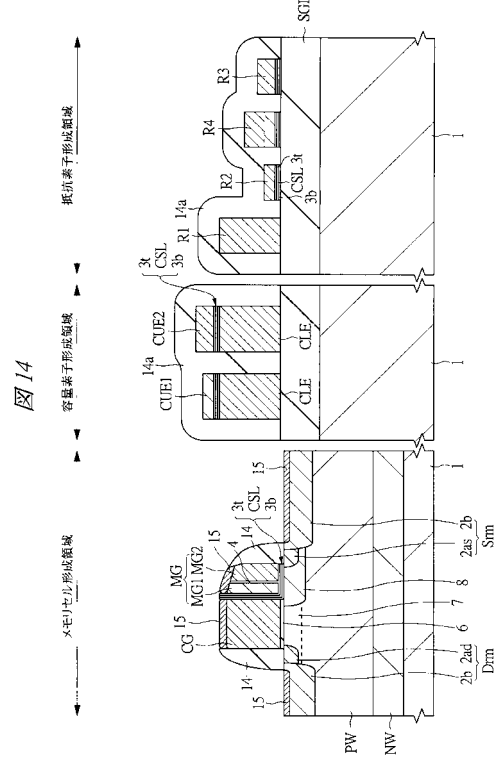
【 図 12 】



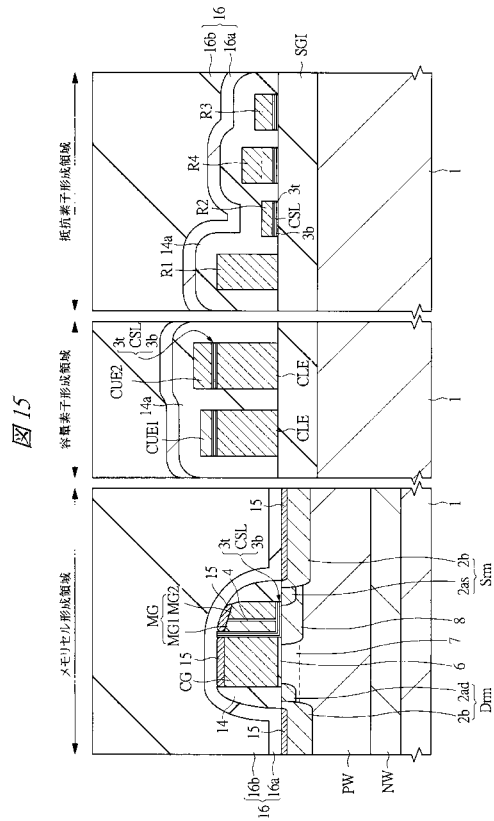
【 図 1 3 】



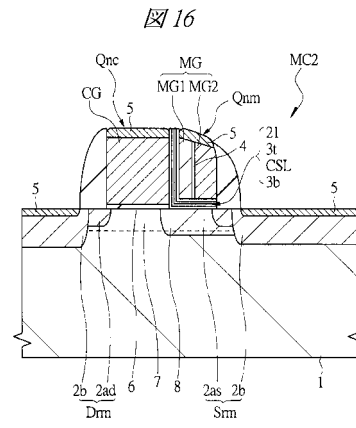
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

Fターム(参考) 5F083 EP18 EP22 EP33 EP35 EP63 EP68 ER02 ER06 GA02 GA21
GA25 GA27 HA02 JA04 JA05 JA19 JA24 JA35 JA36 JA39
JA40 JA53 KA01 KA18 LA21 MA05 MA06 MA16 NA01 PR40
PR43 PR44 PR45 PR46 PR53 PR54 PR55 PR56
5F101 BA45 BB02 BC11 BC12 BD07 BD15 BD22 BD30 BE05 BE07
BF03 BG04 BH08 BH21