



(12) 发明专利申请

(10) 申请公布号 CN 102646632 A

(43) 申请公布日 2012. 08. 22

(21) 申请号 201210060352. 7

(22) 申请日 2012. 03. 08

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 戴天明 姚琪 张锋 曹占锋

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

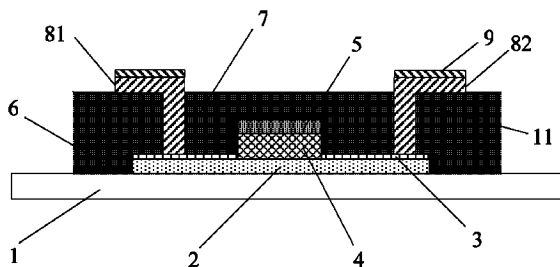
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

阵列基板及其制作方法和显示装置

(57) 摘要

本发明公开了一种阵列基板制作方法, 涉及显示技术领域, 包括以下步骤: S1: 在基板上形成包括半导体层、栅绝缘层、栅极和栅线的图形; S2: 在步骤 S1 之后的基板上, 未被所述栅绝缘层覆盖的半导体层图形上形成金属扩散层, 其它区域形成阻挡层; S3: 在步骤 S2 之后的基板上形成钝化层; S4: 在所述钝化层上形成过孔、源漏极、数据线和像素电极的图形, 所述源漏极通过所述过孔连接所述金属扩散层。还公开了一种阵列基板和显示装置。本发明相对于传统的 4 次以上的 mask 制作工艺减少了工艺流程, 降低了工艺成本。



1. 一种阵列基板制作方法,其特征在于,包括以下步骤:

S1:在基板上形成包括半导体层、栅绝缘层、栅极和栅线的图形;

S2:在步骤 S1 之后的基板上,未被所述栅绝缘层覆盖的半导体层图形上形成金属扩散层,其它区域形成阻挡层;

S3:在步骤 S2 之后的基板上形成钝化层;

S4:在所述钝化层上形成过孔、源漏极、数据线和像素电极的图形,所述源漏极通过所述过孔连接所述金属扩散层。

2. 如权利要求 1 所述的阵列基板制作方法,其特征在于,所述过程 S1 具体包括:

在所述基板上沉积氧化物半导体薄膜;

在所述氧化物半导体薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留半导体层图形区域的光刻胶,将暴露的氧化物半导体薄膜刻蚀掉,并除去保留的光刻胶,以形成半导体层图形;

在形成半导体层图形后的基板上依次沉积绝缘薄膜和栅金属薄膜;

在所述栅金属薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留栅绝缘层、栅极和栅线图形区域的光刻胶,将暴露的栅金属薄膜刻蚀掉,暴露出绝缘薄膜;

通过干刻的方式刻蚀掉暴露出的绝缘薄膜,并除去保留的光刻胶,以形成栅绝缘层、栅极和栅线图形。

3. 如权利要求 1 所述的阵列基板制作方法,其特征在于,所述过程 S1 具体包括:

在所述基板上依次沉积氧化物半导体薄膜、绝缘薄膜和栅金属薄膜;

在栅金属薄膜上涂覆光刻胶,通过双调掩模板对所述光刻胶进行曝光显影处理,保留金属扩散层图形区域、栅绝缘层、栅极和栅线图形区域的光刻胶,且金属扩散层图形区域的光刻胶的厚度小于栅绝缘层、栅极和栅线图形区域对应的光刻胶,去掉其余区域的光刻胶;

依次通过湿刻、干刻、湿刻,刻蚀掉不存在光刻胶区域的栅金属薄膜、绝缘薄膜和氧化物半导体薄膜;

通过灰化工艺,保留栅绝缘层、栅极和栅线图形区域的光刻胶,去掉其余区域的光刻胶;

依次通过湿刻、干刻去除掉不存在光刻胶区域的栅金属薄膜和绝缘薄膜,并除去保留的光刻胶,以形成半导体层、栅绝缘层、栅极和栅线图形。

4. 如权利要求 2 或 3 所述的阵列基板制作方法,其特征在于,所述氧化物半导体薄膜的材料为:IGZO 或 ZnO。

5. 如权利要求 2 或 3 所述的阵列基板制作方法,其特征在于,所述半导体层的厚度为 10~5000Å。

6. 如权利要求 2 或 3 所述的阵列基板制作方法,其特征在于,所述栅绝缘层的厚度为 200~20000Å。

7. 如权利要求 1 所述的阵列基板制作方法,其特征在于,所述过程 S2 具体包括:

溅射沉积一层金属薄膜;

在氧气气氛下退火,使得直接覆盖在所述半导体层图形上的金属扩散进所述半导体层图形,以形成金属扩散层,未直接覆盖在所述半导体层图形上的金属薄膜退火形成金属氧

化物阻挡层。

8. 如权利要求 7 所述的阵列基板制作方法,其特征在于,所述金属薄膜的厚度为 20~200Å。

9. 如权利要求 7 或 8 所述的阵列基板制作方法,其特征在于,所述金属薄膜为铝薄膜。

10. 如权利要求 9 所述的阵列基板制作方法,其特征在于,所述铝薄膜的退火温度为 100 ~ 400℃,退火时间为 20 ~ 200min。

11. 如权利要求 1 所述的阵列基板制作方法,其特征在于,所述过程 S4 具体包括:

在所述钝化层涂覆光刻胶,通过双调掩膜板对所述光刻胶进行曝光显影处理,去掉过孔区域的光刻胶,且保留源漏极和数据线图形区域的光刻胶;

刻蚀掉暴露出的钝化层形成过孔,使露出过孔处的金属扩散层;

通过灰化工艺去除源漏极和数据线图形区域的光刻胶,依次沉积源漏金属薄膜和像素电极薄膜,使源漏金属薄膜接触所述金属扩散层;

通过离地剥离的方式去除钝化层上剩余的光刻胶及附着在光刻胶上的源漏金属薄膜和像素电极薄膜,以形成源漏极、数据线和像素电极图形。

12. 如权利要求 11 所述的阵列基板制作方法,其特征在于,所述像素电极的材料为:ITO 或 IZO。

13. 一种阵列基板,包括:形成于透明基板之上的半导体层、栅绝缘层、栅极、阻挡层、钝化层、源漏电极和像素电极,其特征在于,所述栅绝缘层和栅极依次形成于所述半导体层上,所述栅绝缘层与所述栅极位于所述半导体层的中间位置且形状与大小一致,所述半导体层上未被栅绝缘层覆盖的区域还形成有金属扩散层,所述阻挡层包括覆盖所述栅绝缘层和栅极的部分以及位于所述半导体层四周的部分,所述钝化层覆盖所述半导体层、栅绝缘层、栅极和第一阻挡层,所述源漏电极连接所述金属扩散层,所述像素电极和漏电极接触。

14. 如权利要求 13 所述的阵列基板,其特征在于,所述源漏电极位于所述钝化层之上,且通过钝化层上的过孔连接所述金属扩散层。

15. 如权利要求 13 所述的阵列基板,其特征在于,所述半导体层为金属氧化物半导体。

16. 如权利要求 13 ~ 15 中任一项所述的阵列基板,其特征在于,所述金属扩散层为 Al 扩散层。

17. 如权利要求 13 ~ 15 中任一项所述的阵列基板,其特征在于,所述阻挡层为非导电的金属氧化物。

18. 如权利要求 17 所述的阵列基板,其特征在于,所述金属氧化物为 Al₂O₃。

19. 一种显示装置,其特征在于,包括如权利要求 13 ~ 18 中任一项所述的阵列基板。

阵列基板及其制作方法和显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板及其制作方法和显示装置。

背景技术

[0002] 铟镓锌氧化物(indium gallium zinc oxide, IGZO)为现阶段氧化物半导体材料的研究热点,其载流子迁移率能达到 10,是非晶硅的 10 倍以上,对于大面积和超精细的面板,其能很好的提高响应速度,减小薄膜晶体管(Thin Film Transistor, TFT)大小,现阶段在有机发光二极管(Organic Light-Emitting Diode, OLED)或液晶显示器(Liquid Crystal Display, LCD)中已经得到广泛的采用,但是由于其材料很容易受到外界条件如水汽,氧等的影响而导致材料特性发生变化。

[0003] 对于一般的背板(即阵列基板),现阶段量产的主要为 LTPS(低温多晶硅),已于三星公司量产,但是其由于 ELA 工艺需对现有设备进行大量的改造和增加设备投资。采用氧化物半导体材料的 OLED 背板,多采用顶栅结构,并通过刻蚀阻挡层技术来实现源漏(SD)刻蚀液对于 IGZO 材料的影响,其阵列基板的 mask 次数一般为 6 次到 7 次。

发明内容

[0004] (一)要解决的技术问题

[0005] 本发明要解决的技术问题是:如何减少 mask 次数,降低工艺成本。

[0006] (二)技术方案

[0007] 为解决上述技术问题,本发明提供了一种阵列基板制作方法,包括以下步骤:

[0008] S1:在基板上形成包括半导体层、栅绝缘层、栅极和栅线的图形;

[0009] S2:在步骤 S1 之后的基板上,未被所述栅绝缘层覆盖的半导体层图形上形成金属扩散层,其它区域形成阻挡层;

[0010] S3:在步骤 S2 之后的基板上形成钝化层;

[0011] S4:在所述钝化层上形成过孔、源漏极、数据线和像素电极的图形,所述源漏极通过所述过孔连接所述金属扩散层。

[0012] 其中,所述过程 S1 具体包括:

[0013] 在所述基板上沉积氧化物半导体薄膜;

[0014] 在所述氧化物半导体薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留半导体层图形区域的光刻胶,将暴露的氧化物半导体薄膜刻蚀掉,并除去保留的光刻胶,以形成半导体层图形;

[0015] 在形成半导体层图形后的基板上依次沉积绝缘薄膜和栅金属薄膜;

[0016] 在所述栅金属薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留栅绝缘层、栅极和栅线图形区域的光刻胶,将暴露的栅金属薄膜刻蚀掉,暴露出绝缘薄膜;

[0017] 通过干刻的方式刻蚀掉暴露出的绝缘薄膜,并除去保留的光刻胶,以形成栅绝缘层、栅极和栅线图形。

- [0018] 其中,所述过程 S1 具体包括:
- [0019] 在所述基板上依次沉积氧化物半导体薄膜、绝缘薄膜和栅金属薄膜;
- [0020] 在栅金属薄膜上涂覆光刻胶,通过双调掩模板对所述光刻胶进行曝光显影处理,保留金属扩散层图形区域、栅绝缘层、栅极和栅线图形区域的光刻胶,且金属扩散层图形区域的光刻胶的厚度小于栅绝缘层、栅极和栅线图形区域对应的光刻胶,去掉其余区域的光刻胶;
- [0021] 依次通过湿刻、干刻、湿刻,刻蚀掉不存在光刻胶区域的栅金属薄膜、绝缘薄膜和氧化物半导体薄膜;
- [0022] 通过灰化工艺,保留栅绝缘层、栅极和栅线图形区域的光刻胶,去掉其余区域的光刻胶;
- [0023] 依次通过湿刻、干刻去除掉不存在光刻胶区域的栅金属薄膜和绝缘薄膜,并除去保留的光刻胶,以形成半导体层、栅绝缘层、栅极和栅线图形。
- [0024] 其中,所述氧化物半导体薄膜的材料为:IGZO 或 ZnO。
- [0025] 其中,所述半导体层的厚度为 $10\sim 5000\text{\AA}$ 。
- [0026] 其中,所述栅绝缘层的厚度为 $200\sim 20000\text{\AA}$ 。
- [0027] 其中,所述过程 S2 具体包括:
- [0028] 通过溅射沉积一层金属薄膜;
- [0029] 在氧气气氛下退火,使得直接覆盖在所述半导体层图形上的金属扩散进所述半导体层图形,以形成金属扩散层,未直接覆盖在所述半导体层图形上的金属薄膜退火形成金属氧化物阻挡层。
- [0030] 其中,所述金属薄膜的厚度为 $20\sim 200\text{\AA}$ 。
- [0031] 其中,所述金属薄膜为铝薄膜。
- [0032] 其中,所述铝薄膜的退火温度为 $100\sim 400^{\circ}\text{C}$,退火时间为 $20\sim 200\text{min}$ 。
- [0033] 其中,所述过程 S4 具体包括:
- [0034] 在所述钝化层涂覆光刻胶,通过双调掩模板对所述光刻胶进行曝光显影处理,去掉过孔区域的光刻胶,且保留源漏极和数据线图形区域的光刻胶;
- [0035] 刻蚀掉暴露出的钝化层形成过孔,使露出过孔处的金属扩散层;
- [0036] 通过灰化工艺去除源漏极和数据线图形区域的光刻胶,依次沉积源漏金属薄膜和像素电极薄膜,使源漏金属薄膜接触所述金属扩散层;
- [0037] 通过离地剥离的方式去除钝化层上剩余的光刻胶及附着在光刻胶上的源漏金属薄膜和像素电极薄膜,以形成源漏极、数据线和像素电极图形。
- [0038] 其中,所述像素电极的材料为:ITO 或 IZO。
- [0039] 本发明还提供了一种阵列基板,包括:形成于透明基板之上的半导体层、栅绝缘层、栅极、阻挡层、钝化层、源漏电极和像素电极,所述栅绝缘层和栅极依次形成于所述半导体层上,所述栅绝缘层与所述栅极位于所述半导体层的中间位置且形状与大小一致,所述半导体层上未被栅绝缘层覆盖的区域还形成有金属扩散层,所述阻挡层包括覆盖所述栅绝缘层和栅极的部分以及位于所述半导体层四周的部分,所述钝化层覆盖所述半导体层、栅绝缘层、栅极和第一阻挡层,所述源漏电极连接所述金属扩散层,所述像素电极和漏电极接触。

[0040] 其中,所述源漏电极位于所述钝化层之上,且通过钝化层上的过孔连接所述金属扩散层。

[0041] 其中,所述半导体层为金属氧化物半导体,如 IGZO 等。

[0042] 其中,所述金属扩散层为 Al 扩散层。

[0043] 其中,所述阻挡层为非导电的金属氧化物。

[0044] 其中,所述金属氧化物为 Al_2O_3 。

[0045] 本发明还提供了一种显示装置,其特征在于,包括上述任一项所述的阵列基板。

[0046] (三)有益效果

[0047] 本发明的阵列基板制作方法有效地减少的 mask 的次数,降低的成本,并利用氧化物(比如氧化铝)作为氧化物半导体的阻挡层,有效地提高了 TFT 的稳定性。

附图说明

[0048] 图 1 是本发明实施例 1 的一种阵列基板制作方法中在玻璃基板上形成氧化物半导体层图形的截面图;

[0049] 图 2 是在图 1 之后的基板上形成栅绝缘层和栅极图形的截面图;

[0050] 图 3 是在图 2 之后的基板上形成金属扩散层和阻挡层的截面图;

[0051] 图 4 是在图 3 之后的基板上形成钝化层的截面图;

[0052] 图 5 是在图 4 中钝化层上形成过孔前光刻胶曝光显影后的截面图;

[0053] 图 6 是在图 5 之后形成过孔图形的截面图;

[0054] 图 7 是在图 6 之后对光刻胶进行灰化处理露出源漏极图形区域的截面图;

[0055] 图 8 是在图 7 之后形成源漏极、像素电极图形的截面图;

[0056] 图 9 是本发明实施例 2 的一种阵列基板制作方法中在玻璃基板上形成氧化物半导体薄膜、绝缘薄膜和栅金属薄膜的截面图;

[0057] 图 10 是在图 9 之后的基板上涂覆光刻胶并通过双调掩模板曝光显影后的截面图;

[0058] 图 11 是在图 10 的基础上刻蚀掉无光刻胶覆盖的氧化物半导体薄膜、绝缘薄膜和栅金属薄膜后的截面图;

[0059] 图 12 是在图 11 的基础上进行灰化工艺只保留栅绝缘层、栅极和栅线图形区域的光刻胶的截面图;

[0060] 图 13 是在图 12 的基础上刻蚀掉无光刻胶覆盖的绝缘薄膜和栅金属薄膜并去掉剩余光刻胶后的截面图。

具体实施方式

[0061] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0062] 实施例 1

[0063] 本实施例的阵列基板制作过程具体描述如下:

[0064] 首先,在玻璃基板 1 上形成氧化物半导体层图形 2。如图 1 所示,为玻璃基板上形成氧化物半导体层图形 2 的截面图,形成过程为:在玻璃基板 1 上在沉积氧化物半导体薄

膜,氧化物半导体的材料为 IGZO 或 ZnO,其厚度在10~5000Å;在氧化物半导体薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留半导体层图形区域 100 的光刻胶;将暴露的氧化物半导体薄膜刻蚀掉,并除去保留的光刻胶,以形成氧化物半导体层图形 2。

[0065] 其次,在氧化物半导体层图形 2 上形成栅绝缘层图形 4 和栅极图形 5。如图 2 所示,为形成栅绝缘层图形 4 和栅极图形 5(栅线和栅极同时形成,图中未示出栅线)的截面图,形成过程为:在形成有氧化物半导体层图形 2 的基板上依次沉积绝缘薄膜和栅金属薄膜,绝缘薄膜的材料可以为氮化硅,氧化硅,或者氧化铝等,栅金属的材料可以为铝、铜等金属或铝钨等金属的合金,绝缘薄膜的厚度为200~20000Å;在栅金属薄膜上涂覆光刻胶,采用掩模板对光刻胶进行曝光显影处理,保留栅绝缘层、栅极和栅线图形区域 101 的光刻胶;将暴露的栅金属薄膜刻蚀掉,由于刻蚀金属通常采用酸性试剂进行湿刻,湿刻后暴露出绝缘薄膜;通过干刻的方式刻蚀掉暴露出的绝缘薄膜,并除去保留的光刻胶,以形成栅绝缘层图形 4、栅极图形 5 和栅线图形。由于氧化物半导体的材料为 IGZO 或 ZnO 容易受到刻蚀液的影响,因此上述刻蚀过程中,分成湿刻和干刻两步进行。

[0066] 然后,形成金属扩散层和阻挡层,如图 3 所示,形成过程为:通过溅射沉积一层金属薄膜,本实施例中为 Al 薄膜,厚度为20~200Å;在氧气气氛下退火,温度为 100 ~ 400℃,时间为 20min ~ 200min,使得直接覆盖在 IGZO 或 ZnO 氧化物半导体层图形 2 上的 Al 扩散进氧化物半导体层图形 2,以形成金属 Al 扩散层 3,未直接覆盖在氧化物半导体层图形 2 上的 Al 薄膜退火形成 Al₂O₃ 阻挡层 6。如图 3 中,栅绝缘层图形 4、栅极图形 5 及玻璃基板 1 上都形成了一层 Al₂O₃,Al₂O₃ 是一层致密的保护层能有效的阻止氧化物半导体如:IGZO 的退化。

[0067] 接下来,形成钝化层 7,在基板上涂覆(如:旋涂)一层用于形成钝化层 7 的材料使其覆盖前三步形成的图形即可。如图 4 所示,为形成钝化层 7 的截面图,本实施例中的钝化层 7 的材料为丙烯酸酯。

[0068] 形成钝化层后在钝化层 7 上形成过孔、源漏极、数据线及像素电极图形,具体形成过程如下:

[0069] 如图 5 所示,在钝化层 7 上涂覆一层厚度为 H 光刻胶 10;通过双调掩模板(半调掩模板和灰调掩模板)曝光显影后,使得过孔区域 102 的光刻胶完全被显影掉,源漏极图形区域 103 的光刻胶的厚度为 h,h 小于 H;如图 6 所示,在过孔区域 102 处进行干刻形成过孔 11,刻蚀过孔 11 时刻蚀掉过孔区域 102 处暴露出的所有钝化层,使得过孔区域 102 处的金属 Al 扩散层 3 暴露出来;如图 7 所示,通过灰化工艺去除源漏极图形区域 103 处的光刻胶,钝化层 7 上除过孔 11 和源漏极图形区域 103 的其它区域仍保留一定厚度(H-h)光刻胶;如图 8 所示,依次沉积源漏金属薄膜和像素电极薄膜,使源漏金属薄膜通过过孔 11 接触金属 Al 扩散层 3,源漏金属薄膜的材料可以为铝、铜、金、银等金属或铝钨等金属的合金,像素电极薄膜的材料可以为 ITO 或 IZO;通过离地剥离的方式去除钝化层 7 上剩余的光刻胶及附着在光刻胶上的源漏金属薄膜和像素电极薄膜,保留源漏极图形区域 103 处沉积的源漏金属薄膜和像素电极薄膜,以形成源漏极(包括源电极 81 和漏电极 82)图形、数据线图形(图中未示出)和像素电极图形 9。最终形成图 8 所示的阵列基板。

[0070] 采用本发明方法制作阵列基板可以广泛地用于 LCD 显示面板和 OLED 显示面板,在用于 OLED 显示面板时,上述像素电极图形 9 连接 OLED 的阳极。

[0071] 本发明制作阵列基板的上述过程一共采用了 3 次 mask 工艺,相对于传统的 4 次以上的 mask 制作工艺减少了工艺流程,降低了工艺成本。并利用氧化铝作为氧化物半导体的阻挡层,有效地提高了 TFT 的稳定性。

[0072] 实施例 2

[0073] 本实施例中上述阵列基板的另一种制作方法,具体如下:

[0074] 如图 9 所示,在玻璃基板 1 上依次沉积氧化物半导体薄膜、绝缘薄膜和栅金属薄膜。氧化物半导体薄膜的材料为 IGZO 或 ZnO,其厚度在 $10\sim 5000\text{\AA}$ 。绝缘薄膜的材料可以为氮化硅,氧化硅,或者氧化铝等,栅金属的材料可以为铝、铜等金属或铝钼等金属的合金,绝缘薄膜的厚度为 $200\sim 20000\text{\AA}$ 。

[0075] 如图 10 所示,在栅金属薄膜上涂覆光刻胶 12,通过双调掩模板(半调掩模板或灰调掩模板)对光刻胶 12 进行曝光显影处理,保留金属扩散层图形区域 104、栅绝缘层、栅极和栅线图形区域 101 的光刻胶 12,且金属扩散层图形区域 104 的光刻胶 12 的厚度小于栅绝缘层、栅极和栅线图形区域对应的光刻胶 12,去掉其余区域的光刻胶 12。

[0076] 依次通过湿刻、干刻、湿刻,刻蚀掉不存在光刻胶 12 的区域的栅金属薄膜、绝缘薄膜和氧化物半导体薄膜,刻蚀后如图 11 所示。

[0077] 如图 12 所示,通过灰化工艺,保留栅绝缘层、栅极和栅线图形区域 101 的光刻胶 12,去掉其余区域的光刻胶 12。

[0078] 依次通过湿刻、干刻去除掉不存在光刻胶 12 的区域的栅金属薄膜和绝缘薄膜,并除去保留的光刻胶 12,以形成半导体层、栅绝缘层、栅极和栅线图形,如图 12 所示,为在玻璃基板 1 上形成半导体层 2、栅绝缘层 4、栅极 5 和栅线(图中未示出)图形的截面示意图。

[0079] 形成如图 13(实施例 1 中图 2)的层级结构之后,后续的制作过程和实施例 1 相同,此处不再赘述。

[0080] 本实施例中,在玻璃基板 1 上制作半导体层 2、栅绝缘层 4、栅极 5 和栅线(图中未示出)图形的过程中只采用了 1 次 mask,整个制作过程中只采用了 2 次 mask,相对于实施例 1 减少了工艺流程,降低了工艺成本。

[0081] 上述实施例 1 和实施例 2 中刻蚀掉氧化物半导体的刻蚀液大概成分为' $\text{H}_2\text{SO}_4 : \text{CH}_3\text{COOH} : \text{HNO}_3 : \text{H}_2\text{O} = 10 : 5 : 15 : 70\text{wt}\%$;

[0082] 刻蚀掉栅极的刻蚀液的主要成分为: $\text{H}_3\text{PO}_4 : \text{CH}_3\text{COOH} : \text{HNO}_3 : \text{Add1} : \text{Add2} : \text{H}_2\text{O} = 63 : 17.4 : 4.5 : 1 : 0.1 : 14\text{wt}\%$

[0083] 其比例不仅仅只限于以上比例,Add1 和 Add2 为添加试剂,氧化物半导体的刻蚀液不会对栅极造成腐蚀,栅金属的刻蚀液也不会对氧化物半导体造成腐蚀。

[0084] 实施例 3

[0085] 本实施例提供了一种阵列基板,该阵列基板可由上述实施例 1 或实施例 2 的方法制得,其结构如图 8 所示,包括:形成于玻璃基板 1 之上的半导体层 2、栅绝缘层 4、栅极 5、阻挡层 6、钝化层 7、源漏电极 8 和像素电极 9。栅绝缘层 4 和栅极 5 依次形成于半导体层 2 上。栅绝缘层 4 与栅极 5 位于半导体层 2 的中间位置且形状与大小一致。半导体层 2 上未被栅绝缘层 4 覆盖的区域还形成有金属扩散层 2。其形成过程如实施例 1 或实施例 2 中所述,在半导体层 2 上沉积一层金属薄膜,优选为 Al(因为 Al 的扩散性较好,且氧化后能形成致密的保护层),对 Al 进行氧化,半导体层 2 表面的 Al 扩散进氧化物半导体层 2,以形成金

属 Al 扩散层 3, 未直接覆盖在氧化物半导体层图形 2 上的 Al 薄膜氧化退火后形成 Al_2O_3 阻挡层 6, 阻挡层 6 则位于半导体层 2 的四周并覆盖栅绝缘层 4 和栅极 5, 以保护半导体层 2 不退化。由于制备时在栅绝缘层 4 和栅极 5 的表面也沉积有 Al, 因此经过氧化退火后栅绝缘层 4 和栅极 5 的表面也覆盖有 Al_2O_3 的阻挡层。

[0086] 钝化层 7 覆盖半导体层 2、栅绝缘层 4、栅极 5 和阻挡层 6 (包括半导体层 2 四周和栅绝缘层 4 和栅极 5 的表面的阻挡层), 源漏电极 8 连接金属 Al 扩散层 3, 像素电极 9 和漏电极接触。本实施例中, 由于上述特有的制作过程, 源漏电极 (包括源电极 81 和漏电极 82) 位于钝化层 7 之上, 且通过钝化层上的过孔 11 连接金属 Al 扩散层 3。具体的, 源电极 81 和漏电极 82 分别连接位于半导体层 2 两端的金属扩散层 3。

[0087] 本实施例中, 半导体层除普通半导体外, 优选为金属氧化物半导体, 如 IGZO 等。所述阻挡层除了可以为上述所述的等非导电的 Al_2O_3 等金属氧化物外, 还可以为其他非导电的材料。

[0088] 采用上述实施例 1 或 2 的方法制得的阵列基板具有成本低的优点。本实施例提供的阵列基板, 由于采用了氧化物 (比如氧化铝) 作为氧化物半导体的阻挡层, 有效地提高了 TFT 的稳定性。

[0089] 实施例 4

[0090] 本实施例中提供了一种显示装置, 包括实施例 3 中的阵列基板。所述显示装置可以为: 液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件。

[0091] 以上实施方式仅用于说明本发明, 而并非对本发明的限制, 有关技术领域的普通技术人员, 在不脱离本发明的精神和范围的情况下, 还可以做出各种变化和变型, 因此所有等同的技术方案也属于本发明的范畴, 本发明的专利保护范围应由权利要求限定。

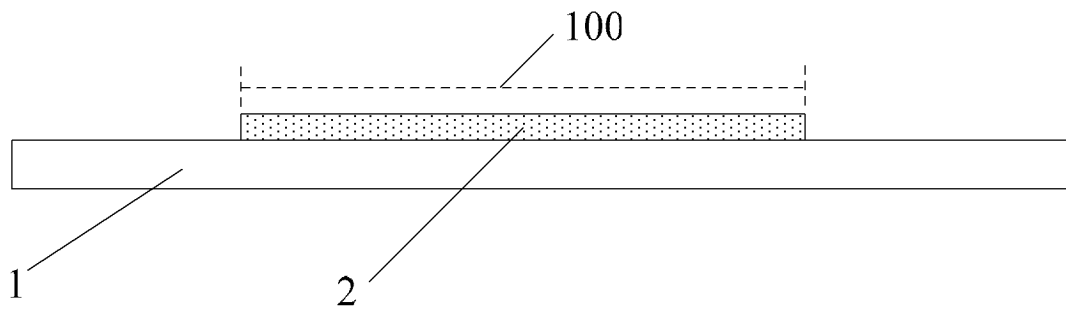


图 1

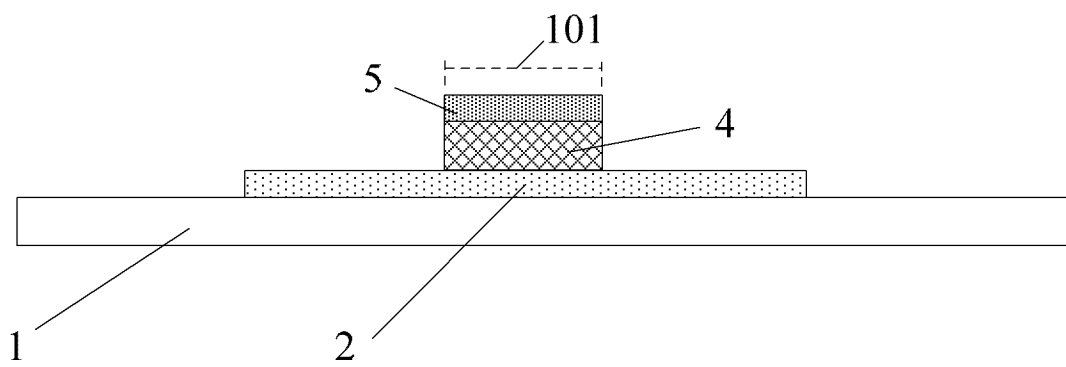


图 2

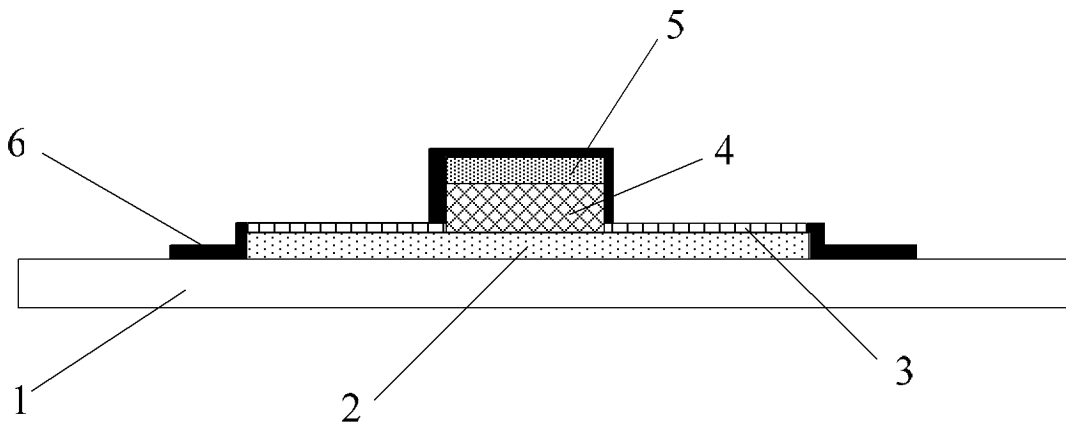


图 3

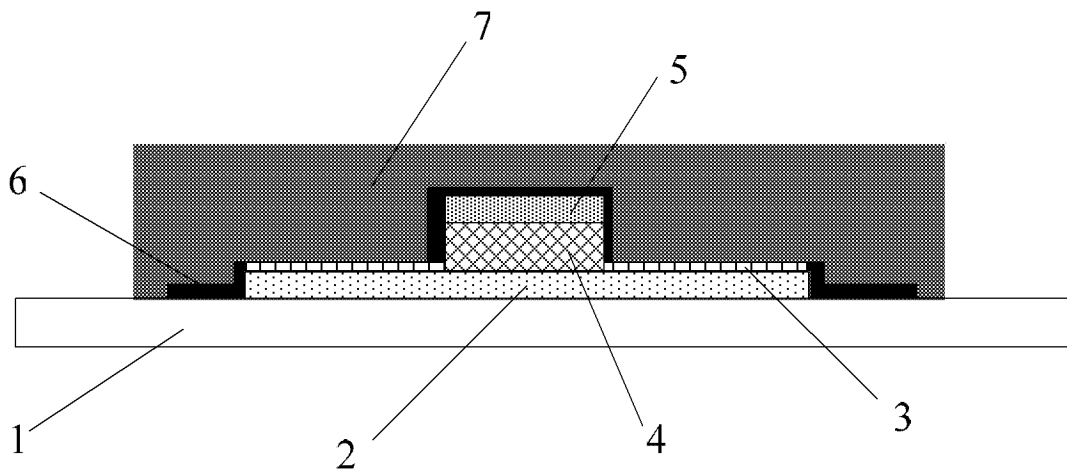


图 4

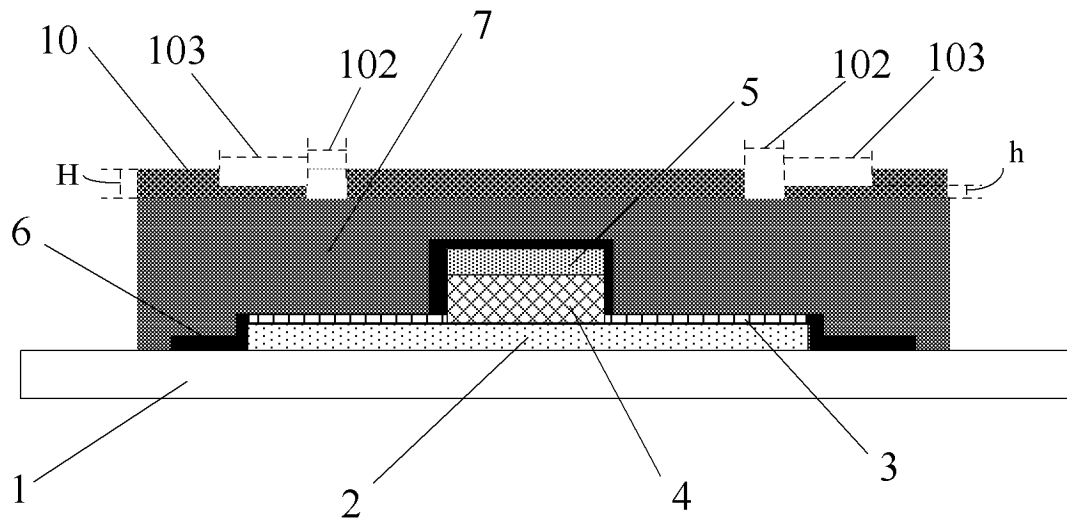


图 5

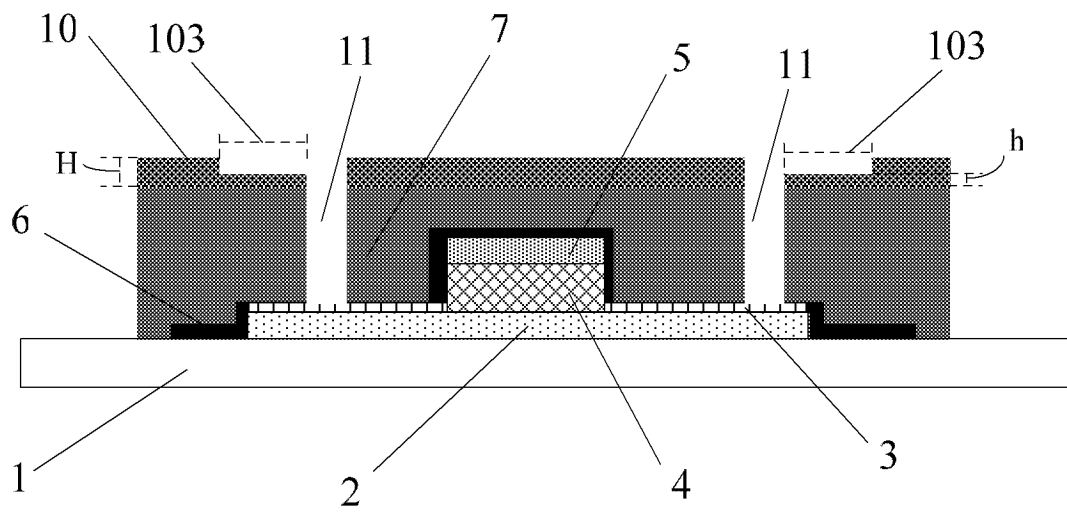


图 6

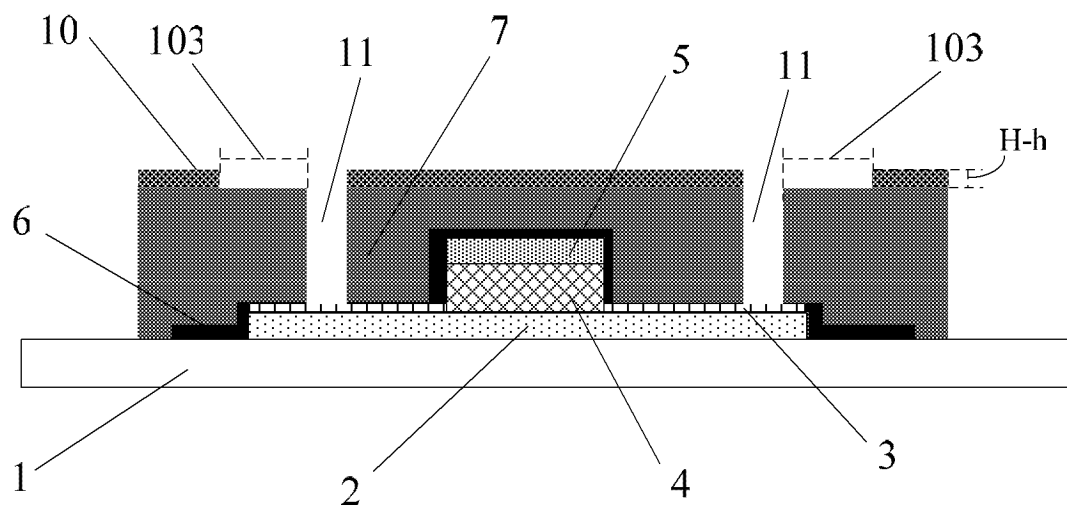


图 7

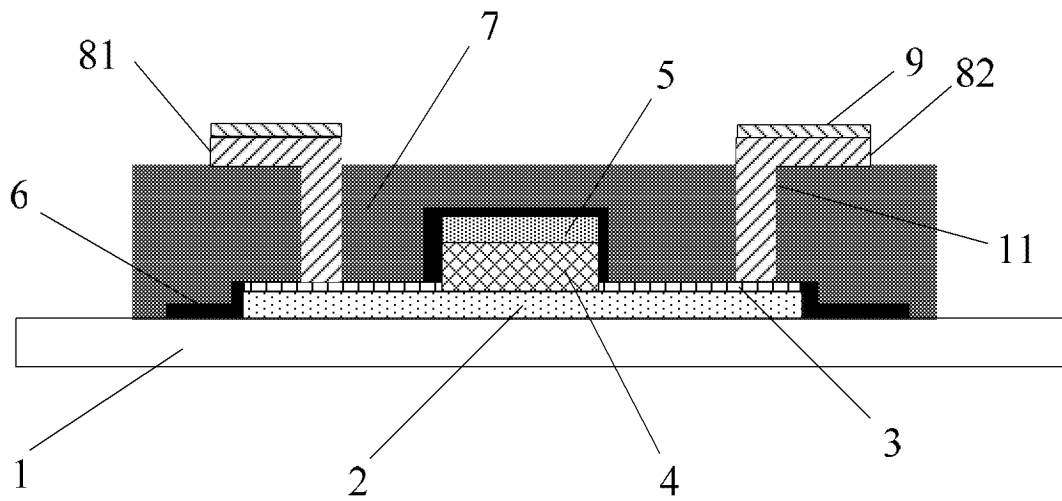


图 8

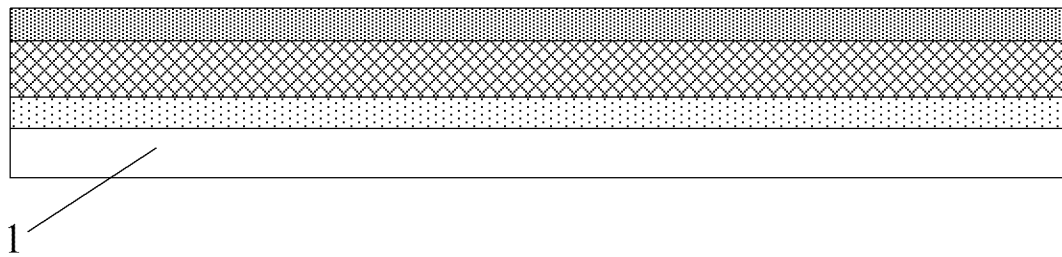


图 9

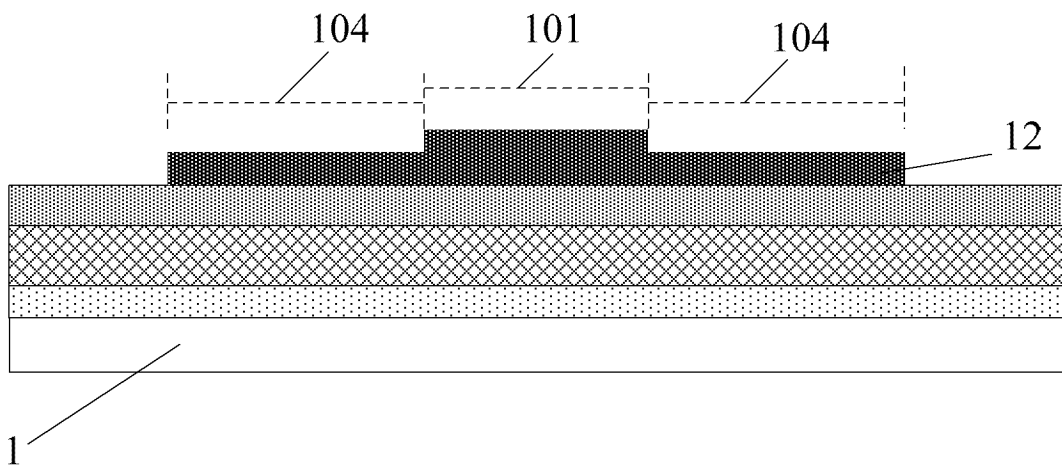


图 10

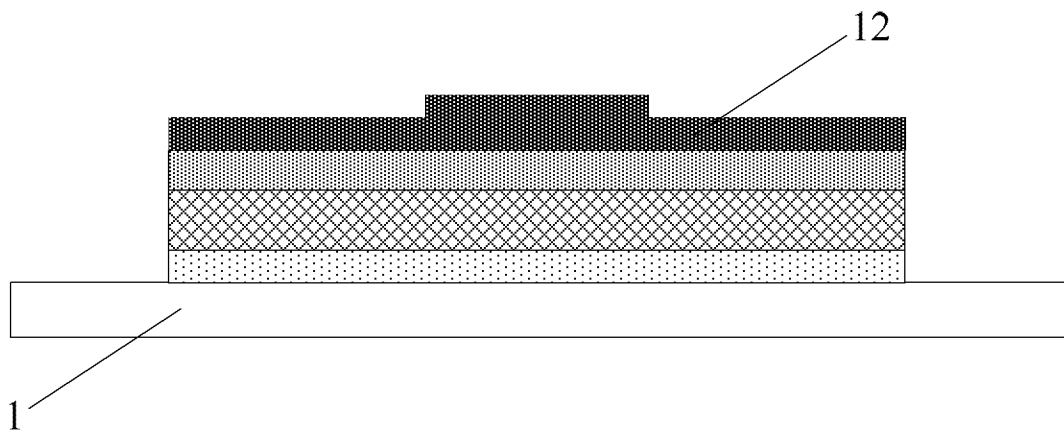


图 11

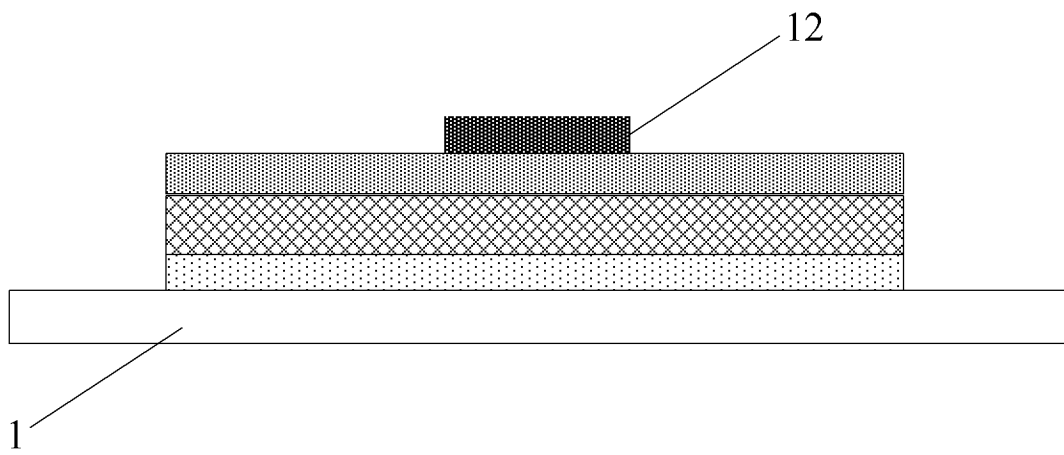


图 12

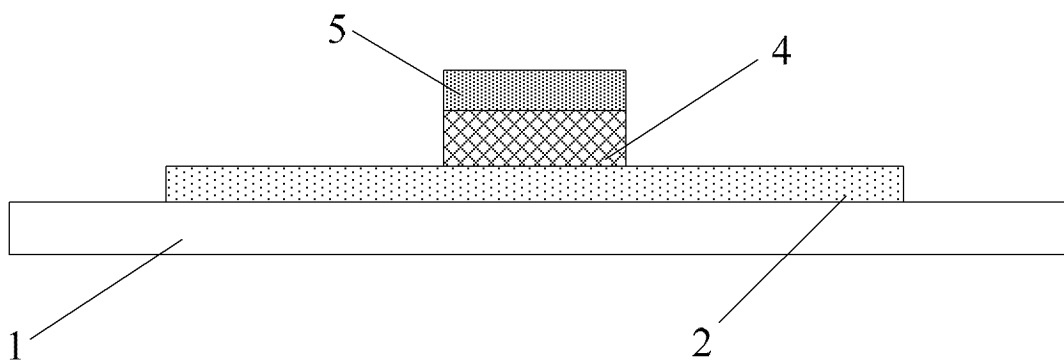


图 13