



(12)发明专利

(10)授权公告号 CN 105405880 B

(45)授权公告日 2019.05.07

(21)申请号 201410389901.4

(22)申请日 2014.08.08

(65)同一申请的已公布的文献号
申请公布号 CN 105405880 A

(43)申请公布日 2016.03.16

(73)专利权人 瑞昱半导体股份有限公司
地址 中国台湾新竹市

(72)发明人 颜孝璁 简育生 叶达勋

(74)专利代理机构 隆天知识产权代理有限公司
72003
代理人 郝新慧 章侃铨

(51) Int. Cl.
H01L 29/78(2006.01)
H01L 29/423(2006.01)
H01L 29/06(2006.01)

(56)对比文件

CN 101290936 B, 2012.03.21, 说明书第8-72段, 图1-9.

CN 1342332 A, 2002.03.27, 全文.

CN 101840935 A, 2010.09.22, 全文.

US 2013105813 A1, 2013.05.02, 全文.

审查员 张雄娥

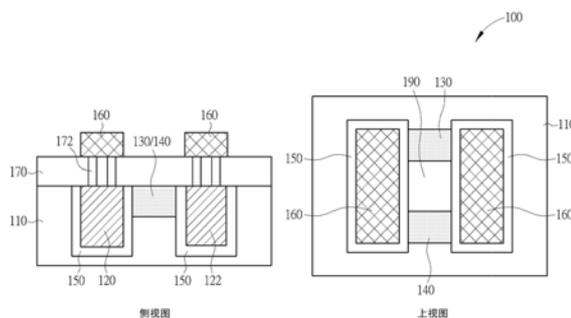
权利要求书1页 说明书6页 附图5页

(54)发明名称

半导体元件及多栅极场效应晶体管

(57)摘要

本发明公开一种半导体元件及多栅极场效应晶体管,该半导体元件包含有一半导体基板、一第一栅极结构、一第二栅极结构、一源极结构与一漏极结构,其中该第一栅极结构与该第二栅极结构分别嵌入于半导体基板中;该源极结构形成于该半导体基板中,且该源极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;以及该漏极结构形成于该半导体基板中,且该漏极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间。



1. 一种半导体元件,其特征在于,包含有:

一半导体基板;

一第一栅极结构,嵌入于半导体基板中;

一第二栅极结构,嵌入于半导体基板中;

一源极结构,形成于该半导体基板中,且该源极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;以及

一漏极结构,形成于该半导体基板中,且该漏极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;

其中该源极结构包围着该第一栅极结构与该第二栅极结构的一端,该漏极结构包围着该第一栅极结构与该第二栅极结构的另一端,且该半导体元件另包含有:

三个互不相邻的通道区域,形成于该半导体基板中,其中第一个通道区域位于该第一栅极结构与该第二栅极结构之间,第二个通道区域与第一个通道区域分别位于该第一栅极结构的对向侧,且第三个通道区域与第一个通道区域分别位于该第二栅极结构的对向侧。

2. 如权利要求1所述的半导体元件,其中该第一栅极结构与该第二栅极结构用以接收一栅极控制电压,该三个通道区域都会因为该第一栅极结构与该第二栅极结构上所施加的该栅极控制电压以开启/关闭感应通道。

3. 如权利要求1所述的半导体元件,其中该半导体基板中该第一个通道区域的正上方具有一第三栅极结构,该第一栅极结构、该第二栅极结构与该第三栅极结构用以接收一栅极控制电压,且该第一个通道区域会因为该第一栅极结构与该第二栅极结构上所施加的该栅极控制电压以开启/关闭一感应通道。

4. 如权利要求3所述的半导体元件,其中该第一栅极结构与该第二栅极结构以一铜制造工艺来制作,且该第三栅极结构以多晶硅来制作。

5. 如权利要求3所述的半导体元件,其中该第一栅极结构、该第二栅极结构与该第三栅极结构分别通过贯通孔以连接到一金属层,以自该金属层接收该栅极控制电压。

6. 如权利要求1所述的半导体元件,其中该源极结构与该漏极结构分别形成于该半导体基板的对向侧。

7. 一种多栅极场效应晶体管,包含有:

一半导体基板;

一第一栅极结构,嵌入于半导体基板中;

一第二栅极结构,嵌入于半导体基板中;

一源极结构,形成于该半导体基板中,且该源极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;以及

一漏极结构,形成于该半导体基板中,且该漏极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;

其中该源极结构包围着该第一栅极结构与该第二栅极结构的一端,该漏极结构包围着该第一栅极结构与该第二栅极结构的另一端,且该半导体元件另包含有:

三个互不相邻的通道区域,形成于该半导体基板中,其中第一个通道区域位于该第一栅极结构与该第二栅极结构之间,第二个通道区域与第一个通道区域分别位于该第一栅极结构的对向侧,且第三个通道区域与第一个通道区域分别位于该第二栅极结构的对向侧。

半导体元件及多栅极场效应晶体管

技术领域

[0001] 本发明系有关于一种半导体元件,尤指一种具有多栅极的场效应晶体管。

背景技术

[0002] 为了追求更高的元件密度、更佳的效能与更低的成本,在半导体先进制造工艺中使用了鳍式场效应晶体管(Fin-like Field Effect Transistor,FinFET)等三维结构设计方式来达到目标,然而,使用此先进制造工艺所制造出的场效应晶体管通常耐压会比较低,且所使用的光罩价格也较高,故一般需要特殊的元件设计,加大晶体管的面积来达成耐压的效果。另因先进制造工艺的薄栅极,并无法同时提供高压的元件。因此,若是电路中需要高压元件或是较大面积的被动元件,通常会使用不同的制造工艺来制作出多个管芯,再通过印刷电路板(PCB)封装或是立体堆叠封装的方式连结,然而,这种方式会增加制造成本、降低系统整合性以及增加拉线(metal routing)上的长度与困难度。

发明内容

[0003] 因此,本发明的目的之一在于提供一种半导体元件,其使用三维结构设计方式来制作场效应晶体管,具有耐高压、面积小等优点,以解决上述的问题。

[0004] 根据本发明一实施例,公开一种半导体元件,其包含有一半导体基板、一第一栅极结构、一第二栅极结构、一源极结构与一漏极结构,其中该第一栅极结构与该第二栅极结构分别嵌入于半导体基板中;该源极结构形成于该半导体基板中,且该源极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;以及该漏极结构形成于该半导体基板中,且该漏极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间。

[0005] 根据本发明另一实施例,公开一种多栅极场效应晶体管,其包含有一半导体基板、一第一栅极结构、一第二栅极结构、一源极结构与一漏极结构,其中该第一栅极结构与该第二栅极结构分别嵌入于半导体基板中;该源极结构形成于该半导体基板中,且该源极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间;以及该漏极结构形成于该半导体基板中,且该漏极结构至少有一部分位于该第一栅极结构与该第二栅极结构之间。

附图说明

[0006] 图1为根据本发明第一实施例的半导体元件的侧视图与上视图。

[0007] 图2为根据本发明第二实施例的半导体元件的侧视图与上视图。

[0008] 图3为根据本发明第三实施例的半导体元件的侧视图与上视图。

[0009] 图4为根据本发明第四实施例的半导体元件的侧视图与上视图。

[0010] 图5为根据本发明一实施例的制作出第一栅极结构、第二栅极结构、源极结构与漏极结构的示意图。

[0011] 其中,附图标记说明如下:

[0012] 100、200、300、400 半导体元件

[0013]	110、210、310、410	半导体基板
[0014]	120、220、320、420	第一栅极结构
[0015]	122、222、322、422	第二栅极结构
[0016]	130、230、330、430	源极结构
[0017]	140、240、340、440	漏极结构
[0018]	150、250、350、450	氧化层
[0019]	160、260、360、460	金属层
[0020]	170、270、370、470	介电层
[0021]	172、272、372、472	贯通孔
[0022]	190、290、390、392、394、490	通道区域
[0023]	224	第三栅极结构

具体实施方式

[0024] 请参考图1,图1为根据本发明第一实施例的半导体元件100的侧视图与上视图,其中半导体元件100为一多栅极场效应晶体管,主要包含有一半导体基板110、一第一栅极结构120、一第二栅极结构122、一源极结构130及一漏极结构140,其中第一栅极结构120与第二栅极结构122被氧化层150包覆并嵌入在半导体基板110中;源极结构130与漏极结构140形成于半导体基板110中,且位于第一栅极结构120与第二栅极结构122之间。此外,半导体基板110之上有一介电层170以及一金属层160,金属层160通过贯通孔172与第一栅极结构120与第二栅极结构122电性连结,且第一栅极结构120与第二栅极结构122系通过金属层160来接收一栅极控制电压。另外,半导体基板110中包含一通道区域190,其位于第一栅极结构120、第二栅极结构122、源极结构130与漏极结构140之间。

[0025] 在半导体元件100中,半导体基板110可为未掺杂的硅基板或是N型或是P型轻掺杂的硅基板;第一栅极结构120与第二栅极结构122可由金属(例如铜)所形成;介电层170可由一般常见的介电材料形成,如氧化硅、氮化硅、氮氧化硅、或上述的组合;金属层160的材料为铜金属;当半导体元件100为N型场效应晶体管时,其源极结构130与漏极结构140可采用N型掺杂质的注入制造工艺所形成N型掺杂区;而当半导体元件100为P型场效应晶体管时,其源极结构130与漏极结构140可采用P型掺杂质的注入制造工艺所形成P型掺杂区。此外,由于极场效应晶体管中有关于半导体基板、栅极结构、源极结构与漏极结构的功能及所使用的材质应为本领域技术人员所熟知,故本领域技术人员应可了解到图1中半导体基板110、第一栅极结构120、第二栅极结构122、源极结构130、漏极结构140、金属层160与介电层170所使用的材料并不限于以上所述,而可根据制造工艺的不同而有所变化。

[0026] 在本实施例中,第一栅极结构120与第二栅极结构122是采用直通硅晶穿孔(Through-Silicon Via,TSV)技术来制作。详细来说,先利用直通硅晶穿孔制造工艺在半导体基板110上蚀刻出两个导孔,接着布上氧化层150,之后再将栅极材料(例如金属铜)填满导孔,以得到图1所示的第一栅极结构120与第二栅极结构122。此外,第一栅极结构120与第二栅极结构122的深度与氧化层150的厚度会有相关性,亦即若是第一栅极结构120与第二栅极结构122的深度越深,氧化层150也需要更厚的厚度;反之若是第一栅极结构120与第二栅极结构122的深度很浅,可以只需要制作很薄的氧化层150。如上所述,若是半导体元件

100需要较佳的通道控制且不是高压元件,工程师可以设计具有较浅的深度的第一栅极结构120与第二栅极结构122以及较薄的氧化层150,以得到较佳的驱动能力与通道控制;另一方面,若是半导体元件100需要较大的尺寸或是其为高压元件,则可设计具有较深第一栅极结构120与第二栅极结构122以及较厚的氧化层150,以提供较大的耐压。

[0027] 当半导体元件100接收到用来开启通道的栅极控制电压时,图1中的通道区域190会因为第一栅极结构120与第二栅极结构122所接收到的栅极控制电压而产生感应通道,以导通源极结构130与漏极结构140。而由于第一栅极结构120与第二栅极结构122是垂直深入到半导体基板110中,会具有很大的感应通道范围,因此可以大幅增加流经源极结构130与漏极结构140之间的电流,且由于第一栅极结构120与第二栅极结构122的体积较大,因此其栅极电阻也会比较低。

[0028] 另外,由于半导体元件100中的第一栅极结构120与第二栅极结构122是嵌入在半导体基板110之内,因此,半导体基板110的上方还可以被利用来制作其他的半导体元件,举例来说,半导体基板110的上方可以另外用来制作鳍式场效应晶体管(FinFET),因此可以在同一颗芯片中达成3D电路的效果。此外,由于第一栅极结构120与第二栅极结构122是嵌入在半导体基板110之内,因此可以节省元件面积,且也可以应用在需要较大场效应晶体管的应用中。

[0029] 请参考图2,图2为根据本发明第二实施例的半导体元件200的侧视图与上视图,其中半导体元件200为一多栅极场效应晶体管,主要包含有一半导体基板210、一第一栅极结构220、一第二栅极结构222、一第三栅极结构224、一源极结构230及一漏极结构240,其中第一栅极结构220与第二栅极结构222被氧化层250包覆并嵌入在半导体基板210中;源极结构230与漏极结构240形成于半导体基板210中,且位于第一栅极结构220与第二栅极结构222之间。此外,半导体基板210之上有一介电层270以及一金属层260,金属层260通过贯通孔272与第一栅极结构220与第二栅极结构222电性连结,且第一栅极结构220与第二栅极结构222通过金属层260来接收一栅极控制电压。另外,半导体基板210中包含一通道区域290,其位于第三栅极结构224的下方,且位于第一栅极结构220、第二栅极结构222、源极结构230与漏极结构240之间。

[0030] 在半导体元件200中,半导体基板210可为未掺杂的硅基板或是N型或是P型轻掺杂的硅基板;第一栅极结构220与第二栅极结构222可由金属(例如铜)所形成,第三栅极结构224可由多晶硅所形成;介电层270可由一般常见的介电材料形成,如氧化硅、氮化硅、氮氧化硅、层间介电层(interlayer dielectric,ILD)、氟化硅玻璃(fluorinated silica glass,FSG)、未掺杂硅玻璃(undoped silicon glass,USG)或上述的组合;金属层260的材料为铜金属或为其他金属,如钨(W);当半导体元件200为N型场效应晶体管时,其源极结构230与漏极结构240可采用N型掺质的注入制造工艺所形成N型掺杂区;而当半导体元件200为P型场效应晶体管时,其源极结构230与漏极结构240可采用P型掺质的注入制造工艺所形成P型掺杂区。此外,由于极场效应晶体管中有关于半导体基板、栅极结构、源极结构与漏极结构的功能及所使用的材质应为本领域技术人员所熟知,故本领域技术人员应可了解到图2中半导体基板210、第一栅极结构220、第二栅极结构222、第三栅极结构224、源极结构230、漏极结构240、金属层260与介电层270所使用的材料并不限于以上所述,而可根据制造工艺的不同而有所变化。

[0031] 半导体元件200在结构上与图1所示的半导体元件100类似,所差异的地方仅在于图2的半导体元件200另外多了第三栅极结构224。第三栅极结构224设置在通道区域290的上方,因此,当半导体元件200接收到用来开启通道的栅极控制电压时,图2中的通道区域290会因为第一栅极结构220、第二栅极结构222与第三栅极结构224所接收到的栅极控制电压而产生感应通道,以导通源极结构230与漏极结构240。而由于第一栅极结构220与第二栅极结构222是垂直深入到半导体基板210中,再加上第三栅极结构224位于通道区域290的上方,因此半导体元件200是藉由来自三个方向的电压来感应出感应通道,因此可以大幅增加流经源极结构230与漏极结构240之间的电流。

[0032] 另外,类似于图1所示的半导体元件100,由于半导体元件200中的第一栅极结构220与第二栅极结构222是嵌入在半导体基板210之内,因此,半导体基板210的上方还可以被利用来制作其他的半导体元件,举例来说,半导体基板210的上方可以另外用来制作鳍式场效应晶体管(FinFET),因此可以在同一颗芯片中达成3D电路的效果。此外,由于第一栅极结构220与第二栅极结构222是嵌入在半导体基板210之内,因此可以节省元件面积,且也可以应用在需要较大场效应晶体管的应用中。

[0033] 请参考图3,图3为根据本发明第三实施例的半导体元件300的侧视图与上视图,其中半导体元件300为一多栅极场效应晶体管,主要包含有一半导体基板310、一第一栅极结构320、一第二栅极结构322、一源极结构330及一漏极结构340,其中第一栅极结构320与第二栅极结构322被氧化层150包覆并嵌入在半导体基板310中;源极结构330与漏极结构340形成于半导体基板310中,且源极结构330包围着第一栅极结构320与第二栅极结构322的一端,漏极结构340包围着第一栅极结构320与第二栅极结构322的另一端。此外,半导体基板310之上有一介电层370以及一金属层360,金属层360通过贯通孔372与第一栅极结构320与第二栅极结构322电性连结,且第一栅极结构320与第二栅极结构322系通过金属层360来接收一栅极控制电压。另外,半导体基板310中包含三个不相邻的通道区域390、392、394,其中第一个通道区域390位于第一栅极结构320、第二栅极结构322、源极结构330与漏极结构340之间,第二个通道区域392与第一个通道区域390分别位于第一栅极结构320的对向侧,且第三个通道区域394与第一个通道区域390分别位于第二栅极结构322的对向侧。

[0034] 半导体元件300在结构上与图1所示的半导体元件100类似,所差异的地方仅在于图3的半导体元件300的源极结构330与漏极结构340的设置区域比较大,且分别包覆了第一栅极结构320与第二栅极结构322的两端。因此,当半导体元件300接收到用来开启通道的栅极控制电压时,图3中的三个通道区域390、392、394都会因为第一栅极结构320与第二栅极结构322所接收到的栅极控制电压而产生感应通道,以导通源极结构330与漏极结构340。而由于第一栅极结构320与第二栅极结构322是垂直深入到半导体基板310中,再加上源极结构330与漏极结构340的设置区域比较大,因此半导体元件300会具有更大的感应通道范围,因此可以大幅增加流经源极结构330与漏极结构340之间的电流。

[0035] 另外,类似于图1所示的半导体元件100,由于半导体元件300中的第一栅极结构320与第二栅极结构322是嵌入在半导体基板310之内,因此,半导体基板310的上方还可以被利用来制作其他的半导体元件,举例来说,半导体基板310的上方可以另外用来制作鳍式场效应晶体管(FinFET),因此可以在同一颗芯片中达成3D电路的效果。此外,由于第一栅极结构320与第二栅极结构322是嵌入在半导体基板310之内,因此可以节省元件面积,且也可

以应用在需要较大场效应晶体管的应用中。

[0036] 在本发明的另一实施例中,半导体元件300亦可参考图2所示的半导体元件200,在通道区域390的上方另外设置一第三栅极结构(类似图2的第三栅极结构224),以使得半导体元件可以藉由来自三个方向的电压来感应出感应通道,并大幅增加流经源极结构与漏极结构之间的电流。

[0037] 请参考图4,图4为根据本发明第四实施例的半导体元件400的侧视图与上视图,其中半导体元件400为一多栅极场效应晶体管,主要包含有一半导体基板410、一第一栅极结构420、一第二栅极结构422、一源极结构430及一漏极结构440,其中第一栅极结构420与第二栅极结构422贯穿半导体基板410,且第一栅极结构420与第二栅极结构422被氧化层450所包覆;源极结构430与漏极结构440形成于半导体基板410中,且位于第一栅极结构420与第二栅极结构422之间,其中源极结构430与漏极结构440分别位于半导体基板410的对向侧。此外,半导体基板410之上有一介电层470以及一金属层460,金属层460通过贯通孔472与第一栅极结构420与第二栅极结构422电性连结,且第一栅极结构420与第二栅极结构422通过金属层460来接收一栅极控制电压。另外,半导体基板410中包含一通道区域490,其位于第一栅极结构420、第二栅极结构422、源极结构430与漏极结构440之间。

[0038] 在本实施例中,第一栅极结构420与第二栅极结构422是采用直通硅晶穿孔(TSV)技术来制作,且由于源极结构430与漏极结构440分别位于半导体基板410的对向侧,因此,半导体基板410需要分别在两侧进行离子注入以产生源极结构430与漏极结构440。

[0039] 类似于图1所示的半导体元件100,由于半导体元件400中的第一栅极结构420与第二栅极结构422是嵌入在半导体基板410之内,因此,半导体基板410的上方还可以被利用来制作其他的半导体元件,举例来说,半导体基板410的上方可以另外用来制作鳍式场效应晶体管(FinFET),因此可以在同一颗芯片中达成3D电路的效果。此外,由于第一栅极结构420与第二栅极结构422是嵌入在半导体基板410之内,因此可以节省元件面积,且也可以应用在需要较大场效应晶体管的应用中。

[0040] 另外,需注意的是,由于图1~图4所示的半导体结构所绘示的都是单一个场效应晶体管,因此上述所提及的第一栅极结构与第二栅极结构都是接收相同的栅极控制电压。然而,在某些特别的应用下,第一栅极结构与第二栅极结构可以分别接收不同的栅极控制电压,这些设计上的变化应隶属于本发明的范畴。

[0041] 请参考图5,图5为根据本发明一实施例的制作出图1~图2所示的第一栅极结构、第二栅极结构、源极结构与漏极结构的示意图。需注意的是,图5所示的流程顺序仅为一个范例说明,而并非是作为本发明的限制。在图5中,首先,在步骤(a)中,先在半导体基板上涂布光阻并进行注入制造工艺以产生源极结构与漏极结构;接着,在步骤(b)中,在半导体基板上布上氧化层与光阻,以准备进行直通硅晶穿孔(TSV);在步骤(c)中,进行直通硅晶穿孔制造工艺,以产生两个导孔;在步骤(d)中,移除光阻及氧化层;在步骤(e)中,在半导体基板上制作氧化层;在步骤(f)中,在半导体基板上制作铜金属;最后,在步骤(g)中,进行化学机械平坦化(Chemical-Mechanical Planarization, CMP)制造工艺,如此一来便完成了图1~图2所示的第一栅极结构、第二栅极结构、源极结构与漏极结构。

[0042] 简要归纳本发明,在本发明的半导体元件,亦即多栅极场效应晶体管中,是将两个栅极结构嵌入至半导体基板中,藉由二个或以上的栅极结构进行电场控制,而可以具有高

电流、耐高压、面积小、低栅极电阻、可使用在需要较大场效应晶体管的应用中等优点；此外，半导体基板的上方可以另外被利用来制作其他的半导体元件，例如鳍式场效应晶体管 (FinFET)，因此可以在同一颗芯片中达成3D电路的效果。

[0043] 以上所述仅为本发明的较佳实施例，凡依本发明权利要求所做的均等变化与修饰，皆应属本发明的涵盖范围。

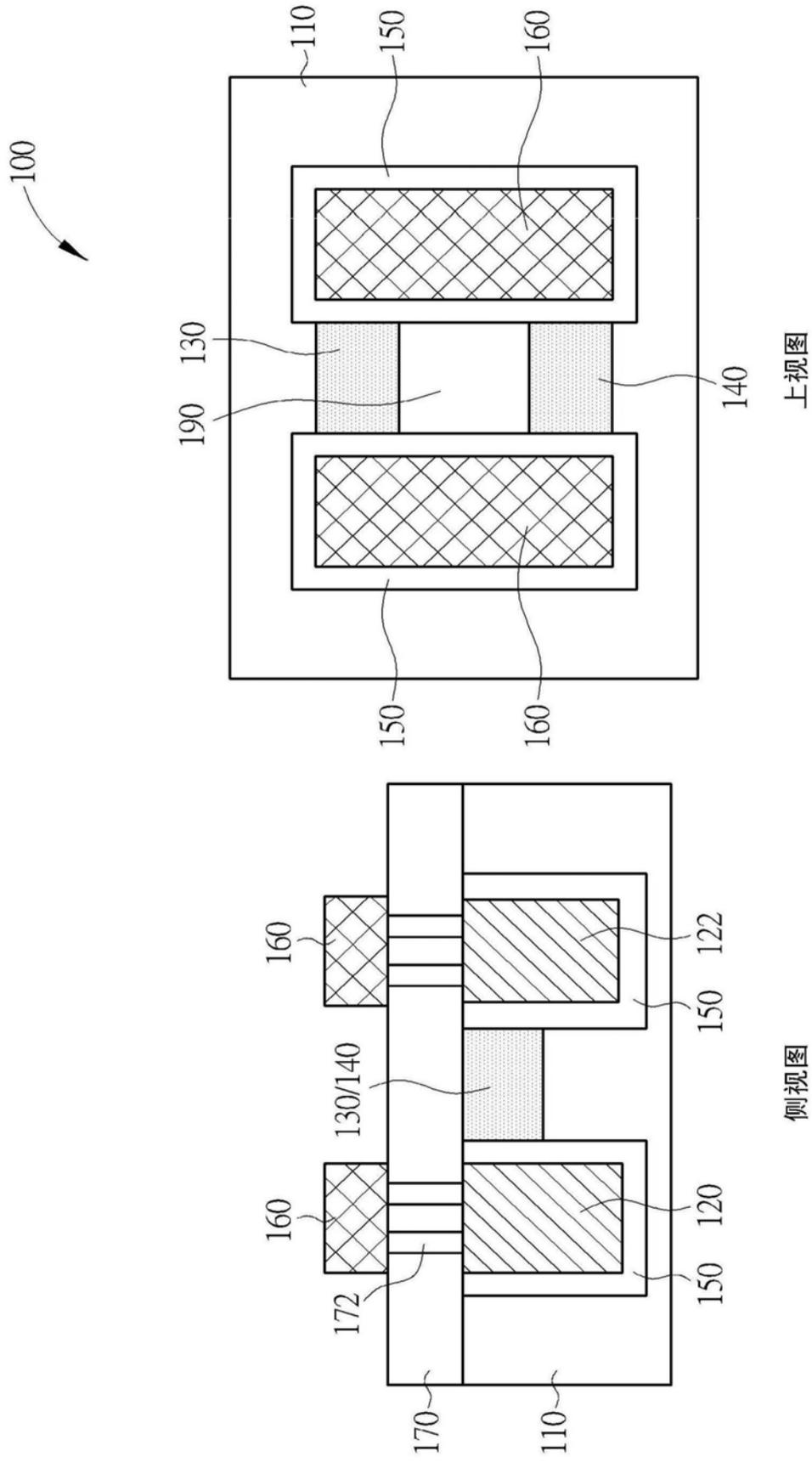


图1

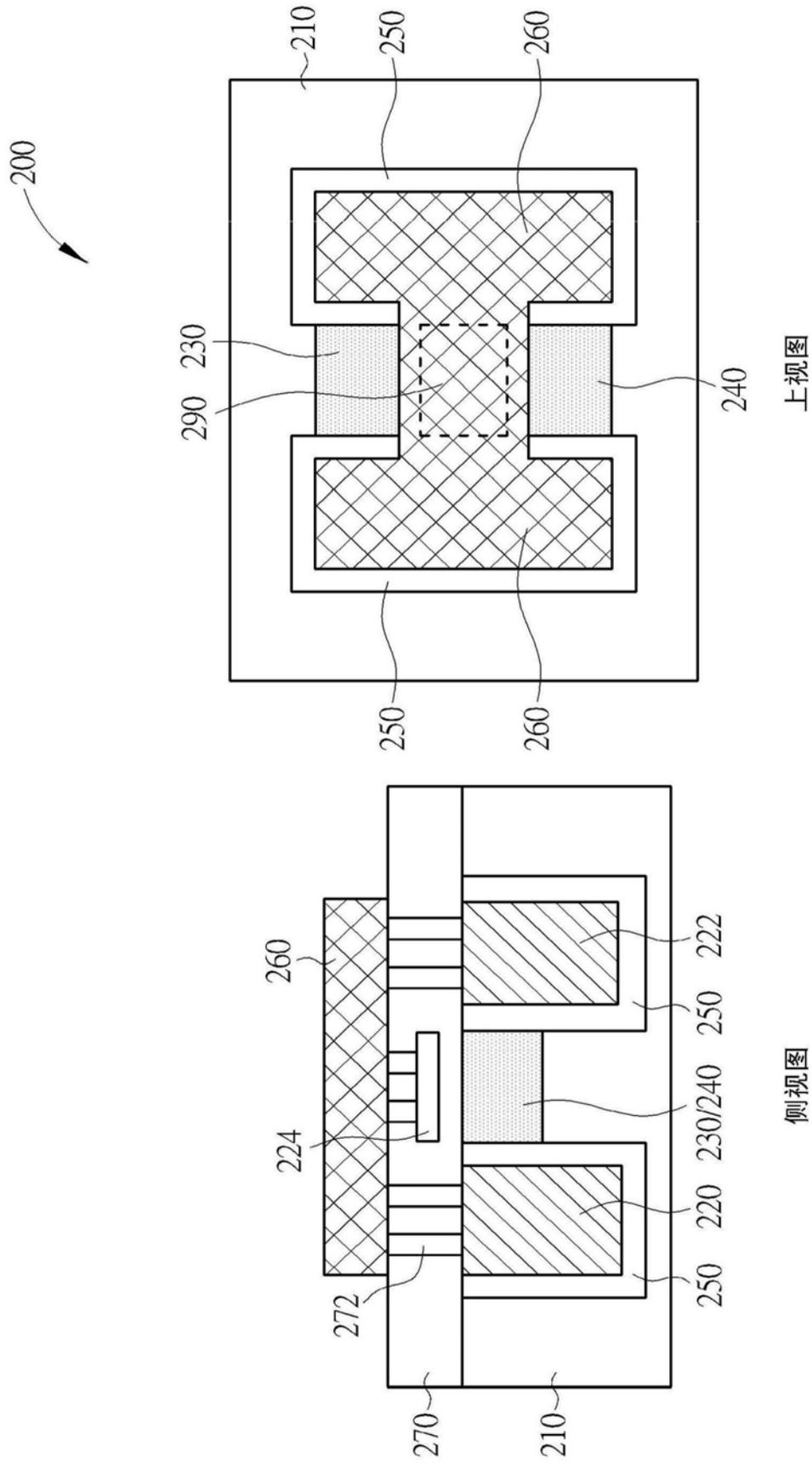


图2

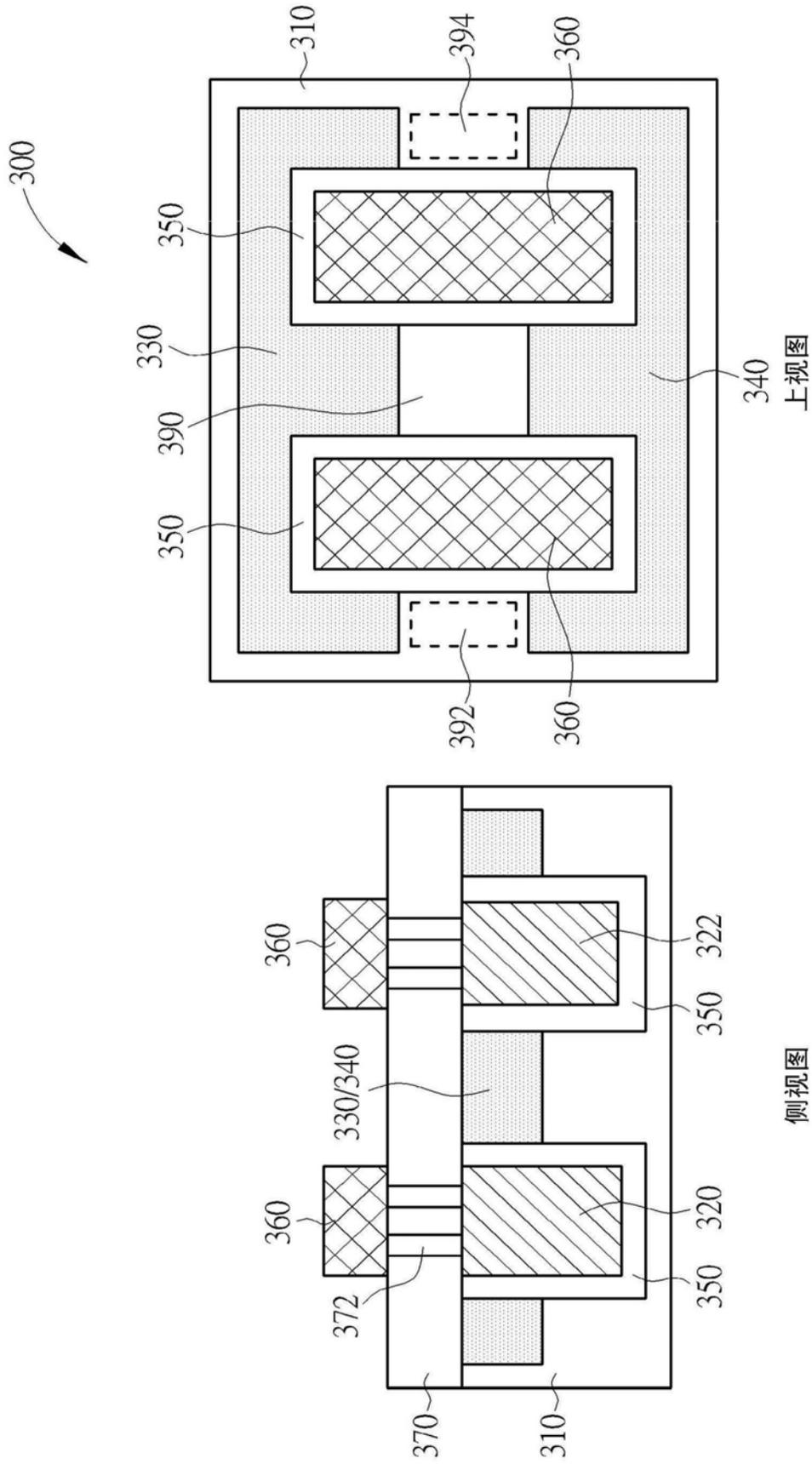


图3

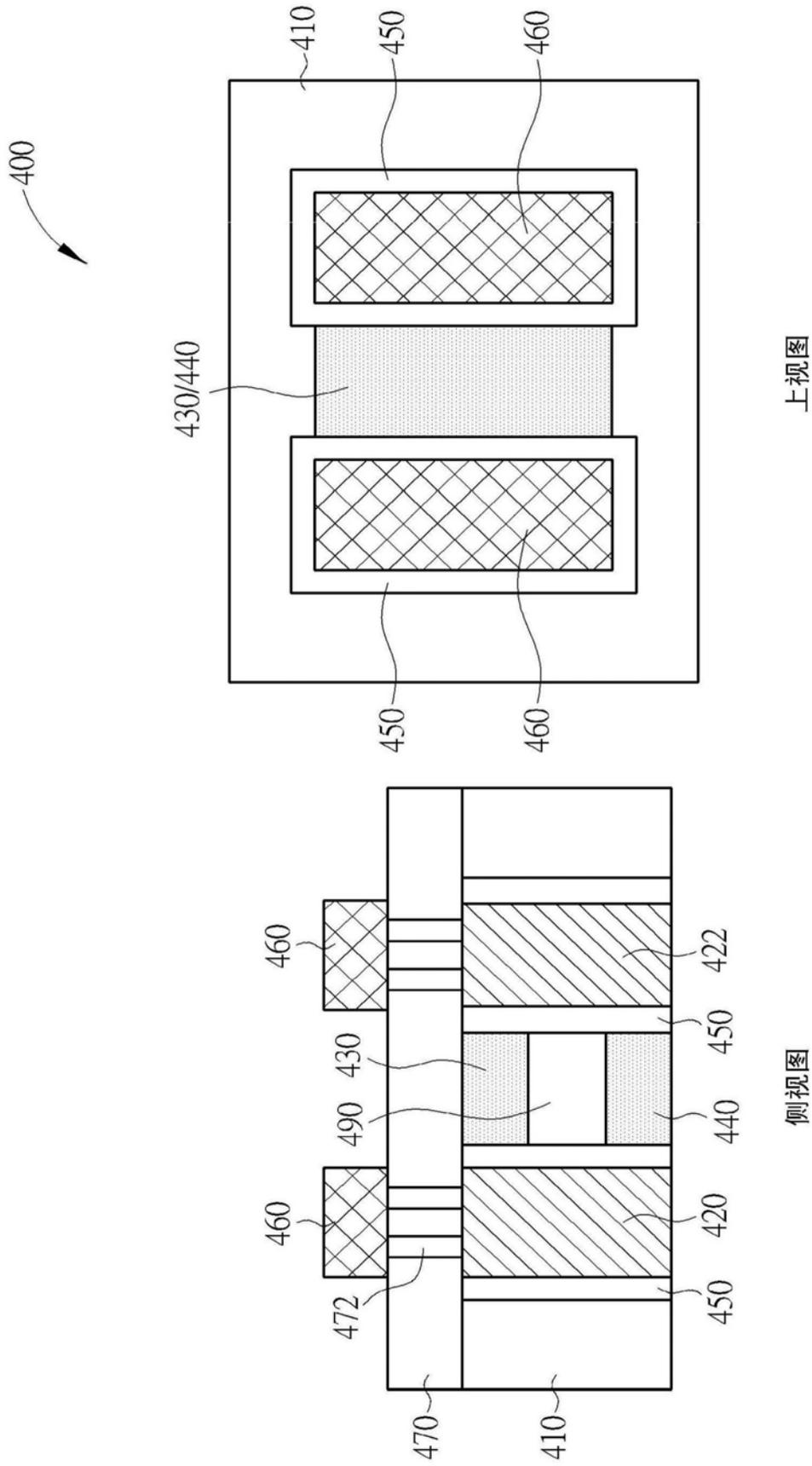


图4

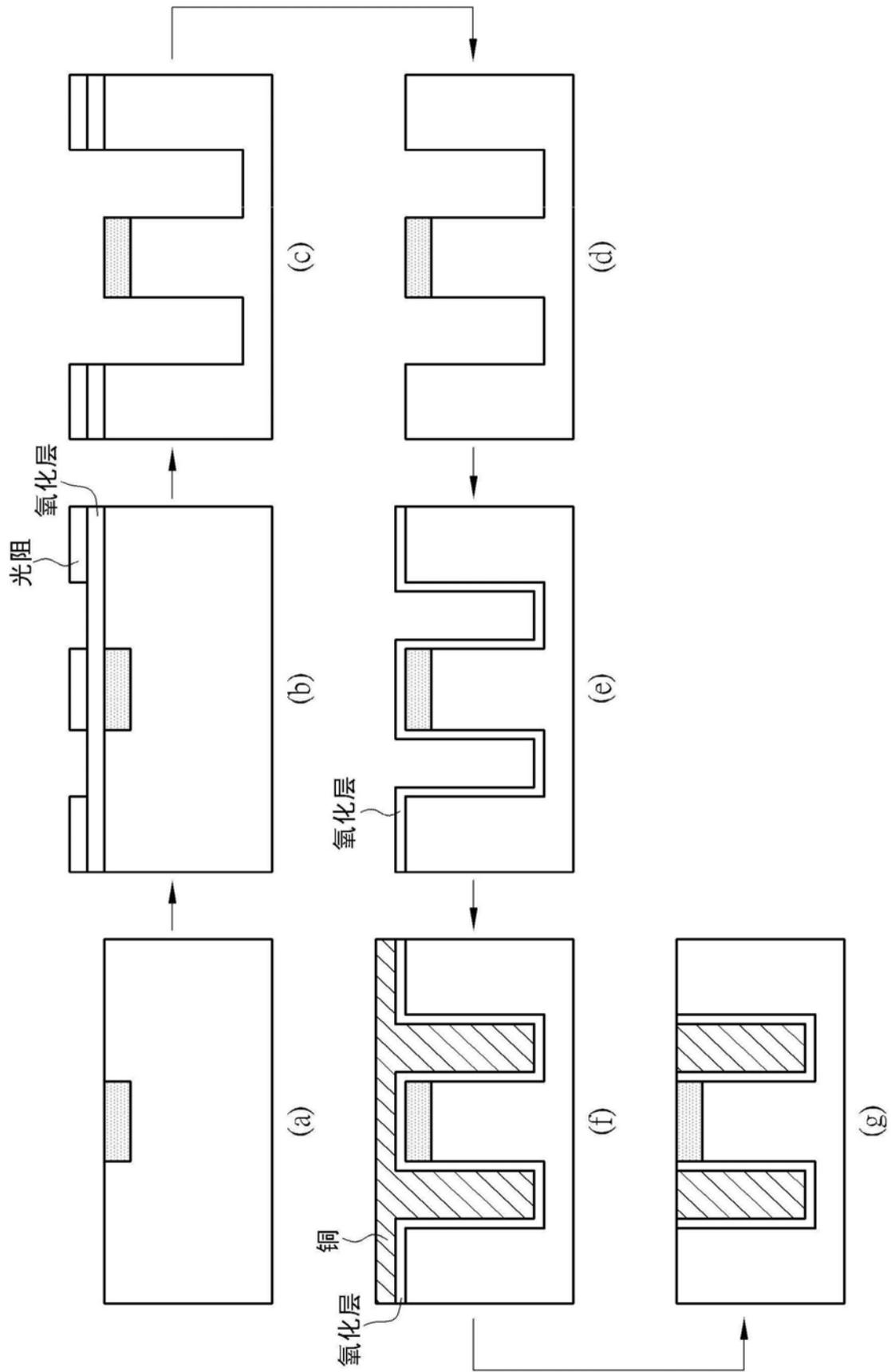


图5