

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4865986号
(P4865986)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 611H
	G09G 3/20 631K
	G09G 3/20 631R
	G09G 3/20 631V
請求項の数 3 (全 11 頁) 最終頁に続く	

(21) 出願番号 特願2003-76422 (P2003-76422)
 (22) 出願日 平成15年3月19日 (2003.3.19)
 (65) 公開番号 特開2004-264793 (P2004-264793A)
 (43) 公開日 平成16年9月24日 (2004.9.24)
 審査請求日 平成18年2月22日 (2006.2.22)
 (31) 優先権主張番号 特願2003-5054 (P2003-5054)
 (32) 優先日 平成15年1月10日 (2003.1.10)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 510048417
 グローバル・オーエーディー・テクノロジー・リミテッド・ライアビリティー・カンパニー
 GLOBAL OLED TECHNOLOGY LLC.
 アメリカ合衆国、バージニア州、ハーンドン、パーク・センター・ロード 13873、スイート 330
 13873 Park Center Road, Suite 330, Herndon, VA 20171, United States of America

最終頁に続く

(54) 【発明の名称】 有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

有機EL素子を含む表示画素をマトリクス配置する有機EL表示装置において、
 表示する画素位置のデータを入力することでその画素の輝度補正データを出力する関数であり表示画素がマトリクス配置された表示エリア全体における駆動TFITのVthのばらつきに基づく各画素の輝度の不均一性の傾向を示す画素位置に対する輝度補正データの面を規定する補正值算出式、またはその補正值算出式の係数を記憶する補正值算出式記憶部と、

各画素の位置についてのデータの入力を受け、前記補正值算出式記憶部に記憶されている補正值算出式またはその係数を用いて、各画素の補正值を出力する補正值出力部と、
 を含み、

画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行う有機EL表示装置。

【請求項2】

請求項1に記載の有機EL表示装置において、
 表示画素がマトリクス配置された表示エリア内の所定の複数の小エリアにおける表示画素の有機EL素子を選択的に発光させる発光制御手段と、

選択して発光させた際の各小エリア毎の駆動電流を検出する電流検出手段と、

検出した各小エリア毎の駆動電流に基づいて、表示エリア全体における各画素の輝度の不均一性の傾向を予測し、この予測された輝度の不均一性の傾向に基づいて前記補正值算

出式またはその係数を求める補正值算出式算出手段と、
をさらに有し、

前記補正值算出式算出手段において算出された補正值算出式またはその係数を前記補正值算出式記憶部に記憶させる有機EL表示装置。

【請求項3】

請求項1または2に記載の有機EL表示装置において、

前記補正值算出式は、表示画素のマトリクス of 行方向および列方向の両方について輝度補正值が直線的に変化する式である有機EL表示装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、有機EL素子をマトリクス状に配列して形成した有機EL表示装置、特に表示における不均一性の補正に関する。

【0002】

【従来の技術】

図1に、アクティブ型の有機EL表示装置における1画素分の回路（画素回路）の構成例を示す。ソースが電源ラインP V d dに接続されたPチャンネルの駆動T F T 1のドレインが有機EL素子3のアノードに接続され、有機EL素子3のカソードが陰極電源C Vに接続されている。駆動T F T 1のゲートには、Nチャンネルの選択T F T 2のソースが接続されており、この選択T F T 2のドレインはデータラインD a t aに接続され、ゲートはゲートラインG a t eに接続されている。また、駆動T F T 1のゲートには、保持容量Cの一端が接続されており、他端は容量電源ラインV s cに接続されている。

20

【0003】

従って、水平方向に伸びるゲートラインをHレベルにして、選択T F T 2をオンし、その状態で垂直方向に伸びるデータラインD a t aに表示輝度に応じた電圧を有するデータ信号をのせることで、データ信号が保持容量Cに蓄積される。これによって、駆動T F T 1がデータ信号に応じた駆動電流を有機EL素子3に供給して、有機EL素子3が発光する。

【0004】

ここで、O L E D素子の発光量と電流はほぼ比例関係にある。通常、駆動T F T 1のゲート - P V d d間には画像の黒レベル付近でドレイン電流が流れ始めるような電圧（V t h）を与える。また、画像信号の振幅としては、白レベル付近で所定の輝度となるような振幅を与える。

30

【0005】

図2は駆動T F T 1のゲートソース間電圧V g s（データラインD a t aの電圧と電源P V d dの差）に対する有機EL素子3に流れる電流i c v（輝度に対応する）の関係を示している。そして、黒レベル電圧として、V t hを与え、白レベル電圧として、V aを与えるように、データ信号を決定することで、有機EL素子3における適切な階調制御を行うことができる。

【0006】

40

ここで、有機EL表示装置は、マトリクス状の多数の画素を配列した表示パネルで構成される。このため、製造上の問題で画素ごとにV t hがばらつき、1枚の表示パネル上でも最適な黒レベルが画素ごとにばらつくことがある。その結果、データ信号（入力電圧）に対する発光量が画素ごとに不均一となり、輝度ムラが発生する。このV t hのばらつきは、画素ごとにバラバラに変化する場合は少なく、表示画面の全体にわたって緩やかに変化する場合がある。この場合、全画素に同じ電圧を入力しても、図3の様に輝度が緩やかに変化する。すなわち、この例では、x方向では、右側ほど暗く、y方向では下側ほど暗い。従って、右下が暗く、左上が明るい画像になっている。

【0007】

また、水平または垂直のライン毎の不均一が顕著である場合は、それぞれの方向の筋とな

50

ってあらわれる。

【0008】

各画素の輝度を測定し、メモリに記憶した補正データに従ってすべての画素について補正を行うことも提案されている（特許文献1）。

【0009】

【特許文献1】

特開平11-282420号公報

【0010】

【発明が解決しようとする課題】

しかし、この特許文献1の手法では、画素数が多い表示パネルでは輝度測定が容易でなく、またメモリの容量も多く必要となるという問題がある。また、画素の輝度を短時間に精度よく測定するのは一般的に困難である。

【0011】

本発明は、輝度補正を効率的に行うことを目的とする。

【0012】

【課題を解決するための手段】

本発明では、有機EL素子を含む表示画素をマトリクス配置する有機EL表示装置において、表示する画素位置のデータを入力することでその画素の輝度補正データを出力する関数であり表示画素がマトリクス配置された表示エリア全体における駆動TFTのV_{th}のばらつきに基づく各画素の輝度の不均一性の傾向を示す画素位置に対する輝度補正データの面を規定する補正值算出式、またはその補正值算出式の係数を記憶する補正值算出式記憶部と、各画素の位置についてのデータの受け、前記補正值算出式記憶部に記憶されている補正值算出式またはその係数を用いて、各画素の補正值を出力する補正值出力部と、を含み、画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行う。

【0013】

補正值算出式またはその係数を記憶しているため、これを用いて画素データを補正することができる。画素ごとに補正データを記憶する場合に比べデータ量を削減することができる。

【0014】

また、表示画素がマトリクス配置された表示エリア内の所定の複数の小エリアにおける表示画素の有機EL素子を選択的に発光させる発光制御手段と、選択して発光させた際の各小エリア毎の駆動電流を検出する電流検出手段と、検出した各小エリア毎の駆動電流に基づいて、表示エリア全体における各画素の輝度の不均一性の傾向を予測し、この予測された輝度の不均一性の傾向に基づいて前記補正值算出式またはその係数を求める補正值算出式算出手段と、をさらに有し、補正值算出手段において算出された補正值算出式またはその係数を前記補正值算出式記憶部に記憶させることが好適である。

【0015】

また、前記補正值算出式は、表示画素のマトリクスの行方向および列方向の両方について輝度補正值が直線的に変化する式であることが好適である。

【0023】

上述のように、補正值算出式や補正值を設定するための回路も、装置内に内蔵することによって、実際に使用する段階で補正值算出式や補正值を装置毎に個別に設定することができる。

【0024】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【0025】

表示パネルは、通常ガラス基板上に形成され、表示エリアには画素回路がマトリクス状に配置され、その周辺に駆動回路が配置される。画素回路は、例えばガラス基板上にTFT

10

20

30

40

50

や配線などを通常の半導体集積回路を構成する手法で構成し、その後ITOなどの画素電極を形成し、その上に有機層、陰極を積層形成することで作成する。

【0026】

このようにして、表示パネルが製作された場合には、電源を接続するとともに有機EL素子に流れるトータルの電流 I_{cv} を計測する。すなわち、図4に示すように、表示パネル10の各電源ライン PV_{dd} に電源電圧 PV_{dd} を供給し、全有機EL素子に共通のカソードから電源 C_V 流れる合計電流 I_{cv} を電流検出器12によって検出し、得られた検出結果により、次のようにして補正值算出式を作成する。

【0027】

i) まず、表示パネル10の全画素に同じ電圧がかかる様な信号を用い、その電圧を変化させながら C_V 電流を測定する。各画素の平均電流(i_{cv})はこの C_V 電流を全画素数で割った値となるので、入力電圧対平均画素電流 i_{cv} の関係をプロットする。これによって、図5の(a)に示すような関係が得られる。なお、表示パネル10の全画素ではなく、代表的な1つの小エリア(例えば、図4の[5]の部分)内の全画素に同じ電圧が係る様な信号を用い、その電圧を変化しながら C_V 電流を測定して、図5(a)に示すような関係を得てもよい。

10

【0028】

ii) 次に、図4の[1]の部分(小エリア)だけに V_a の電圧がかかる様な信号を用い、そのときの C_V 電流 I_{cv} を測定し、この値をその小エリアの画素数でわり算して、その小エリアの平均画素電流(i_{cv})を求める。

20

【0029】

iii) 上記i)のカーブの形は基本的にどの画素についてもほぼ同じであると仮定すれば[1]の部分の平均的な i_{cv} 特性は図5の(b)の様になり、 V_{th} は図に示すように推測される。すなわち、表示パネル全体の特性が(a)であれば、平均画素電流 i_{cv} は、入力電圧 V_{a0} に対応する。しかし、小エリア[1]の測定では、入力電圧 V_{a1} が平均画素電流 i_{cv} に対応しており、 $V_{th} = V_{a1} - V_{a0}$ の差がある。そこで、特性(b)を特性(a)を V_{th} だけ左側に平行移動したものと推定する。

【0030】

iv) 図4における[2]~[9]の小エリアにおける V_{th} を同様に求める。

【0031】

v) このようにして求められた9つの V_{th} の結果をもとに、以下のような V_{th} の変化を近似する平面の式を算出する。

30

【0032】

【数1】

$$V_{th} = ax + by + c$$

ただし、 a, b, c は算出された係数、 x, y はそれぞれ水平方向及び垂直方向の画素の位置を示す。

【0033】

このようにして求めた平面の式(補正值算出式)が得られたため、その補正值算出式、あるいはその係数 a, b, c を装置内の不揮発性メモリ(例えば、フラッシュメモリ)に記憶する。なお、係数 a, b, c を記憶した場合には、この係数を読み出し、これをプログラム中の式に代入して補正值算出式を得る。

40

【0034】

そして、表示を行う際にこの補正值算出式にしたがって入力信号の黒レベルを変化させる。図6は補正回路のブロック図の一例である。

【0035】

表示パネル10は、RGBの各色ごとの画素を有しており、表示用のデータ信号は、RGBの各色ごとに別に入力されてくる。例えば、画素は垂直方向に同一色のものを配置することで、各データラインにはRGBのいずれかのデータ信号が供給され、各色ごとの表示が行える。なお、RGBの各信号は、それぞれ8ビットの輝度信号である。

50

【 0 0 3 6 】

R信号はルックアップテーブルLUT20R、G信号はルックアップテーブルLUT20G、B信号はルックアップテーブルLUT20Bに供給される。このルックアップテーブルLUT20R、20G、20Bには、図5における特性(a)を考慮し、画像データに対する輝度(電流)のカーブを所望のカーブとなるようにガンマ補正するテーブルデータが記憶されている。なお、ルックアップテーブルに代えて、特性式を記憶しておき、演算によって入力電圧を変換してもよい。なお、ルックアップテーブルLUT20R、20G、20Bの出力は、それぞれ10ビットのビット幅に広げられている。なお、ルックアップテーブルLUT20R、20G、20Bには、入力データに同期したクロックが供給されており、ルックアップテーブルLUT20R、20G、20Bからの出力も、このクロックに同期したものになっている。

10

【 0 0 3 7 】

ルックアップテーブルLUT20R、20G、20Bの出力は、加算器22R、22G、22Bに供給される。この加算器22R、22G、22Bには、補正用オフセット発生回路24からの補正値がそれぞれ供給されている。

【 0 0 3 8 】

この補正用オフセット発生回路24は、上述した補正値算出式 $V_{th} = ax + by + c$ (または係数 a, b, c) を記憶している。そして、供給されるクロックに応じて、データ信号の画素位置 x, y を認識し、これに対応した V_{th} を出力する。ここで、 V_{th} は、RGBごとに別に発生できるようにしてもよいし、RGBについて共通にしてもよい。

20

【 0 0 3 9 】

そして、この補正値 V_{th} が加算器22R、22G、22Bにそれぞれ供給され、ここで加算される。これによって、ルックアップテーブルLUT20R、20G、20Bから出力された、全画素から得た図5の特性(a)を考慮したガンマ補正後の画像データが表示画素位置に応じた特性(例えば特性(b)を考慮したガンマ補正後の画像データ)に変換される。この補正は、黒レベルをシフトさせたものに対応している。なお、補正用オフセット発生回路24からの出力補正値は10ビットであり、加算器22R、22G、22Bのビット幅は10ビットになっている。

【 0 0 4 0 】

加算器22R、22G、22Bの出力は、D/A変換器26R、26G、26Bに供給され、ここでアナログ信号に変換され、表示パネル10の各色ごとの入力端子 R_{in}, G_{in}, B_{in} に供給される。そこで、これら各色ごとに画素位置に応じて補正されたデータ信号がデータライン $Data$ に供給され、各画素において、EL素子がデータ信号に応じた電流で駆動される。

30

【 0 0 4 1 】

このように、本実施形態によれば、補正用オフセット発生回路24が、この補正値算出式に従って各画素の位置に於ける補正データを出力する。このため、全画素の補正データを記憶しておく必要はなく、大きなメモリは必要としない。なお、本実施形態においては、補正値算出式またはその係数はメモリ24aに記憶される。このメモリ24aは、上述のように、フラッシュメモリや、EEPROMなどの書き換え可能不揮発性メモリであることが好適である。

40

【 0 0 4 2 】

そして、製造上の問題によりOLED表示素子に発生する輝度不均一性を、簡単な測定と、比較的簡単な外部回路により補正することができる。

【 0 0 4 3 】

このように、本実施形態では、画素ごとの輝度を測定する代わりに、小エリア(小エリアは、所定範囲の複数画素でもよいが、1画素でもよい)の画素を発光させた時のCV電流を検出することによって、小エリア画素の平均の V_{th} をもとめる。そして、この測定結果に基づいて、補正値を算出するための近似式(補正値算出式)を求め、これを記憶して

50

おき、この補正值算出式に従ってデータ信号の補正を行う。すなわち、各画素の補正值をすべてメモリに記憶させておくのではなく、有機EL表示装置において、表示面のいくつかの部分の輝度または電流を測定し、不均一性を表す近似的な曲面または平面を算出する。

【0044】

そして、この曲面または平面の式あるいはその係数を装置内の不揮発性メモリに保持し、表示を行う際にこの計算式を用いて入力信号を補正する。これによって、画面全体における表示の不均一を効果的に補正することができる。

【0045】

また、画面上の表示のムラとして、水平または垂直ライン毎のムラがある。この場合、画面上に水平または垂直方向の筋が現れる。

【0046】

本実施形態においては、このような水平垂直方向のムラに対し、1ラインまたは数ラインを1つの小エリアに設定し、この小エリア毎のCV電流を計測し、補正值を1または複数ライン毎に記憶する。

【0047】

このための回路構成は、上述の実施形態と全く同一でよく、補正用オフセット発生回路24が、供給されるラインナンバーに応じて、対応したオフセット値 V_{th} を発生し、これが加算器22R、22G、22Bにおいて加算され、特性全体がシフトされ補正が行われる。

【0048】

ここで、水平ライン毎に規則正しく並んだムラの補正の手順について、説明する。

【0049】

i) 表示パネルの全画素に同じ電圧がかかるような信号を用い、その電圧とCV電流との関係を測定する。各画素の平均電流 (i_{cv}) はこのCV電流を全画素数で割った値となるので、入力電圧対 i_{cv} の関係をプロットする。すなわち、図5の特性(a)のデータを得る。なお、表示パネル10の全画素ではなく、代表的な1つのラインや上述の1つの小エリア(例えば、中央の1ラインや中央の小エリア)内の全画素に同じ電圧に係る様な信号を用い、その電圧を変化しながらCV電流を測定して、図5(a)に示すような関係を得てもよい。

【0050】

ii) 特定の1ラインまたは数ラインに V_{a0} の電圧がかかる様な信号を用い、そのときのCV電流 (I_{cv}) を測定し、各画素の平均電流 (i_{cv}) をもとめる。

【0051】

iii) 上記i)のカーブの形は基本的にどの画素についてもほぼ同じであると仮定し、 V_{th} を図5のようにして求める。すなわち、特定の平均CV電流 i_{cv} に対応する入力電圧値と、その i_{cv} に対応する特性(a)における入力電圧の差から V_{th} を求める。

【0052】

iv) 残りの表示部分に於ける V_{th} も同様に求める。

【0053】

v) 上記の結果をもとに、各ライン、または各数ラインごとの平均の V_{th} を求め、これを表示装置のメモリに記憶する。

【0054】

そして、画像を表示する際に、画素のライン位置に応じて対応する V_{th} をメモリから読み出し入力信号を補正する。なお、この補正は、画像信号のオフセットを行っており、黒レベルのシフトに対応している。

【0055】

装置構成としては、図6に示すものをそのまま用いることができ、補正用オフセット発生回路24に、ライン位置と補正值の関係が記憶されており、入力画像信号の画素位置に

10

20

30

40

50

じて、そのライン位置の補正值 V_{th} が出力されこれが加算器 22R、22G、22B で加算されることになる。

【0056】

このように、本実施形態においても、1または数ラインごとの補正データを記憶すればよいため、すべての画素についての補正データを記憶するのに比べ、メモリの容量を小さくできる。また、データの作成には駆動電流の計測を利用するため、輝度の測定に比べ、その作業が容易となる。

【0057】

なお、垂直方向に規則正しく並んだムラに関しても同様に補正できる。

【0058】

また、図7には、上述のような補正を行う回路を製品自体に組み込んだ構成例を示してある。この構成において、表示パネル10は、図4と同様に、正側が電源PVDDに接続され、負側が低電圧電源CVに接続され、表示パネル10と低電圧電源CVとの間に電流検出器12が配置されている。

【0059】

そして、電流検出器12の検出値は、A/D変換器40によりデジタルデータに変換された後、CPU42に供給される。このCPU42は、有機EL表示装置の各種動作を制御するマイコンであり、必要なデータを適宜記憶するメモリ44が接続され、上述の実施形態において説明した電流検出器12の検出値に応じたオフセット制御のための処理も行う。

【0060】

次に、図における電流検出器12の構成について説明する。表示パネル10の負側は、スイッチ50に入力される。このスイッチ50は、1つの出力側端子dが低電圧電源CVに接続されており、他の3つの入力側端子a, b, cの内の1つが選択的に電源CVに接続される。このスイッチ50の切り替えはCPU42によって制御される。表示パネル10の負側は、3つの入力端子a, b, cに接続されるが、aはそのまま、bは抵抗R1を介し、cは抵抗R2を介し、スイッチ50の入力端子に接続されている。

【0061】

そして、CPU42は、通常時は入力端子a、補正のための処理を行う場合であって小エリアの発光時には入力端子b、水平または垂直の1ラインの発光の際には入力端子cを選択する。これによって、通常時には、電流検出器12における電圧降下をほぼ0とすることができる。また、小エリアの有機EL素子数は1ラインの有機EL素子数に比べ多いため、抵抗R2を抵抗R1に比べて抵抗値の大きなものにする事で、入力端子b, cが選択された際に、これら抵抗R1, R2の上側の電圧を同様の値に設定することができる。

【0062】

抵抗R1, R2の上側(表示パネル10との接続側)は、抵抗R3を介しオペアンプOPの負入力端に接続されている。また、このオペアンプOPの正入力端は、抵抗R4を介し低電圧電源CVに接続されると共に、抵抗R5を介しグランドに接続されている。従って、オペアンプOPの正入力端子は、グランドと、CV電圧および抵抗R4, R5によって決定される電圧に維持される。また、オペアンプOPの負入力端子、出力端子間は、帰還抵抗R6によって接続されている。このため、オペアンプOPは、正入力端の電圧を基準として、抵抗R1, R2の上側電圧を抵抗R3, R6によって決定される増幅率で増幅した出力をする。

【0063】

オペアンプOPの出力端は抵抗R7の一端に接続され、この抵抗R7の他端はA/D変換器40に接続されるとともに、コンデンサCを介しグランドに接続されている。従って、オペアンプOPの出力は、抵抗R7およびコンデンサCよりなる積分回路によって、平滑化され、平滑された電圧がA/D変換器40に入力される。

【0064】

このようにして、本実施形態では、表示パネル10における電流値がCPU42に取り込

10

20

30

40

50

まれる。

【0065】

そして、CPU42は、適宜のタイミングでスイッチ50を操作して、表示パネル10に流れる電流量を検出する。例えば、電源投入時や、製品の使用開始時、リセット時などに、CPU42は電流検出動作を行う。すなわち、スイッチ50により入力端子bを選択し、この状態で小エリア毎の所定の発光を順次行い、各小エリア発光の際のパネル電流量を検出し、この電流量の状態に応じて、補正用オフセット量を発生するための補正值算出式またはその係数を算出し、これを補正用オフセット発生回路24に供給し、メモリ24aに記憶させる。また、スイッチ50において、入力端子cを選択した状態で、各ライン毎の発光時におけるパネル電流量を計測する。

10

【0066】

このようにして、補正值算出式を算出するためのデータが得られるため、CPU42は、これらデータに基づき、表示パネル10における表示の状態を認識し、これに応じた補正值算出式またはその係数または補正值を算出し、これをメモリ24aに記憶させる。従って、上述の実施形態と同様に、適切な補正を行うことができる。なお、通常使用時には、上述のように、スイッチ50において、入力端子aを選択しておくことで、何ら問題は生じない。

【0067】

このように、図7の実施形態によれば、補正用オフセット量検出のための構成が製品中に設けられている。そこで、製品の実際の使用時において、補正值算出式や補正值などを適宜決定し、記憶することができる。このような設定を適宜行うことで使用状況の変化や、経年的な変化に対応することも可能である。

20

【0068】

さらに、次のような変形も可能である。

【0069】

(i) 上述の例では平面の式を用いたが、曲面の式を用いてもよい。例えば、 x 、 y を変数とする高次の多項式とすることができる。

【0070】

(ii) V_{th} に関しては、CV電流が流れ始める点の入力電圧を V_{th} とみなして測定することもできる。

30

【0071】

(iii) CV電流を測定して輝度不均一性を予測するかわりに実際に輝度を測定しても良い。

【0072】

【発明の効果】

以上説明したように、本発明によれば、補正值算出式またはその係数を記憶し、これを用いて画素データを補正するため、画素ごとに補正データを記憶するのに比べデータ量を削減することができる。

【0073】

また、ラインについての補正データを記憶するため、画素ごとにすべての補正データを記憶するのに比べ、その記憶容量を少なくできる。

40

【0074】

また、小エリアごとの駆動電流により、画面全体のばらつきの傾向を求めることができ、その作業が容易である。

【図面の簡単な説明】

【図1】 アクティブ型の有機EL表示装置における画素回路の構成例を示す図である。

【図2】 駆動TFTのゲートソース間電圧 V_{gs} に対する輝度及び有機EL素子に流れる電流 i_{cv} の関係を示す図である。

【図3】 輝度が緩やかに変化する画面表示例を示す図である。

【図4】 エリア毎の電流検出を説明する図である。

50

【図5】 駆動TFTのゲートソース間電圧Vgsに対する輝度及び有機EL素子に流れる電流icvの関係の変化を示す図である。

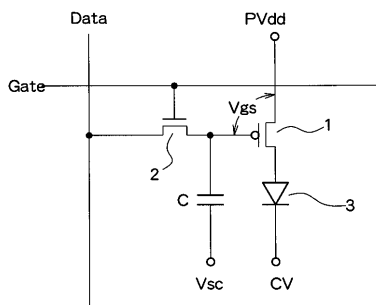
【図6】 補正回路の構成例を示すブロック図である。

【図7】 補正算出式や補正值などを算出するための構成を含むEL表示装置の構成を示すブロック図である。

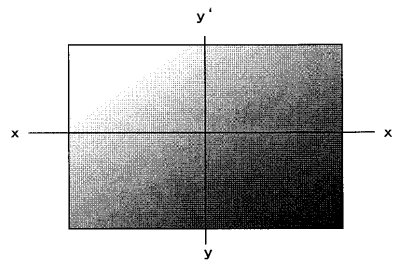
【符号の説明】

- 1 駆動TFT、2 選択TFT、3 有機EL素子、10 表示パネル、12 電流検出器、20R, 20G, 20B ルックアップテーブル、22R, 22G, 22B 加算器、24 補正用オフセット発生回路、24a, 44 メモリ、26R, 26G, 26B D/A変換器、40 A/D変換器、42 CPU、50 スイッチ。

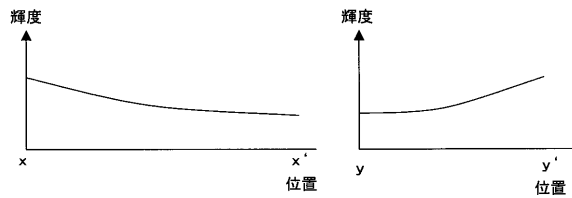
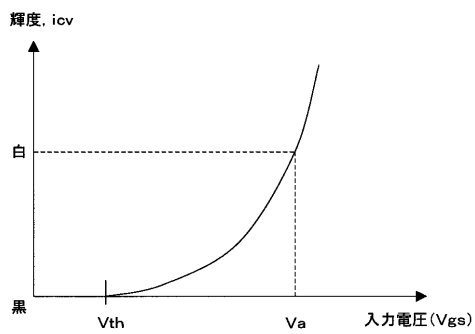
【図1】



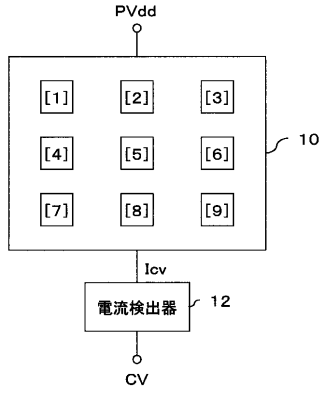
【図3】



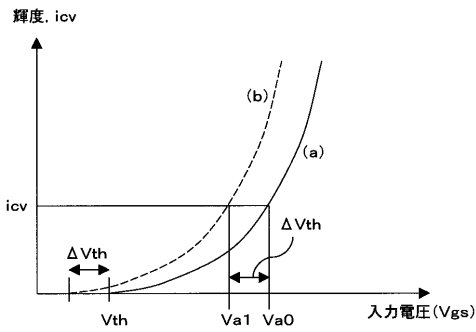
【図2】



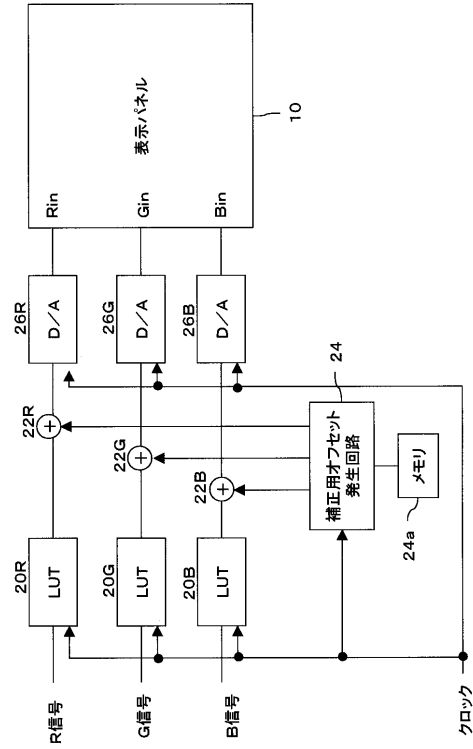
【図4】



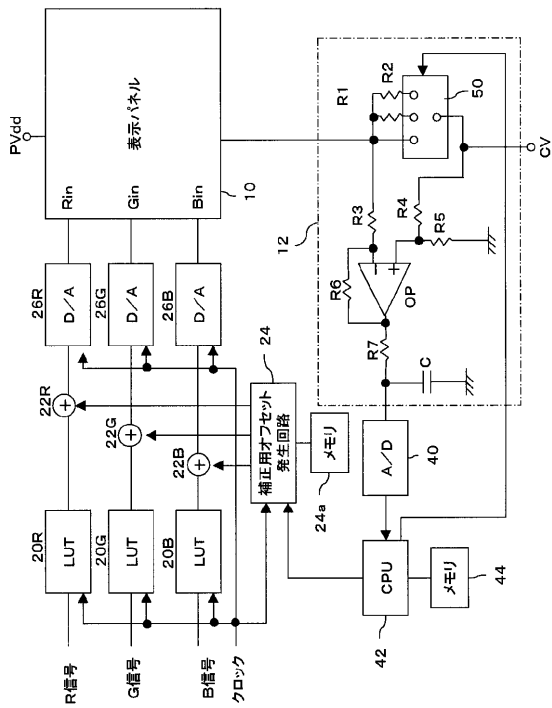
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 P

- (74)代理人 100110423
弁理士 曾我 道治
- (74)代理人 100111648
弁理士 梶並 順
- (74)代理人 100147566
弁理士 上田 俊一
- (72)発明者 水越 誠一
東京都中央区日本橋小網町6番1号 コダック株式会社内
- (72)発明者 森 信幸
東京都中央区日本橋小網町6番1号 コダック株式会社内
- (72)発明者 小野村 高一
東京都中央区日本橋小網町6番1号 コダック株式会社内
- (72)発明者 河野 誠
東京都中央区日本橋小網町6番1号 コダック株式会社内

審査官 小川 浩史

- (56)参考文献 特開2003-280590(JP,A)
特開2002-221937(JP,A)
特開2001-343954(JP,A)
特開2001-350442(JP,A)
特開平11-219146(JP,A)
特開2002-116728(JP,A)
特開2003-195798(JP,A)
特開2003-195813(JP,A)
特開2004-78163(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/20-3/38