

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5307796号  
(P5307796)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int.Cl.

F I

G 0 6 F 1 5 / 1 7 ( 2 0 0 6 . 0 1 )

G 0 6 F 1 5 / 1 7 6 3 0 A

請求項の数 26 (全 52 頁)

(21) 出願番号 特願2010-503778 (P2010-503778)  
 (86) (22) 出願日 平成21年3月18日(2009.3.18)  
 (86) 国際出願番号 PCT/JP2009/001205  
 (87) 国際公開番号 W02009/116279  
 (87) 国際公開日 平成21年9月24日(2009.9.24)  
 審査請求日 平成24年1月25日(2012.1.25)  
 (31) 優先権主張番号 特願2008-70998 (P2008-70998)  
 (32) 優先日 平成20年3月19日(2008.3.19)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100090446  
 弁理士 中島 司朗  
 (74) 代理人 100125597  
 弁理士 小林 国人  
 (74) 代理人 100146798  
 弁理士 川畑 孝二  
 (74) 代理人 100121027  
 弁理士 木村 公一  
 (72) 発明者 持田 哲司  
 大阪府門真市大字門真1006番地 パナ  
 ソニック株式会社内

最終頁に続く

(54) 【発明の名称】 処理装置、処理システム、データ共有処理方法、及びデータ共有処理用集積回路

(57) 【特許請求の範囲】

【請求項1】

1 以上の他の処理装置との間でデータを共有して処理する処理装置であって、  
 処理手段と、  
 前記他の処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段と

、  
 前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力手段と、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させ、否定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させない入力手段とを備える

ことを特徴とする処理装置。

【請求項2】

前記処理装置は、更に

前記共有データ記憶手段に記憶されているデータブロック毎に、ブロック識別情報と、当該データブロックの格納領域を示すアドレス情報とを対応付けて記憶する管理情報記憶手段を備え、

前記出力手段は、

10

20

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が、前記管理情報記憶手段が記憶する各アドレス情報が示す格納領域のいずれかに対する書き込み要求である場合に前記出力を行い、

前記入力手段は、

他の処理装置により出力されたブロック識別情報と一致するブロック識別情報が前記管理情報記憶手段に記憶されている場合に肯定的な判定を行い、当該ブロック識別情報と対応付けられているアドレス情報が示す格納領域に、他の処理装置により出力されたデータを記憶させる

ことを特徴とする請求項 1 記載の処理装置。

【請求項 3】

10

前記管理情報記憶手段は、更に、

前記共有データ記憶手段に記憶されているデータブロックのうち、他の処理装置により更新されるデータブロック毎に、当該データブロックの出力元である他の処理装置の装置識別情報に対応付けて記憶しており、

前記出力手段は、前記出力の際に、更に自装置の装置識別情報を出力し、

前記入力手段は、

他の処理装置により出力された装置識別情報及びブロック識別情報と一致する装置識別情報及びブロック識別情報が前記管理情報記憶手段に対応付けて記憶されている場合にのみ前記肯定的な判定を行う

ことを特徴とする請求項 2 記載の処理装置。

20

【請求項 4】

前記処理装置は、

アクセス要求に基づいて、前記共有データ記憶手段に対するアクセスを行う共有データアクセス手段を備え、

前記出力手段は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求がある毎に、当該アクセス要求を前記共有データアクセス手段に送出し、

前記入力手段は、

肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、他の処理装置により出力されたデータを書き込む旨のアクセス要求を前記共有データアクセス手段に送出し、

30

前記共有データアクセス手段は、

前記入力手段からアクセス要求を受領した場合において、前記出力手段からもアクセス要求を受領したときは、当該出力手段からのアクセス要求よりも先に、当該入力手段からのアクセス要求に基づくアクセスを行う

ことを特徴とする請求項 2 記載の処理装置。

【請求項 5】

前記管理情報記憶手段に記憶されている各情報は、前記処理手段が既定のプログラムを実行することにより更新される

ことを特徴とする請求項 2 記載の処理装置。

40

【請求項 6】

前記処理装置は、更に

バッファメモリと、

アクセス要求に基づいて、前記共有データ記憶手段又は前記バッファメモリに対するアクセスを行うアクセス制御手段とを備え、

前記出力手段は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求がある毎に、当該アクセス要求を前記アクセス制御手段に送出し、

前記入力手段は、

肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられている

50

アドレス情報が示す格納領域に、他の処理装置により出力されたデータを書き込むためのアクセス要求を前記アクセス制御手段に送出し、

前記アクセス制御手段は、

前記入力手段からアクセス要求を受領した場合において、前記出力手段からもアクセス要求を受領したときは、当該入力手段からアクセス要求に基づき、当該アクセス要求に係るデータを前記バッファメモリに記憶させ、当該バッファメモリに記憶されているデータを、アクセス要求を受領していないときに前記共有データ記憶手段に反映させる

ことを特徴とする請求項 1 記載の処理装置。

【請求項 7】

前記アクセス制御手段は、

アクセス要求を受領した場合に、当該アクセス要求に係るデータについての前記共有データ記憶手段上の格納領域が、前記バッファメモリに既に記憶されているデータについての当該共有データ記憶手段上の格納領域と一致するか否かに応じて、前記共有データ記憶手段と前記バッファメモリとのいずれかに対し当該アクセス要求に基づくアクセスを行うことを特徴とする請求項 6 記載の処理装置。

10

【請求項 8】

前記アクセス制御手段は、

受領したアクセス要求に基づく前記バッファメモリへのアクセスが完了した後にも、当該アクセス後のデータを前記共有データ記憶手段に反映させる

ことを特徴とする請求項 7 記載の処理装置。

20

【請求項 9】

前記処理装置は、更に

他の処理装置と共有する必要がない 1 以上のデータブロックを記憶する固有データ記憶手段と、

アクセス要求に基づいて、前記共有データ記憶手段又は前記固有データ記憶手段に対するアクセスを行うデータアクセス手段とを備え、

前記出力手段は、

前記処理手段によるアクセス要求がある毎に、当該アクセス要求を前記データアクセス手段に送出し、

前記入力手段は、

肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、他の処理装置により出力されたデータを書き込むためのアクセス要求を前記データアクセス手段に送出し、

前記データアクセス手段は、

前記共有データ記憶手段と固有データ記憶手段とに対し並行してアクセスすることが可能であり、

30

前記入力手段からアクセス要求を受領した際に、前記出力手段からもアクセス要求を受領した場合において、当該出力手段からのアクセス要求に係るデータの格納領域が、前記固有データ記憶手段上の格納領域であるときは、当該固有データ記憶手段に対し当該アクセス要求に基づくアクセスを行うのと並行して、前記共有データ記憶手段に対し前記入力手段からのアクセス要求に基づくアクセスを行う

ことを特徴とする請求項 1 記載の処理装置。

40

【請求項 10】

前記共有データ記憶手段は、

他の処理装置と共有するデータブロックのうち、自装置のみが更新する 1 以上のデータブロックを記憶する第 1 メモリと、

前記自装置のみが更新する 1 以上のデータブロック以外の他の処理装置と共有する 1 以上のデータブロックを記憶する第 2 メモリとを含み、

前記処理装置は、更に

アクセス要求に基づいて、前記第 1 メモリ又は前記第 2 メモリに対するアクセスを行う

50

メモリアクセス手段とを備え、

前記出力手段は、

前記処理手段によるアクセス要求がある毎に、当該アクセス要求を前記メモリアクセス手段に送出し、

前記入力手段は、

肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを書き込むためのアクセス要求を前記メモリアクセス手段に送出し、

前記メモリアクセス手段は、

前記第1メモリと第2メモリとに対し並行してアクセスすることが可能であり、

前記入力手段からアクセス要求を受領した際に、前記出力手段からもアクセス要求を受領した場合において、当該出力手段からのアクセス要求に係るデータの格納領域が、前記第1メモリ上の格納領域であるときは、当該第1メモリに対し当該アクセス要求に基づくアクセスを行うのと並行して前記第2メモリに対し前記入力手段からのアクセス要求に基づくアクセスを行う

ことを特徴とする請求項1記載の処理装置。

#### 【請求項11】

前記処理装置は、更に

他の処理装置から出力されたデータを記憶するバッファメモリを備え、

前記メモリアクセス手段は、

前記第2メモリ上の格納領域に対するアクセス要求を受領した場合に、当該格納領域が、前記バッファメモリに既に記憶されているデータについての前記第2メモリ上の格納領域と一致するか否かに応じて、前記第2メモリと前記バッファメモリとのいずれかに対し当該アクセス要求に基づくアクセスを行う

ことを特徴とする請求項10記載の処理装置。

#### 【請求項12】

データを共有するために共通バスを介して相互に接続する複数の処理装置を含む処理システムであって、

各処理装置は、

処理手段と、

他の処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段と、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが記憶されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを前記共通バスに出力する出力手段と、

他の処理装置により前記共通バスに出力されたブロック識別情報に基づいて、当該他の処理装置により当該共通バスに出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合に当該データを前記共有データ記憶手段に記憶させる入力手段とを備える

ことを特徴とする処理システム。

#### 【請求項13】

各処理装置は、更に

前記共有データ記憶手段に記憶されているデータブロック毎に、当該データブロックの出力元である処理装置の装置識別情報と、ブロック識別情報と、当該データブロックの格納領域を示すアドレス情報とを対応付けて記憶する管理情報記憶手段を備え、

前記出力手段は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が前記管理情報記憶手段が記憶する各アドレス情報が示す格納領域のいずれかに対する書き込み要求である場合に前記出力を行うと共に、当該出力に係るブロック識別情報と対応付けて記憶されている装置識別情報を前記共通バスに出力し、

前記入力手段は、

10

20

30

40

50

他の処理装置により出力された装置識別情報及びブロック識別情報と一致する装置識別情報及びブロック識別情報が前記管理情報記憶手段に対応付けて記憶されている場合に肯定的な判定を行い、当該ブロック識別情報と対応付けられているアドレス情報が示す格納領域に、他の処理装置により出力されたデータを記憶させ、

いずれか一の処理装置における前記処理手段は、既定のプログラムを実行することにより、各管理情報記憶手段に記憶する各情報を生成し、各処理装置に記憶させる

ことを特徴とする請求項 1 2 記載の処理システム。

【請求項 1 4】

前記共通バスと前記複数の処理装置が 1 チップ化されている

ことを特徴とする請求項 1 2 または 1 3 記載の処理システム。

10

【請求項 1 5】

1 以上の他の処理装置との間でデータを共有して処理する処理装置におけるデータ共有処理方法であって、

前記処理装置は、

処理手段と、

他の処理装置と共有する 1 以上のデータブロックを記憶する共有データ記憶手段とを備え、

前記データ共有処理方法は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力ステップと、

20

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させ、否定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させない入力ステップとを含む

ことを特徴とするデータ共有処理方法。

【請求項 1 6】

1 以上の他の処理装置との間でデータを共有して処理するデータ共有処理用集積回路であって、

処理手段と、

30

他の処理装置と共有する 1 以上のデータブロックを記憶する共有データ記憶手段と、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力手段と、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させ、否定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させない入力手段とを備える

ことを特徴とするデータ共有処理用集積回路。

【請求項 1 7】

40

1 以上の他の処理装置との間でデータを共有して処理する処理装置であって、

処理手段と、

前記他の処理装置と共有する 1 以上のデータブロックを記憶する共有データ記憶手段と

、  
前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力手段と、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定する入力判定手段とを備える

50

ことを特徴とする処理装置。

【請求項 18】

1 以上の他の処理装置との間でデータを共有して処理する処理装置であって、  
処理手段と、  
前記他の処理装置と共有する 1 以上のデータブロックを記憶する共有データ記憶手段と

、  
他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定する入力判定手段とを備える

ことを特徴とする処理装置。

10

【請求項 19】

前記入力判定手段で肯定的な判定を行った場合には、前記他の処理装置により出力されたデータを前記共有データ記憶手段に記憶させる入力手段を更に備える

ことを特徴とする請求項 17 または 18 記載の処理装置。

【請求項 20】

前記入力判定手段が判定に用いるブロック識別情報は、自装置の識別情報を含まない  
ことを特徴とする請求項 17 ~ 19 の何れか一項に記載の処理装置。

【請求項 21】

前記入力判定手段における判定基準である入力管理情報を記憶する入力管理情報保持手段と、

20

前記入力管理情報を更新する手段とを更に備える

ことを特徴とする請求項 17 ~ 20 の何れか一項に記載の処理装置。

【請求項 22】

前記出力手段が出力するブロック識別情報は、前記書き込み要求に係るデータが共有されるべき、他の処理装置の識別情報を含まない

ことを特徴とする請求項 17 記載の処理装置。

【請求項 23】

前記書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報に基づいて、当該書き込み要求に係るデータが、他の処理装置と共有されるべきデータか否かを判定する出力判定手段を更に備え、

30

前記出力手段は、前記出力判定手段で肯定的な判定を行った場合には、前記ブロック識別情報と前記書き込み要求に係るデータとを出力する

ことを特徴とする請求項 17 または 22 記載の処理装置。

【請求項 24】

データを共有するために共通バスを介して相互に接続する複数の処理装置を含む処理システムであって

前記複数の処理装置は、それぞれ、

処理手段と、

他の処理装置と共有する 1 以上のデータブロックを記憶する共有データ記憶手段とを備え、

40

前記複数の処理装置のうち少なくとも 1 つの処理装置は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力手段を更に備え、

前記複数の処理装置のうち少なくとも 1 つの処理装置は、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定する入力判定手段を更に備える

ことを特徴とする処理システム。

【請求項 25】

50

1以上の他の処理装置との間でデータを共有して処理する処理装置におけるデータ共有処理方法であって、

前記処理装置は、

処理手段と、

他の処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段とを備え、

前記データ共有処理方法は、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力ステップと、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定する入力判定ステップとを含む

ことを特徴とするデータ共有処理方法。

【請求項26】

1以上の他の処理装置との間でデータを共有して処理するデータ共有処理用集積回路であって、

処理手段と、

他の処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段と、

前記共有データ記憶手段に対する前記処理手段によるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべきデータブロックのブロック識別情報と書き込み要求に係るデータとを出力する出力手段と、

他の処理装置により出力されたブロック識別情報に基づいて、当該他の処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定する入力判定手段とを備える

ことを特徴とするデータ共有処理用集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はマルチプロセッサシステムに関し、特に、プロセッサ間でデータを共有するための技術に関する。

【背景技術】

【0002】

マルチプロセッサシステムにおける複数のプロセッサ間でのデータ共有方法として、1つの共有メモリ上に共有データを格納し、各プロセッサがこの共有メモリにアクセスすることで、データを共有する方法（いわゆる密結合マルチプロセッサシステム）が知られている。

この方法では、各プロセッサが用いる共有データの同一性を保つことが容易であるという利点がある一方で、プロセッサの数が増えるにつれ、共有メモリに対するアクセス競合が発生しやすくなり、システム全体の処理効率が低下してしまうという問題がある。

【0003】

このことは、リアルタイム性が要求される処理、例えば、放送局から送信されたデジタル放送を受信して画像等のデータをデコードし表示等するような処理において特に問題となる。

この問題を解決する方法として、プロセッサ毎に専用メモリを設け、各専用メモリにそれぞれ共有データの複製を格納し、各プロセッサは、自己の専用メモリにアクセスする方法（いわゆる疎結合マルチプロセッサシステム）が知られている（例えば、特許文献1、2）。

【0004】

図30は、疎結合マルチプロセッサシステムでの従来のデータ共有方法を説明するため

10

20

30

40

50

の図である。

同図に示す専用メモリ 3 A はプロセッサ 1 A 用の、専用メモリ 3 B はプロセッサ 1 B 用の、専用メモリ 3 C はプロセッサ 1 C 用のメモリであり、各専用メモリには、共有データの複製を格納するための共有領域が予め確保されている。

【 0 0 0 5 】

メモリ制御装置 4 は、各プロセッサからそれぞれの専用メモリに対するアクセス要求が送出されると、そのアクセス要求が共有領域に対する書き込み要求であるか否かに応じて、バス選択回路 5 A ~ 5 C を制御する。

例えば、プロセッサ 1 A からのアクセス要求が共有領域に対する書き込み要求である場合には、書き込み対象のデータを専用メモリ 3 A ~ 3 C の各共有領域に書き込むようにバス選択回路 5 A ~ 5 C を制御する。また、プロセッサ 1 A からのアクセス要求が共有領域以外の領域に対する書き込み要求や、いずれかの領域に対する読み出し要求である場合には、専用メモリ 3 A のみにアクセスするようにバス選択回路 5 A ~ 5 C を制御する。

10

【 0 0 0 6 】

この結果、あるプロセッサの専用メモリ上の共有データが更新される際に、他のプロセッサの専用メモリ上の共有データも更新されるので、共有データの同一性を保つことができる。また、他のプロセッサの専用メモリ上の共有データの更新は、あるプロセッサの専用メモリの共有領域に対する書き込み要求が発生した場合に限られるので、アクセス競合が発生する可能性を低減できる。

【 先行技術文献 】

20

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 日本国特許公開昭 6 1 - 1 2 2 7 7 1 号公報

【 特許文献 2 】 日本国特許公開平 3 - 1 2 7 2 4 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、従来の方法では、マルチプロセッサシステム全体の処理に必要となる全ての共有データを全てのプロセッサの専用メモリに格納する。

例えば、上述のプロセッサ 1 A ~ 1 C のうち、プロセッサ 1 A と 1 B との間で共有する必要があり、プロセッサ 1 C には不要であるデータであっても、そのデータは、プロセッサ 1 C の専用メモリ 3 C に格納されることになる。

30

【 0 0 0 9 】

この結果、専用メモリ 3 C においては、プロセッサ 1 C には不要なデータにより格納領域が無駄に消費される。また、プロセッサ 1 A と 1 B で共有するデータがこれらのプロセッサにより更新される際に、更新後のデータが専用メモリ 3 C にも書き込まれるので、プロセッサ 1 C による専用メモリ 3 C へのアクセスとの間で無駄な競合が生じる可能性が高まる。

【 0 0 1 0 】

そこで、本発明はかかる問題に鑑みてなされたものであり、専用メモリにおける無駄な格納領域の消費及び無駄なアクセス競合の発生を防止することが可能な処理装置、処理システム、データ共有処理方法、及びデータ共有処理用集積回路を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 1 1 】

上記課題を解決するために、本発明に係る処理装置は、複数の外部処理装置との間でデータを共有して処理する処理装置であって、プロセッサと、1以上の外部処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段と、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが格納されるべき領域を含む格納領域に格納されているデータブロック

50



のブロック識別情報と書き込み要求に係るデータとを出力する出力手段と、外部処理装置により出力されたブロック識別情報に基づいて、当該外部処理装置により出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させ、否定的な判定を行った場合には、当該データを前記共有データ記憶手段に記憶させない入力手段とを備えることを特徴とする。

【0012】

ここでの共有は、1以上の外部処理装置が備えるメモリ等の記憶手段と、処理装置が備える共有データ記憶手段とにそれぞれ共有すべき1以上のデータブロックの複製を記憶し、それぞれの装置は、自装置が備える記憶手段にアクセスすることで実現されるものをいう。

10

【発明の効果】

【0013】

上述の構成を備える本発明に係る処理装置における入力手段は、外部処理装置により出力されたデータのうち、自装置が共有すべきデータのみを共有データ記憶手段に記憶させるので、不要なデータを記憶させることで共有データ記憶手段の格納領域を無駄に消費してしまうことを防止できる。また、不要なデータを記憶させないので、外部処理装置が出力した、自装置のプロセッサには不要なデータを書き込むための共有データ記憶手段へのアクセス要求と、プロセッサによる共有データ記憶手段へのアクセス要求との競合を防止できる。

【0014】

20

また、本発明に係る処理装置は、出力手段が外部処理装置と共有するデータを出力し、上述のように、入力手段が自装置が共有すべきデータのみを共有データ記憶手段に記憶させるので、プロセッサはデータを共有化するための処理を行う必要がなく、既定の処理に専念できる。

また、前記処理装置は、更に前記共有データ記憶手段に記憶されているデータブロック毎に、ブロック識別情報と、当該データブロックの格納領域を示すアドレス情報とを対応付けて記憶する管理情報記憶手段を備え、前記出力手段は、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求が、前記管理情報記憶手段が記憶する各アドレス情報が示す格納領域のいずれかに対する書き込み要求である場合に前記出力を行い、前記入力手段は、外部処理装置により出力されたブロック識別情報と一致するブロック識別情報が前記管理情報記憶手段に記憶されている場合に肯定的な判定を行い、当該ブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを記憶させることとしてもよい。

30

【0015】

これにより、本発明に係る処理装置は、データブロック毎にブロック識別情報とそのデータブロックの格納領域を示すアドレス情報とを記憶しているので、ブロックデータ単位で外部処理装置とデータを共有することができる。

また、前記管理情報記憶手段は、更に、前記共有データ記憶手段に記憶されているデータブロックのうち、外部処理装置により更新されるデータブロック毎に、当該データブロックの出力元である外部処理装置の装置識別情報に対応付けて記憶しており、前記出力手段は、前記出力の際に、更に自装置の装置識別情報を出力し、前記入力手段は、外部処理装置により出力された装置識別情報及びブロック識別情報と一致する装置識別情報及びブロック識別情報が前記管理情報記憶手段に対応付けて記憶されている場合にのみ前記肯定的な判定を行うこととしてもよい。

40

【0016】

これにより、本発明に係る処理装置は、外部処理装置により出力されたデータブロックを記憶するか否かを、そのデータブロックの出力元である外部処理装置の装置識別情報とブロック識別情報との組み合わせにより判定するので、異なる外部処理装置が同一のブロック識別情報を出力した場合でも、自装置が共有すべきデータのみを適切に記憶できる。

また、前記処理装置は、アクセス要求に基づいて、前記共有データ記憶手段に対するア

50

クセスを行う共有データアクセス手段を備え、前記出力手段は、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求がある毎に、当該アクセス要求を前記共有データアクセス手段に送出し、前記入力手段は、肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを書き込む旨のアクセス要求を前記共有データアクセス手段に送出し、前記共有データアクセス手段は、前記入力手段からアクセス要求を受領した場合において、前記出力手段からもアクセス要求を受領したときは、当該出力手段からのアクセス要求よりも先に、当該入力手段からのアクセス要求に基づくアクセスを行うこととしてもよい。

**【 0 0 1 7 】**

これにより、本発明に係る処理装置は、自装置が備えるプロセッサからのアクセス要求と、外部処理装置により出力された自装置が共有すべきデータを書き込むためのアクセス要求とが競合した場合に、後者のアクセス要求を優先して処理するので、外部処理装置が更新したデータを速やかに共有データ記憶手段に反映できる。この結果、本発明に係る処理装置が備えるプロセッサは、外部処理装置が更新した最新のデータに基づいて処理できる。

**【 0 0 1 8 】**

また、前記管理情報記憶手段に記憶されている各情報は、前記プロセッサが既定のプログラムを実行することにより更新されることとしてもよい。

これにより、本発明に係る処理装置は、自装置が備えるプロセッサにより更新された管理情報記憶手段における情報に基づいて、外部処理装置とのデータ共有を行うことができるので、この情報を更新するための外部更新装置等を別途設けることなく、外部処理装置とのデータ共有を行うことができる。

**【 0 0 1 9 】**

また、前記処理装置は、更にバッファメモリと、アクセス要求に基づいて、前記共有データ記憶手段又は前記バッファメモリに対するアクセスを行うアクセス制御手段とを備え、前記出力手段は、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求がある毎に、当該アクセス要求を前記アクセス制御手段に送出し、前記入力手段は、肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを書き込むためのアクセス要求を前記アクセス制御手段に送出し、前記アクセス制御手段は、前記入力手段からアクセス要求を受領した場合において、前記出力手段からもアクセス要求を受領したときは、当該入力手段からアクセス要求に基づき、当該アクセス要求に係るデータを前記バッファメモリに記憶させ、当該バッファメモリに記憶されているデータを、アクセス要求を受領していないときに前記共有データ記憶手段に反映させることとしてもよい。

**【 0 0 2 0 】**

これにより、本発明に係る処理装置は、自装置が備えるプロセッサからのアクセス要求と、外部処理装置により出力された自装置が共有すべきデータを書き込むためのアクセス要求とが競合した場合に、後者のアクセス要求に係るデータをバッファメモリに記憶するので、プロセッサに速やかに共有データ記憶手段へのアクセスをさせることができる。

また、前記アクセス制御手段は、アクセス要求を受領した場合に、当該アクセス要求に係るデータについての前記共有データ記憶手段上の格納領域が、前記バッファメモリに既に記憶されているデータについての当該共有データ記憶手段上の格納領域と一致するか否かに応じて、前記共有データ記憶手段と前記バッファメモリとのいずれかに対し当該アクセス要求に基づくアクセスを行うこととしてもよい。

**【 0 0 2 1 】**

これにより、本発明に係る処理装置は、例えば、プロセッサからのアクセス要求に係るデータが、バッファメモリに記憶されているときには、バッファメモリに対してアクセスさせ、この間に自装置が共有すべきデータを共有データ記憶手段に記憶するようなことが可能になるので、外部処理装置が更新したデータを速やかに共有データ記憶手段に反映さ

10

20

30

40

50

せつつ、プロセッサからのアクセス要求を速やかに処理できる。

【0022】

また、前記アクセス制御手段は、受領したアクセス要求に基づく前記バッファメモリへのアクセスが完了した後にも、当該アクセス後のデータを前記共有データ記憶手段に反映させることとしてもよい。

ここで、アクセス後のデータとは、アクセス要求がデータの読み出し要求の場合には、バッファから読み出したデータのことをいい、アクセス要求がデータの書き込み要求の場合には、書き込み対象のデータのことをいう。

【0023】

これにより、アクセス要求に係るデータが、バッファメモリに記憶されているときには、バッファメモリに対してアクセスさせることが可能になるので、この後に、つまり、プロセッサによる共有データ記憶手段へのアクセスがなされていない間に、アクセス後のデータを、共有データ記憶手段へ反映させることで、バッファメモリ上のデータをより速やかに共有データ記憶手段へ反映させることができる。

【0024】

また、前記処理装置は、更に外部処理装置と共有する必要がない1以上のデータブロックを記憶する固有データ記憶手段と、アクセス要求に基づいて、前記共有データ記憶手段又は前記固有データ記憶手段に対するアクセスを行うデータアクセス手段とを備え、前記出力手段は、前記プロセッサによるアクセス要求がある毎に、当該アクセス要求を前記データアクセス手段に送出し、前記入力手段は、肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを書き込むためのアクセス要求を前記データアクセス手段に送出し、前記データアクセス手段は、前記共有データ記憶手段と固有データ記憶手段とに対し並行してアクセスすることが可能であり、前記入力手段からアクセス要求を受領した際に、前記出力手段からもアクセス要求を受領した場合において、当該出力手段からのアクセス要求に係るデータの格納領域が、前記固有データ記憶手段上の格納領域であるときは、当該固有データ記憶手段に対し当該アクセス要求に基づくアクセスを行うのと並行して、前記共有データ記憶手段に対し前記入力手段からのアクセス要求に基づくアクセスを行うこととしてもよい。

【0025】

これにより、本発明に係る処理装置は、自装置が備えるプロセッサからの自装置のみが必要なデータに対するアクセス要求は、外部処理装置により出力された自装置が共有すべきデータを書き込むためのアクセス要求と競合し得なくなるので、更にアクセス競合の発生を低減できる。

また、前記共有データ記憶手段は、1以上の外部処理装置と共有するデータブロックのうち、自装置のみが更新する1以上のデータブロックを記憶する第1メモリと、前記自装置のみが更新する1以上のデータブロック以外の外部処理装置と共有する1以上のデータブロックを記憶する第2メモリとを含み、前記処理装置は、更にアクセス要求に基づいて、前記第1メモリ又は前記第2メモリに対するアクセスを行うメモリアccess手段とを備え、前記出力手段は、前記プロセッサによるアクセス要求がある毎に、当該アクセス要求を前記メモリアccess手段に送出し、前記入力手段は、肯定的な判定を行った場合に、当該判定に係るブロック識別情報と対応付けられているアドレス情報が示す格納領域に、外部処理装置により出力されたデータを書き込むためのアクセス要求を前記メモリアccess手段に送出し、前記メモリアccess手段は、前記第1メモリと第2メモリとに対し並行してアクセスすることが可能であり、前記入力手段からアクセス要求を受領した際に、前記出力手段からもアクセス要求を受領した場合において、当該出力手段からのアクセス要求に係るデータの格納領域が、前記第1メモリ上の格納領域であるときは、当該第1メモリに対し当該アクセス要求に基づくアクセスを行うのと並行して前記第2メモリに対し前記入力手段からのアクセス要求に基づくアクセスを行うこととしてもよい。

【0026】

これにより、本発明に係る処理装置は、自装置が備えるプロセッサからの自装置のみが更新する共有データに対するアクセス要求は、外部処理装置により出力された自装置が共有すべきデータを書き込むためのアクセス要求と競合し得なくなるので、更にアクセス競合の発生を低減できる。

また、前記処理装置は、更に外部処理装置から出力されたデータを記憶するバッファメモリを備え、前記メモリアクセス手段は、前記第2メモリ上の格納領域に対するアクセス要求を受領した場合に、当該格納領域が、前記バッファメモリに既に記憶されているデータについての前記第2メモリ上の格納領域と一致するか否かに応じて、前記第2メモリと前記バッファメモリとのいずれかに対し当該アクセス要求に基づくアクセスを行うこととしてもよい。

10

**【0027】**

これにより、本発明に係る処理装置は、プロセッサからのアクセス要求が第2メモリに対するものであっても、そのアクセス要求に係るデータがバッファメモリに記憶されているときには、バッファメモリに対してアクセスさせることが可能になるので、この間に自装置が共有すべきデータを共有データ記憶手段に記憶することができる。即ち、更にアクセス競合の発生を低減できる。

**【0028】**

上記課題を解決するために、本発明に係る処理システムは、データを共有するために共通バスを介して相互に接続する複数の処理装置を含む処理システムであって、各処理装置は、プロセッサと、1以上の他の処理装置と共有する1以上のデータブロックを記憶する共有データ記憶手段と、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求が書き込み要求である場合に、当該書き込み要求に係るデータが記憶されているデータブロックのブロック識別情報と書き込み要求に係るデータとを前記共通バスに出力する出力手段と、他の処理装置により前記共通バスに出力されたブロック識別情報に基づいて、当該他の処理装置により当該共通バスに出力されたデータが、自装置が共有すべきデータか否かを判定し、肯定的な判定を行った場合に当該データを前記共有データ記憶手段に記憶させる入力手段とを備えることを特徴とする。

20

**【0029】**

上述の構成を備える本発明に係る処理システムにおける各処理装置は、他の処理装置により出力されたデータのうち、自装置が共有すべきデータのみを共有データ記憶手段に記憶するので、不要なデータを記憶することで共有データ記憶手段の格納領域を無駄に消費してしまうことを防止できる。また、不要なデータを記憶しないので、他の処理装置が出力した、自装置のプロセッサには不要なデータを書き込むための共有データ記憶手段へのアクセス要求と、プロセッサによる共有データ記憶手段へのアクセス要求との競合を防止できる。

30

**【0030】**

また、本発明に係る処理システムにおける各処理装置は、他の処理装置と共有するデータを出力し、上述のように、自装置が共有すべきデータのみを共有データ記憶手段に記憶するので、プロセッサはデータを共有化するための処理を行う必要がなく、既定の処理に専念できる。

40

また、各処理装置は、更に前記共有データ記憶手段に記憶されているデータブロック毎に、当該データブロックの出力元である処理装置の装置識別情報と、ブロック識別情報と、当該データブロックの格納領域を示すアドレス情報とを対応付けて記憶する管理情報記憶手段を備え、前記出力手段は、前記共有データ記憶手段に対する前記プロセッサによるアクセス要求が前記管理情報記憶手段が記憶する各アドレス情報が示す格納領域のいずれかに対する書き込み要求である場合に前記出力を行うと共に、当該出力に係るブロック識別情報と対応付けて記憶されている装置識別情報を前記共通バスに出力し、前記入力手段は、他の処理装置により出力された装置識別情報及びブロック識別情報と一致する装置識別情報及びブロック識別情報が前記管理情報記憶手段に対応付けて記憶されている場合に肯定的な判定を行い、当該ブロック識別情報と対応付けられているアドレス情報が示す格

50

納領域に、他の処理装置により出力されたデータを記憶させ、いずれか一の処理装置における前記プロセッサは、既定のプログラムを実行することにより、各管理情報記憶手段に記憶する各情報を生成し、各処理装置に記憶させることとしてもよい。

【0031】

これにより、本発明に係る処理システムにおけるいずれか一の処理装置が備えるプロセッサが、各処理装置の管理情報記憶手段に記憶する各情報を生成するので、各情報と統一的に生成することが可能になり、各情報の管理が容易になる。

【図面の簡単な説明】

【0032】

【図1】実施の形態1に係る処理システム1000のシステム構成図である。 10

【図2】出力管理部140の機能ブロック図である。

【図3】入力管理部150の機能ブロック図である。

【図4】出力管理情報テーブル180及び入力管理情報テーブル190のデータ構成及び内容例を示す図である。

【図5】出力管理部140による出力判定処理を示すフローチャートである。

【図6】入力管理部150による入力判定処理を示すフローチャートである。

【図7】選択部160によるメモリアクセス要求信号の送出処理とメモリ制御部170によるメモリアクセス処理とを示すフローチャートである。

【図8】適用例1に係るデジタル放送受信器1000Aの構成図である。

【図9】適用例1に係る計算機100B～100Dがデコード処理を行う1つの画像中の領域を説明するための図である。 20

【図10】適用例1に係る各計算機における出力管理情報テーブル180の内容例を示す図である。

【図11】適用例1に係る各計算機における入力管理情報テーブル190の内容例を示す図である。

【図12】従来の方法により各計算機がデータを共有するデジタル放送受信器10Aの構成図である。

【図13】適用例2に係るデジタル放送受信器1000A及び従来方式によりデータを共有するデジタル放送受信器10Aそれぞれにおける各メモリのデータ配置を示す図である。 30

【図14】適用例2に係る各計算機における出力管理情報テーブル180及び入力管理情報テーブル190の内容例を示す図である。

【図15】適用例2に係る各計算機の動作を説明するための図である。

【図16】適用例3における連携処理の流れを説明するための図である。

【図17】適用例3に係る各計算機及び従来方式によりデータを共有して連携処理を行う各計算機それぞれにおける各メモリのデータ配置を示す図である。

【図18】適用例3に係る各計算機の出力管理情報テーブル180及び入力管理情報テーブル190の内容例を示す図である。

【図19】適用例3に係る各計算機の動作を説明するための図である。

【図20】適用例4に係る各計算機の動作を説明するための図である。 40

【図21】適用例4に係る各計算機における出力管理情報テーブル180及び入力管理情報テーブル190の内容例を示す図である。

【図22】適用例4の変形に係る定常時における各計算機における出力管理情報テーブル180と入力管理情報テーブル190との内容例及び各計算機の動作を説明するための図である。

【図23】適用例5に係る各メモリのデータ配置、各計算機の出力管理情報テーブル180及び入力管理情報テーブル190との内容例を示す図である。

【図24】実施の形態2に係る処理システム1100のシステム構成図である。

【図25】共有データ制御部220によるアクセス制御処理を示すフローチャートである。 50

【図 26】実施の形態 3 に係る処理システム 1200 のシステム構成図である。

【図 27】実施の形態 4 に係る処理システム 1300 のシステム構成図である。

【図 28】変形例に係る各計算機の出力管理情報テーブル及び入力管理情報テーブル 190 の内容例を示す図である。

【図 29】変形例に係る各計算機の動作を説明するための図である。

【図 30】疎結合マルチプロセッサシステムでの従来のデータ共有方法を説明するための図である。

【発明を実施するための形態】

【0033】

以下、本発明の実施の形態について、図面を参照しながら説明する。

10

実施の形態 1

<構成>

まず、実施の形態 1 に係る処理システム 1000 の構成について説明する。

図 1 は、実施の形態 1 に係る処理システム 1000 のシステム構成図である。

【0034】

同図に示すとおり、処理システム 1000 は、共通バス 101 を介して相互に接続する計算機 100A ~ 100E と、各計算機と 1 対 1 に接続するメモリ 110A ~ 110E と、共通バス調停部 102 とから構成される。

なお、同図では、5 つの計算機 (100A ~ 100E) を図示しているが、これは一例であり、計算機の数と同図に示す例に限られず、2 つ以上であればいくつでもよい。また、同図では各計算機は各メモリと 1 対 1 に接続する例を示しているが、2 以上のメモリと接続していてもよい。これらの点については、以下の各実施の形態においても同様である。

20

【0035】

ここで、共通バス 101 は、各計算機が共有データを授受するためのバスであり、共通バス調停部 102 は、共通バス 101 に共有データを出力しようとする各計算機からの共通バス 101 の使用要求を調停する機能を有する。

各メモリ (110A ~ 110E) は、接続先の計算機内の各プロセッサが用いるプログラムやデータを記憶するものであり、このデータには、接続先の計算機のみが使用するデータと、計算機間で共有する共有データとが含まれる。

30

【0036】

各計算機 (100A ~ 100E) は、1 以上の他の計算機とデータを共有しながら所定の処理を実行する機能を有する。

各計算機は同様の構成を有するため、以下では、計算機 100A を例に説明する。

計算機 100A は、プロセッサ 120A ~ 120C と、調停部 130 と、出力管理部 140 と、入力管理部 150 と、選択部 160 と、メモリ制御部 170 とを備える。

【0037】

ここで、各プロセッサ (120A ~ 120C) は、それぞれメモリ 110A に記憶されている既定のプログラムを実行することにより、メモリ 110A に記憶されているデータを用いて所定の処理を行うものであり、メモリ 110A にアクセスが必要な場合に、メモリアクセス要求信号を調停部 130 に送出する。

40

このメモリアクセス要求信号は、アクセス種別 (読み出し又は書き込み) やアクセス対象となるメモリ 110A 上の格納領域のアドレスを指定する信号であり、特にアクセス種別が「書き込み」の場合には、書き込み対象データを含むものである。

【0038】

調停部 130 は、各プロセッサによるメモリ 110A に対するアクセス要求を調停する機能を有し、具体的には、各プロセッサから受領した各メモリアクセス要求信号の中から 1 つのメモリアクセス要求信号を選んで出力管理部 140 に送出する。

なお、調停部 130 は、出力管理部 140 に送出するメモリアクセス要求信号が、メモリ 110A からデータを読み出すことを要求する読み出し要求信号 (つまりアクセス種別

50

が「読み出し」であるメモリアクセス要求信号)である場合には、その読み出し要求信号の送出と共に、その要求元であるプロセッサの識別情報を送出する。

【0039】

以下、「メモリアクセス要求信号等」と表記する場合には、メモリアクセス要求信号が、読み出し要求信号である場合に、プロセッサの識別情報が含まれることを意味するものとして説明する。

出力管理部140は、調停部130から受領したメモリアクセス要求信号等を選択部160に送出すると共に、特に、このメモリアクセス要求信号が共有データに対する書き込みを要求する書き込み要求信号(つまりアクセス種別が「書き込み」であるメモリアクセス要求信号)である場合に、書き込み対象データ及びこのデータの識別情報等を共通バス101に出力する回路である。なお、この出力は、共通バス調停部102から共通バス101の使用権を得た後に行う。出力管理部140の構成(図2参照)については後に詳しく説明する。

10

【0040】

入力管理部150は、他の計算機(100B~100E)から共通バス101に出力された書き込み対象データの識別情報等に基づいて、出力された書き込み対象のデータが、自機が共有すべきデータであるか否かを判定し、判定結果に応じて、このデータのメモリ110Aに対する書き込み要求信号を選択部160に送出する回路である。なお、入力管理部150の構成(図3参照)については後に詳しく説明する。

【0041】

選択部160は、出力管理部140から受領したメモリアクセス要求信号等と、入力管理部150から受領した書き込み要求信号とを順次メモリ制御部170に送出する回路である。特に、両管理部から信号を受領した場合に、選択部160は、入力管理部150からのメモリアクセス要求信号を優先的にメモリ制御部170に送出する。つまり、この場合、プロセッサのメモリ110Aへのアクセスは待たされることになる。

20

【0042】

メモリ制御部170は、選択部160から受領したメモリアクセス要求信号等、又は書き込み要求信号に基づいて、メモリ110Aにアクセスする機能を有する。

次に、出力管理部140の構成について説明する。

図2は、出力管理部140の機能ブロック図である。

30

同図に示すように、出力管理部140は、出力管理情報保持部141と、内部バス制御部142と、出力判定部143と、共通バス制御部144とを備える。

【0043】

ここで、出力管理情報保持部141は、出力管理情報テーブル180(図4(a)参照)を記憶するためのメモリ領域である。出力管理情報テーブル180については後述する。

内部バス制御部142は、調停部130から受領したメモリアクセス要求信号を出力判定部143に送出する機能と、出力判定部143の指示に従って、受領しているメモリアクセス要求信号等を選択部160へ送出する機能と、このメモリアクセス要求信号に含まれる書き込み対象データを共通バス101に出力する機能とを有する。

40

【0044】

出力判定部143は、出力管理情報保持部141の出力管理情報テーブル180に基づいて、内部バス制御部142から受領したメモリアクセス要求信号が共有データに対する書き込み要求信号であるか否かを判定し、判定結果に応じて、共通バス制御部144又は内部バス制御部142に所定の信号を送出する機能を有する。

より詳細には、メモリアクセス要求信号が共有データに対する書き込み要求信号である場合には、書き込み対象データの識別情報等を共通バス制御部144に送出し、共有データに対する書き込み要求信号でない場合には、メモリアクセス要求信号等の選択部160への送出を指示する信号を内部バス制御部142に送出する。

【0045】

50

また、出力判定部 143 は、共通バス制御部 144 から後述する出力完了信号を受領した場合に、メモリアクセス要求信号の選択部 160 への送出及び書き込み対象データの共通バス 101 への出力を指示する信号を内部バス制御部 142 に送出する機能を有する。

共通バス制御部 144 は、出力判定部 143 から書き込み対象データの識別情報等を受領する毎に、共通バス調停部 102 から共通バス 101 の使用权を得て、この識別情報等を共通バス 101 に出力すると共に、この識別情報等を出力した旨の出力完了信号を出力判定部 143 に送出する機能を有する。

#### 【0046】

続いて、入力管理部 150 の構成について説明する。

図 3 は、入力管理部 150 の機能ブロック図である。

同図に示すように、入力管理部 150 は、入力管理情報保持部 151 と、入力判定部 152 と、内部バス制御部 153 とを備える。

ここで、入力管理情報保持部 151 は、入力管理情報テーブル 190 (図 4 (b) 参照) を記憶するためのメモリ領域である。入力管理情報テーブル 190 については、後述する。

#### 【0047】

入力判定部 152 は、他の計算機 (100B ~ 100E) から共通バス 101 に出力された書き込み対象データの識別情報等と、入力管理情報保持部 151 の入力管理情報テーブル 190 とに基づいて、共通バス 101 に出力された書き込み対象データが、自機が共有すべきデータであるか否かを判定する機能を有する。特に、書き込み対象データが、自機が共有すべきデータである場合に、入力判定部 152 は、アクセス種別 (書き込み) 及びこのデータを書き込むべきメモリ 110A 上のアドレスを指定するアクセスコマンド信号を生成し、内部バス制御部 153 に送出する。

#### 【0048】

内部バス制御部 153 は、入力判定部 152 からアクセスコマンド信号を受領すると、他の計算機から共通バス 101 に出力された書き込み対象データを受領し、この書き込み対象データと受領したアクセスコマンド信号とを含む書き込み要求信号を選択部 160 へ送出する機能を有する。

<データ>

各計算機により使用されるデータを、計算機 100A の場合を例に説明する。

#### 【0049】

<出力管理情報テーブル>

まず、出力管理情報テーブル 180 について説明する。

図 4 (a) は、出力管理情報テーブル 180 のデータ構成及び内容例を示す図である。

出力管理情報保持部 141 に記憶されている出力管理情報テーブル 180 は、同図に示すように、自機が他の計算機に対し送出すべき共有データ毎に、Valid 181、Master ID 182、Data ID 183、Start Address 184、End Address 185 を対応付けて構成される情報である。

#### 【0050】

以下、この相互に対応付けられた Valid と Master ID と Data ID と Start Address と End Address とをまとめて「出力管理情報」という。

出力管理情報テーブル 180 は、計算機内のプロセッサからのメモリアクセス要求信号が共有データに対するメモリアクセス要求信号であるか否かを出力判定部 143 が判定する際に用いられる。

#### 【0051】

ここで、Valid 181 は、その Valid を含む出力管理情報が有効か無効かを示す情報であり、この例では有効である場合を「1」、無効である場合を「0」としている。つまり、Valid が「1」である出力管理情報に対応する共有データを共通バス 101 に送出することになる。

10

20

30

40

50



Master ID 182は、対応する共有データを共通バス101へ送出する計算機の識別情報であり、以下では、一例として、計算機100A~100EのMaster IDが「0」~「4」であるものとして説明する。

【0052】

ここでは、計算機100Aが保持する出力管理情報テーブル180の例を示しているため、全てのMaster IDが「0」になっている。他の計算機、例えば計算機100Bが保持する出力管理情報テーブル180では、全てMaster IDが「1」となる。

Data ID 183は、対応する共有データの識別情報であり、他のData IDとは重複しないものである。

10

【0053】

Start Address 184とEnd Address 185とはそれぞれ、対応する共有データが記憶されるメモリ110A上の格納領域の開始アドレスと終了アドレスを示す情報である。

同図は、例えば、メモリ110AにおいてStart Addressが「0x0000」で、End Addressが「0x00ff」である格納領域に格納されているデータは他の計算機に送出すべき共有データであり、そのData IDは「0」であり、このデータを共通バス101へ出力する計算機のMaster IDは「0」（つまり計算機100A）であることを示している。

【0054】

20

以下、出力管理情報テーブル180へのデータの登録方法の一例を説明する。

出力管理情報テーブル180へのデータの登録は、まず、処理システム1000の運用開始前に行われる。

具体的には、処理システム1000における任意の計算機内の1つのプロセッサが、自機が接続するメモリに記憶されているプログラムを実行することにより、各計算機の出力管理情報テーブル180に登録すべき出力管理情報を生成し、各計算機を相互に接続するテーブル設定用のバス（不図示）を介して、各計算機の出力管理情報テーブル180に有効な出力管理情報（つまり、Validが「1」）を登録する。この出力管理情報の生成は、Master ID及びData IDの組み合わせが、他のMaster ID及びData IDの組み合わせと重複しないように行われる。

30

【0055】

なお、各プロセッサ（120A~120C）は、先に説明したように、メモリ110Aに記憶されている既定のプログラムを実行することで、このメモリ110Aに記憶されているデータを用いて所定の処理を行うものであるが、この既定のプログラムは、登録された有効な出力管理情報における格納領域（Start Address及びEnd Addressにより特定される）に格納されるデータを用いて所定の処理を行うように構成されている。

【0056】

また、ある計算機において、何らかの要因により他の計算機との共有が不要になったデータが生じた場合には、その共有データに対応する登録済みの出力管理情報のValidを「0」に更新するだけで共有の設定を解除できる。また、再度そのデータの共有が必要になった場合には、対応する出力管理情報のValidを「1」に更新するだけで共有設定をすることができる。

40

【0057】

<入力管理情報テーブル>

次に、入力管理情報テーブル190について説明する。

図4(b)は、入力管理情報テーブル190のデータ構成及び内容例を示す図である。

入力管理情報保持部151に記憶されている入力管理情報テーブル190は、同図に示すように、自機が他の計算機から受領すべき共有データ毎に、Valid 191、Master ID 192、Data ID 193、Start Address 194、En

50

d Address 195 を対応付けて構成される情報である。

【0058】

以下、この相互に対応付けられた Valid と Master ID と Data ID と Start Address と End Address とをまとめて「入力管理情報」という。

入力管理情報テーブル190は、他の計算機によって共通バス101に出力された書き込み対象データを受領すべきか否かを入力判定部152が判定する際に用いられる。

【0059】

なお、入力管理情報テーブル190と出力管理情報テーブル180とは同様のデータ構造を有しているため、各データの詳細な説明は省略するが、  
他の計算機により共通バス101に出力された共有データのうち、Validが「1」である入力管理情報に対応する共有データが、メモリ110Aに記憶されることになる。

同図は、例えば、Master IDは「1」（つまり、計算機100B）であり、Data IDは「0」であるデータは、自機が他の計算機から受領すべき共有データであり、この共有データは、メモリ110AのStart Addressが「0x0000」で、End Addressが「0x007f」である格納領域に格納されることを示している。

【0060】

なお、入力管理情報テーブル190へのデータの登録は、出力管理情報テーブル180と同様に行われるため詳細な説明は省略する。

<動作>

次に、上記構成を備え、上記データを取り扱う各計算機の動作を説明する。

<出力管理部の動作>

まず、出力管理部140による出力判定処理について説明する。

【0061】

図5は、出力管理部140による出力判定処理を示すフローチャートである。

なお、以下のステップS100～S108の処理は繰り返し実行されるものとする。

出力管理部140の出力判定部143は、内部バス制御部142を介して調停部130からメモリアクセス要求信号を受領したか否かを判定し（ステップS100）、受領していない場合には（ステップS100：NO）、何も行わず出力判定処理を終了する。

【0062】

一方、メモリアクセス要求信号を受領した場合には（ステップS100：YES）、その信号が書き込み要求信号か否かを、その信号のアクセス種別に基づいて判定し（ステップS101）、書き込み要求信号である場合には（ステップS101：YES）、その書き込み要求が、他の計算機へ送出すべき共有データに対するものか否かを出力管理情報保持部141の出力管理情報テーブル180に基づいて判定する（ステップS102）。

【0063】

より詳細には、受領した信号に含まれるメモリ110A上の書き込み先のアドレスが、出力管理情報テーブル180における有効（つまり、Validが「1」である）な出力管理情報のStart AddressとEnd Addressとの範囲に含まれる場合にのみ肯定的な判定を行う。

例えば、書き込み先のアドレスが「0x0001」である場合に、このアドレスは、図4(a)に示す出力管理情報テーブル180において、Start Address「0x0000」とEnd Address「0x00ff」との範囲に含まれるので、肯定的な判定がなされることになる。また、書き込み先のアドレスが「0x0400」である場合には、このアドレスは、出力管理情報テーブル180における有効な出力管理情報のいずれのStart AddressとEnd Addressとの範囲にも含まれないので、否定的な判定がなされることになる。

【0064】

ステップS102において、書き込み要求が、他の計算機へ送出すべき共有データに対

10

20

30

40

50

するものである場合には（ステップS102：YES）、出力判定部143は、出力管理情報テーブル180から、対応する共有データのMaster ID及びData IDを取得すると共に、その共有データのStart Addressに対する書き込み先のアドレスのオフセット（以下、単に「オフセット」という）を算出し、取得したMaster ID及びData IDと、算出したオフセットとを共通バス制御部144に送出する（ステップS103）。

【0065】

例えば、上述の書き込み先のアドレスが「0x0001」である場合の例においては、Master ID「0」、Data ID「0」、オフセット「0x001」が共通バス制御部144に送出される。

10

続いて、Master ID等を受領した共通バス制御部144は、共通バス101の使用権を得るために、共通バス調停部102に共通バスアクセス要求信号を送出する（ステップS104）。この共通バスアクセス要求信号を受領した共通バス調停部102は、共通バス101に対しデータの送出手を要求する各計算機からの要求を調停の上、この受領した共通バスアクセス要求信号の送信元である計算機に共通バス101の使用権を与える旨の共通バスアクセス許可信号を送信する。

【0066】

ステップS104で共通バスアクセス要求信号を送出した共通バス制御部144は、共通バス調停部102から共通バスアクセス許可信号を受領したか否かを判定し（ステップS105）、受領していない場合には（ステップS105：NO）、再びステップS105の処理を行う。

20

一方、共通バスアクセス許可信号を受領した場合には（ステップS105：YES）、共通バス制御部144は、出力判定部143から受領しているMaster ID、Data ID、及びオフセットを共通バス101に出力すると共に、Master ID等を出力した旨の出力完了信号を出力判定部143に送出する（ステップS106）。

【0067】

出力完了信号を受領した出力判定部143は、メモリアクセス要求信号の選択部160への送出手及び書き込み対象データの共通バス101への出力を指示する信号を内部バス制御部142に送出する。この信号を受領した内部バス制御部142は、受領しているメモリアクセス要求信号に含まれる書き込み対象データを共通バス101に出力すると共に、選択部160にこのメモリアクセス要求信号を送出し（ステップS107）、出力判定処理を終了する。

30

【0068】

一方、ステップS101において、読み出し要求信号である場合（ステップS101：NO）、又は、ステップS102において、書き込み要求が、他の計算機へ送出手すべき共有データに対するものでない場合には（ステップS102：NO）、出力判定部143は、内部バス制御部142にメモリアクセス要求信号等の送出手を指示する信号を送出し、これを受領した内部バス制御部142は、選択部160に受領しているメモリアクセス要求信号等を送出し（ステップS108）、出力判定処理を終了する。

【0069】

40

<入力管理部の動作>

次に、入力管理部150による入力判定処理について説明する。

図6は、入力管理部150による入力判定処理を示すフローチャートである。

なお、以下のステップS110～S115の処理は繰り返し実行されるものとする。

入力管理部150の入力判定部152は、他の計算機から共通バス101上にMaster ID等が出力されているか否かを判定し（ステップS110）、出力されていない場合には（ステップS110：NO）、何も行わず入力判定処理を終了する。

【0070】

一方、Master ID等が出力されている場合には（ステップS110：YES）、入力判定部152は、出力されているMaster ID、Data ID、及びオフ

50

セットを受領する（ステップS111）。

入力判定部152は、受領したMaster ID及びData IDに基づいて、他の計算機から共通バス101に出力された書き込み対象のデータが、自機が受領すべき共有データであるか否かを判定する（ステップS112）。

【0071】

より詳細には、入力管理情報保持部151の入力管理情報テーブル190を参照し、受領したMaster IDとData IDとを対応付けた入力管理情報が登録されている場合にのみ、肯定的な判定を行う。

例えば、受領したMaster IDが「1」、Data IDが「0」である場合には、図4（b）に示す入力管理情報テーブル190に該当の入力管理情報が登録されているので、肯定的な判定がなされることになる。また、例えば、受領したMaster IDが「1」でData IDが「2」である場合には、該当の入力管理情報が登録されていないので否定的な判定がなされることになる。

【0072】

ステップS112において、自機が受領すべき共有データでない場合には（ステップS112：NO）、入力判定処理を終了し、自機が受領すべき共有データである場合には（ステップS112：YES）、入力判定部152は、アクセス種別（書き込み）及び書き込み先のアドレスを指定するアクセスコマンド信号を内部バス制御部153に送出する（ステップS113）。ここで、書き込み先のアドレスは、該当の入力管理情報に含まれるStart Addressに受領したオフセットを加えたものである。

【0073】

アクセスコマンド信号を受領した内部バス制御部153は、共通バス101から、他の計算機により出力された書き込み対象データを受領し、この書き込み対象データと、受領しているアクセスコマンド信号とを含むメモリアクセス要求信号を選択部160に送出し（ステップS115）、入力判定処理を終了する。

< 選択部及びメモリ制御部の動作 >

次に、選択部160によるメモリアクセス要求信号の送出処理とメモリ制御部170によるメモリアクセス処理とについて説明する。

【0074】

図7は、選択部160によるメモリアクセス要求信号の送出処理とメモリ制御部170によるメモリアクセス処理とを示すフローチャートである。

まず、選択部160の処理について説明する。

なお、以下のステップS120～S124の処理は繰り返し実行されるものとする。

選択部160は、出力管理部140と入力管理部150との両方からメモリアクセス要求信号（入力管理部150については、特に書き込み要求信号である）を受領したか否かを判定し（ステップS120）、受領した場合には（ステップS120：YES）、まず、入力管理部150からのメモリアクセス要求信号をメモリ制御部170に送出する（ステップS121）。

【0075】

次に、選択部160は、出力管理部140からのメモリアクセス要求信号等をメモリ制御部170に送出し（ステップS122）、メモリアクセス要求信号の送出処理を終了する。

一方、ステップS120において、出力管理部140と入力管理部150との両方からはメモリアクセス要求信号を受領していない場合には（ステップS120：NO）、選択部160は、出力管理部140と入力管理部150とのいずれか一方からメモリアクセス要求信号を受領しているか否かを判定する（ステップS123）。

【0076】

いずれからもメモリアクセス要求信号を受領していない場合には（ステップS123：NO）、メモリアクセス要求信号の送出処理を終了し、いずれか一方からメモリアクセス要求信号を受領している場合には（ステップS123：YES）、受領したメモリアクセ

10

20

30

40

50

ス要求信号等をメモリ制御部170に送出し(ステップS124)、メモリアクセス要求信号の送出処理を終了する。

【0077】

次に、メモリ制御部170の処理について説明する。

なお、以下のステップS130、S131の処理は繰り返し実行されるものとする。

メモリ制御部170は、選択部160が送出したメモリアクセス要求信号(上述のステップS121、S122、S124で送出したもの)を受領したか否かを判定し(ステップS130)、受領していない場合には(ステップS130:NO)、何も行わずメモリアクセス処理を終了する。

【0078】

一方、メモリアクセス要求信号を受領した場合には(ステップS130:YES)、そのメモリアクセス要求信号に従って、自機が接続するメモリに対してデータの読み出し又は書き込みを行い(ステップS131)、メモリアクセス処理を終了する。なお、ステップS131において、メモリアクセス要求信号が読み出し要求信号である場合には、メモリ制御部170は、受領しているプロセッサの識別情報に基づいて、該当するプロセッサに読み出したデータを送出する。

【0079】

<適用例1>

まず、実施の形態1に係る処理システム1000を、MPEG(Moving Picture Experts Group)のデコード機能を有するデジタル放送受信器1000Aに適用した例を説明する。

<構成>

図8は、適用例1に係るデジタル放送受信器1000Aの構成図である。

【0080】

同図に示すように、デジタル放送受信器1000Aは、処理システム1000のほか、アンテナ、チューナ、スピーカ、モニタ等を含んで構成される。

なお、以下では、説明を簡略化するために、各計算機は1つのプロセッサ120Aのみを備えるものとすると共に、共通バス調停部102による共通バス101の使用権の調停処理については、ここでは特に言及しないものとする(同図においても省略している)。

【0081】

ここで、各計算機(100A~100E)内のプロセッサ120Aが、自機が接続するメモリ(110A~110E)の固有領域(共有データ以外が記憶された格納領域であって、同図の各メモリにおける網掛け部分がこの領域に該当する)に記憶されているプログラムを実行することにより、各計算機は、以下の機能を実現する。

即ち、計算機100Aは、アンテナからチューナを介して受信したMPEGストリーム(符号化ストリーム)から、AudioデータとVideoデータとを切り出し、Audioデータのデコード処理と、デコードされたAudioデータをスピーカに出力させる処理を行う機能を有する。

【0082】

計算機100B~100Dそれぞれは、計算機100Aが切り出したVideoデータのデコード処理を行う機能を有する。

一般的に、Videoデータのデコード処理はAudioデータのデコード処理と比較して演算量及び処理データ量が多い。従って、本適用例では、3つの計算機100B~100Dが、Videoデータのデコード処理を分担して行うこととしている。具体的には、図9に示すように、1つの画像(フレーム)を垂直方向に3等分したV1領域を計算機100Bが、V2領域を計算機100Cが、V3領域を計算機100Dがそれぞれデコードする。

【0083】

計算機100Eは、計算機100B~100Dによるデコード済みのVideoデータをモニタに表示させる機能を有する。

10

20

30

40

50

<各メモリ上のデータ>

次に、図8に基づいて、各メモリに格納されるデータについて説明する。

同図の各メモリの左側に表記されている0及びアルファベットは、各メモリにおけるアドレス値を示している。例えば、メモリ110Aにおいては、StAの格納領域は0～a-1番地であることを示している。なお、この適用例では、各メモリの「0」番地から各データを格納するものとして説明しているが、これは一例であり、任意のアドレスに各データを格納してもよい。これらの点については、以降の各適用例においても同様である。

【0084】

メモリ110AにおけるStAは、計算機100Aが受信したMPEGストリームから切り出したAudioデータであり、DecAは、計算機100AがStAをデコードした結果であるデコード後のAudioデータである。

また、メモリ110AにおけるStV1、StV2、StV3それぞれは、計算機100Aが受信したMPEGストリームから切り出したVideoデータを各領域(V1～V3領域)に対応するように分割した分割Videoデータである。

【0085】

計算機100B～100Dはこの分割Videoデータに対してデコード処理を行うので、計算機100B～100Dは、自機が処理する分割Videoデータを計算機100Aと共有する必要がある。従って、同図に示すように、メモリ110BにはStV1が、メモリ110CにはStV2が、メモリ110DにはStV3が格納される。

また、メモリ110BにおけるDecV1は、計算機100Bがメモリ110BにおけるStV1をデコードした結果であるデコード後の分割Videoデータを示している。また、メモリ110CにおけるDecV2及びメモリ110DにおけるDecV3も、計算機100C、100DそれぞれがStV2、StV3をデコードした結果であるデコード後の分割Videoデータを示している。

【0086】

計算機100Eは、これらのデコード後の分割Videoデータに基づいてモニタへの表示を行うので、これらの分割Videoデータを計算機100B～100Dと共有する必要がある。従って、同図に示すように、メモリ110EにはDecV1、DecV2、DecV3が格納される。

また、一般的に、MPEGにおけるVideoストリームのデコード処理では、動き補償処理やデブロックフィルタ処理などのために、デコード済みの画像データの参照が必要になる。

【0087】

従って、上述のように、1つの画像を3つの領域(V1～V3領域)に分割して3つの計算機100B～100Dが分担してデコードする場合には、他の計算機によるデコード済みの画像の参照が必要、つまり、3つの計算機100B～100Dの間では、デコード済み画像のデータ共有が必要になることがある。

ここで、計算機100B～100Dそれぞれが分担している領域(V1～V3領域)をデコードする際に、どの範囲のデコード済み画像を参照する必要があるかは、一般的に、符号化の際に指定されたプロファイルとレベルで規定される動きベクトルの最大値により決定されるが、ここでは説明の簡略化のため、隣接する全ての領域の分割画像を参照すると仮定して説明を行う。

【0088】

このため、同図に示すように、メモリ110BにはDecV2が、メモリ110CにはDecV1及びDecV3が、メモリ110DにはDecV2が格納される。

<管理情報テーブル>

次に、各計算機が保持する出力管理情報テーブル180と入力管理情報テーブル190の内容例を説明する。

【0089】

図10は、適用例1に係る各計算機における出力管理情報テーブル180の内容例を示

10

20

30

40

50

す図である。

例えば、同図に示す計算機100Aにおける出力管理情報テーブル180の出力管理情報186は、メモリ110Aにおいて、Start Addressが「a」で、End Addressが「b-1」である格納領域に格納されている共有データ(つまり、StV1)のData IDは「0」であり、この共有データを送信する計算機のMaster IDは「0」(つまり計算機100A)であることを示している。

【0090】

同図に示すように、各計算機における出力管理情報テーブル180を設定することにより、計算機100Aは、StV1、StV2、StV3それぞれをメモリ110Aに書き込む際に、これらのデータを、対応するMaster ID等と共に共通バス101に出力することになる。

10

また、計算機100Bは、DecV1をメモリ110Bに、計算機100CはDecV2をメモリ110Cに、計算機100DはDecV3をメモリ110Dにそれぞれ書き込む際に、これらのデータを、対応するMaster ID等と共に共通バス101に出力することになる。

【0091】

図11は、適用例1に係る各計算機における入力管理情報テーブル190の内容例を示す図である。

例えば、同図に示す計算機100Bにおける入力管理情報テーブル190の入力管理情報196は、Master IDは「0」(つまり、計算機100A)であり、Data IDは「0」であるデータ(つまり、StV1)は自機が他の計算機から受領すべき共有データであり、この共有データは、メモリ110BのStart Addressが「0」で、End Addressが「f-1」である格納領域に格納されることを示している。

20

【0092】

同図に示すように、各計算機における入力管理情報テーブル190を設定することにより、計算機100Bは、共通バス101にStV1が出力されるとこれをメモリ110Bの対応する領域(0~f-1番地)に書き込み、同様にDecV2が出力されると、メモリ110Bの対応する領域に書き込むことになる。

また、同様に、計算機100Cは、共通バス101にStV2、DecV1、DecV3が出力されると、計算機100Dは、StV3、DecV2が出力されると、計算機100Eは、DecV1、DecV2、DecV3が出力されるとこれらをそれぞれのメモリの対応する領域に書き込むことになる。

30

【0093】

上述のように各計算機における出力管理情報テーブル180及び入力管理情報テーブル190を設定することにより、各計算機が処理に必要な共有データのみを、共有データの同一性を保ちつつ、各メモリに保持することができる。

<従来との比較>

以下、従来の方法(特許文献1等の方法)により各計算機がデータを共有するデジタル放送受信器10Aにおいて、各メモリに保持されるデータを説明する。

40

【0094】

図12は、従来の方法により各計算機がデータを共有するデジタル放送受信器10Aの構成図である。

同図に示す計算機6A~6Eの機能は、上述の計算機100A~100Eと同様であり、メモリ7A~7Eも上述のメモリ110A~110Eと同様のメモリである。

従来の方法では、システム全体で必要となる全ての共有データを全てのメモリに格納するので、同図に示すように、システム全体の共有データ(StV1、StV2、StV3、DecV1、DecV2、DecV3)が各メモリに格納される。

【0095】

その結果、各メモリは、接続先の計算機が使用しないデータにより、格納領域が無駄に

50

消費されることになる。例えば、メモリ 7 B は、計算機 6 B が使用しない S t V 2、S t V 3、D e c V 3 により、格納領域が無駄に消費されている。

また、例えば、計算機 6 A が S t V 2 をメモリ 7 A に書き込む際に、この S t V 2 が各メモリに書き込まれることになるので、各メモリに対する接続先の計算機からのアクセスと競合が生じる可能性が高まる。

#### 【 0 0 9 6 】

一方、上述の適用例 1 に係るデジタル放送受信器 1 0 0 0 A においては、各計算機は、必要なデータのみを各メモリに格納するので、領域が無駄に消費されることはなく（図 8 参照）、かつ無駄なアクセス競合も生じない。

#### < 適用例 2 >

次に、実施の形態 1 で説明した各計算機間のデータ共有方法を、上述のデジタル放送受信器 1 0 0 0 A における各計算機の同期制御に適用した例を説明する。

#### 【 0 0 9 7 】

ここでの同期制御とは、複数の計算機に対して一斉に特定の処理を行わせることにより、システム全体を制御することをいう。デジタル放送受信器 1 0 0 0 A における同期制御の例としては、各計算機にチャンネル切り替えに伴うデコードストリームの切り替え処理や、ストリームのエラーによるピクチャスキップ、バッファフラッシュ等のエラーコンシールメント処理などを一斉に行わせることが挙げられる。

#### 【 0 0 9 8 】

#### < 各メモリ上のデータ >

まず、各メモリに格納されるデータについて説明する。

図 1 3 ( a ) は、適用例 2 に係るデジタル放送受信器 1 0 0 0 A の各メモリにおけるデータ配置を示す図である。

なお、上述の適用例 1 に係るデジタル放送受信器 1 0 0 0 A は、5 つの計算機 ( 1 0 0 A ~ 1 0 0 E ) を備えるものとして説明したが、以下では、4 つの計算機 1 0 0 A ~ 1 0 0 D を備えるものとして説明する。

#### 【 0 0 9 9 】

ここで、メモリ 1 1 0 B ~ 1 1 0 D における S t a t u s f l a g 1 ~ 3 はそれぞれ、接続先の計算機 1 0 0 B ~ 1 0 0 D における同期処理の実行状態を示すフラグであり、この例では、実行していない状態を「 0 」、実行中の状態を「 1 」として説明する。各計算機はそれぞれ S t a t u s f l a g 1 ~ 3 が「 0 」から「 1 」に更新されることで同期処理を開始し、同期処理を完了すると、「 1 」から「 0 」に更新する。

#### 【 0 1 0 0 】

また、メモリ 1 1 0 A における S t a r t f l a g は、各計算機に同期処理を開始させるための起動フラグであり、E n d f l a g 1 ~ 3 それぞれは、計算機 1 0 0 B ~ 1 0 0 D における同期処理の実行状態を示すフラグであり、この例では、実行していない状態を「 0 」、実行中の状態を「 1 」として説明する。

なお、各フラグは「 0 」又は「 1 」の値を取るものとして説明しているが、これは一例であり、他の値であってもよい。

#### 【 0 1 0 1 】

#### < 管理情報テーブル >

次に、各計算機が保持する出力管理情報テーブル 1 8 0 と入力管理情報テーブル 1 9 0 の内容例を説明する。

図 1 4 ( a ) は、適用例 2 に係る各計算機における出力管理情報テーブル 1 8 0 の内容例を示す図である。

#### 【 0 1 0 2 】

同図に示すように、各計算機における出力管理情報テーブル 1 8 0 を設定することにより、計算機 1 0 0 A は、S t a r t f l a g を書き込む際に、この S t a r t f l a g を、対応する M a s t e r I D 等と共に共通バス 1 0 1 に出力することになる。

また、計算機 1 0 0 B ~ 1 0 0 D は、それぞれ S t a t u s f l a g 1 ~ 3 を書き込

10

20

30

40

50



む際に、これらのデータを、対応するMaster ID等と共に共通バス101に出力することになる。

【0103】

図14(b)は、適用例2に係る各計算機における入力管理情報テーブル190の内容例を示す図である。

同図に示すように、各計算機における入力管理情報テーブル190を設定することにより、計算機100B、100C、100Dは、共通バス101にStart flagが出力されるとこれを受領し、メモリ110BのStatus flag1の領域に、メモリの110CのStatus flag2の領域に、メモリ110DのStatus flag3の領域にそれぞれ書き込むことになる。

10

【0104】

また、計算機100Aは、計算機100B、100C、100DからそれぞれStatus flag1、2、3が出力されるとこれを受領し、それぞれをメモリ110AのEnd flag1、2、3の格納領域に書き込むことになる。

<動作>

以下、各計算機の動作を具体的に説明する。

【0105】

図15は、適用例2に係る各計算機の動作を説明するための図である。

なお、同図では、データの流れを矢印で示し、各メモリ内のデータのうち、書き込まれたデータを太字で表記している。これは、以下の各適用例においても同様である。

20

計算機100Aは、計算機100B～100Dに同期処理を実行させる必要が生じた場合に、まず、メモリ110Aに格納されているEnd flag1～3が「0」であること、つまり、計算機100B～100Dが同期処理を実行中でないことを確認する(同図(a)参照)。

【0106】

続いて、計算機100Aは、計算機100B～100Dに同期処理を開始させるために、メモリ110AのStart flagの格納領域に「1」を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101にStart flag「1」を出力する(Master ID「0」、Data ID「0」等も共に出力する)。

30

【0107】

なお、計算機100Aは、メモリ110AのEnd flag1～3の各領域に「1」を書き込んでおく。

計算機100B～100Dそれぞれは、共通バス101に出力されているMaster ID「0」、Data ID「0」と、自機が記憶する入力管理情報テーブル190とに基づいて、このStart flag「1」を受領する判定を行い、メモリ110B～110DのStatus flag1～3の各領域に「1」を書き込む(同図(b)参照)。

【0108】

この書き込みにより、計算機100B～100Dそれぞれは同期処理を開始する。計算機100B～100Dそれぞれは同期処理が完了するとメモリ110B～110DのStatus flag1～3に「0」を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101にそれぞれを出力する(上記同様に出力したデータに対応するMaster ID、Data ID等が共に出力される)。

40

【0109】

計算機100Aは、共通バス101に出力されているMaster ID、Data IDと、自機が記憶する入力管理情報テーブル190とに基づいて、このStatus flag1～3を受領する判定を行い、メモリ110AのEnd flag1～3の領域に書き込む(同図(c)参照)。

最後に計算機100Aは、メモリ110Aに格納されているEnd flag1～3が

50

「0」であること、つまり、計算機100B～100Dが同期処理を完了したことを確認する。

【0110】

<従来との比較>

図13(b)は、従来方式によりデータを共有するデジタル放送受信器10Aにおける各計算機に同期処理を行わせる場合の各メモリにおけるデータ配置を示す図である。

これと比較して、デジタル放送受信器1000Aは、同図(a)に示すように、各メモリの格納領域に無駄が生じておらず、また、無駄な書き込みが行われないので、無駄なアクセス競合が生じないといえる。

【0111】

また、各計算機において、上述のように出力管理情報テーブル180及び入力管理情報テーブル190を設定することにより、計算機100AによるStart flag「1」のメモリ110Aへの書き込みにより、複数の計算機100B～100Dにおいて同時に同期処理を開始することができ、かつ、計算機100B～100Dそれぞれが出力するStatus flag 1～3によって、計算機100Aは各計算機における同期処理の完了を知ることができるので、容易に同期制御を実現できる。

【0112】

なお、この適用例では、計算機100Aが、他の全ての計算機(100B～100D)に同期処理を行わせる例を説明したが、一部の計算機のみ同期処理を行わせることも可能である。

例えば、計算機100Bと100Cのみに同期処理を行わせ、計算機100Dには行わない場合には、計算機100Dが保持する入力管理情報テーブル190におけるStatus flag 3についての入力管理情報を無効にすればよい(Validを「0」に設定する)。

【0113】

また、この適用例では、計算機100Aが、他の全ての計算機(100B～100D)に同じタイミングで同期処理を開始させる例を説明したが、異なるタイミングで開始させることも可能である。

例えば、計算機100Bと100Cとは同じタイミングT1で、計算機100Dはこれとは異なるタイミングT2で同期処理を開始させる場合に、計算機100Aは、タイミングT1用のStart flag 1と、タイミングT2用のStart flag 2をメモリ110Aに格納するようにし、それぞれを「1」に更新したときに共通バス101に出力するように、計算機100Aの出力管理情報テーブル180を設定しておく。

【0114】

また、計算機100Bと100CとはStart flag 1を受領するように、計算機100Dは、Start flag 2を受領するようにそれぞれの入力管理情報テーブル190を設定しておく。なお、計算機100B～100Dが行う同期処理の内容は同一であっても異なってもよいのはもちろんである。

<適用例3>

次に、実施の形態1に係る処理システム1000を、各計算機が他の計算機の処理結果を用いて処理を行う連携処理システムに適用した例を説明する。

【0115】

なお、処理システム1000は、5つの計算機(100A～100E)を備えるものとして説明したが、本適用例に係る連携処理システムは、4つの計算機100A～100Dを備えるものとして説明する。

<連携処理の流れ>

図16は、適用例3における連携処理の流れを説明するための図である。

【0116】

同図に示すように、本連携処理は、処理A、処理B、処理C、処理Dの順で行われる。ここで、処理B～処理Dは、1つ前に行われた処理の結果(Data 0～2)を用いて行

10

20

30

40

50

われる。

なお、以下では、処理 A ~ D を、それぞれ計算機 100A ~ 100D が行うものとして説明する。また、計算機 100D による処理 D が完了すると、計算機 100A は、次の処理 A を開始するものとする。

【0117】

<各メモリ上のデータ>

図17(a)は、適用例3に係る各メモリのデータ配置を示す図である。

ここで、各メモリにおける Status 0 ~ 3 は、各計算機に対応する処理を開始させるための起動フラグであり、各計算機は、このフラグが自機の Master ID と一致する場合に対応する処理を開始し、その処理が完了すると次の処理を行う計算機の Master ID を書き込む。

【0118】

また、各メモリにおける Data 0 ~ 3 はそれぞれ、処理 A ~ D により生成されるデータであり、図16に示す各データ(Data 0 ~ 3)に対応する。

<管理情報テーブル>

図18(a)は、適用例3に係る各計算機の出力管理情報テーブル180の内容例を示す図である。

【0119】

同図に示すように、各計算機における出力管理情報テーブル180を設定することにより、計算機100A ~ 100D は、Status 0 ~ 3 及び Data 0 ~ 2 を各メモリに書き込む際に、これらを、対応する Master ID 等と共に共通バス101に出力する。

図18(b)は、適用例3に係る各計算機の入力管理情報テーブル190の内容例を示す図である。

【0120】

同図に示すように、各計算機における入力管理情報テーブル190を設定することにより、計算機100A ~ 100C は、自機が行う処理の前後の処理を行う計算機から出力される Status を、それぞれメモリ110A ~ 110C の Status 0 ~ 2 の領域に書き込むことになる。また、計算機100D は、自機が行う処理 D の前の処理 C を行う計算機100C から出力される Status 2 を、メモリ110D の Status 3 の領域に書き込むことになる。

【0121】

また、計算機100B ~ 100D は、自機が行う処理の前に処理を行う計算機から出力される Data をそれぞれメモリ110B ~ 110D の Data 1 ~ 3 の領域に書き込むことになる。

<動作>

図19は、適用例3に係る各計算機の動作を説明するための図である。

【0122】

まず、計算機100A は、メモリ110A の Status 0 の領域を参照し、Status 0 が自機の Master ID 「0」と一致する場合に、処理 A を開始する(同図(a)参照)。

計算機100A は、処理 A を完了すると、メモリ110A の該当領域に Data 0 を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101に Data 0 を出力する(Master ID 「0」、Data ID 「1」等も共に出力する)。

【0123】

計算機100B は、共通バス101に出力されている Master ID 「0」、Data ID 「1」と、自機が記憶する入力管理情報テーブル190とに基づいて、この Data 0 を受領する判定を行い、メモリ110B の Data 1 の領域に、Data 0 を書き込む。

10

20

30

40

50

その後、計算機100Aは、メモリ110AのStatus0の領域に「1」を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101にStatus0「1」を出力する(Master ID「0」、Data ID「0」等も共に出力する)。

【0124】

計算機100Bは、共通バス101に出力されているMaster ID「0」、Data ID「0」と、自機が記憶する入力管理情報テーブル190とに基づいて、このStatus0「1」を受領する判定を行い、メモリ110BのStatus1の領域に「1」を書き込む(同図(b)参照)。

この結果、計算機100Bは、Status1が自機のMaster ID「1」と一致するので処理Bを開始し、処理Bが完了すると、メモリ110Bの該当領域にData1を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101にData1を出力する(Master ID「1」、Data ID「1」等も共に出力する)。

【0125】

計算機100Cは、共通バス101に出力されているMaster ID「1」、Data ID「1」と、自機が記憶する入力管理情報テーブル190とに基づいて、このData1を受領する判定を行い、メモリ110CのData2の領域に、Data1を書き込む。

その後、計算機100Bは、メモリ110BのStatus1の領域に「2」を書き込むと共に、自機が記憶する出力管理情報テーブル180に基づいて、共通バス101にStatus1「2」を出力する(Master ID「1」、Data ID「0」等も共に出力する)。

【0126】

計算機100A及び100Cそれぞれは、共通バス101に出力されているMaster ID「1」、Data ID「0」と、自機が記憶する入力管理情報テーブル190とに基づいて、このStatus1「2」を受領する判定を行い、それぞれメモリ110AのStatus0の領域、メモリ110CのStatus2の領域に「2」を書き込む(同図(c)参照)。

【0127】

同様に、計算機100Cは処理Cを開始し、この処理Cが完了すると、メモリ110Cの該当領域にData2を書き込むと共に、これを共通バス101に出力し、計算機100Dは、メモリ110DのData3の領域に、Data2を書き込む。その後、計算機100Cは、メモリ110CのStatus2の領域に「3」を書き込むと共に、これを共通バス101に出力し、計算機100B及び100Dは、このStatus2「3」をそれぞれメモリ110BのStatus1の領域、メモリ110DのStatus3の領域に書き込む(同図(d)参照)。

【0128】

同様に、計算機100Dは、処理Dを開始し、この処理Dが完了すると、メモリ110Dの該当領域にData3を書き込む。その後、計算機100Dは、メモリ110DのStatus3の領域に「0」を書き込むと共に、これを共通バス101に出力し、計算機100A及び100Cは、このStatus3「0」をそれぞれメモリ110AのStatus0の領域、メモリ110CのStatus2の領域に書き込む(同図(e)参照)。

【0129】

以降、計算機100Aは、Status0が自機のMaster ID「0」と一致するので、再び処理Aを開始することになる。

<従来との比較>

図17(b)は、従来方式によりデータを共有して連携処理を行う連携処理システムにおける各メモリのデータ配置を示す図である。

10

20

30

40

50

## 【 0 1 3 0 】

同図 ( a ) に示す適用例 3 に係る連携処理システムでは、同図 ( b ) と比較して各メモリにおける共有データ用の格納領域を大幅に削減できており、各メモリの格納領域に無駄が生じておらず、また、無駄な書き込みによる計算機内のプロセッサとのメモリアクセス競合が生じないといえる。

なお、本適用例においては、説明を簡略化するために、処理 A 処理 B 処理 C 処理 D といったように順番に連携処理を行うものとして、各メモリに 1 世代分の S t a t u s と D a t a を格納する領域を設ける例を説明したが、複数世代分の S t a t u s と D a t a とを格納するようにして各計算機が各処理を並列して行うようにすることも可能である。

10

## 【 0 1 3 1 】

また、本実施例では、各計算機の S t a t u s を前後の処理を行う計算機が共有するものとして説明したが、全ての計算機が共有するように入力管理情報テーブル 1 9 0 を設定してもよい。これにより、各計算機は、自機が接続するメモリの S t a t u s を参照することにより、現在処理している計算機を知ることができるので、システム全体での処理状況を容易に把握できるようになる。

## 【 0 1 3 2 】

## &lt; 適用例 4 &gt;

上述の適用例 3 に係る連携処理システムに、定常時においてアイドル状態である計算機 1 0 0 E を加え、他の計算機 1 0 0 B ~ 1 0 0 D の処理負荷に応じて、その計算機の処理の一部をこの計算機 1 0 0 E が分担する例を説明する。

20

図 2 0 は、適用例 4 に係る各計算機の動作を説明するための図である。

## 【 0 1 3 3 】

以下では、同図を用いて、計算機 1 0 0 C が行う処理 C の負荷が高くなったときに、処理 C の一部をこの計算機 1 0 0 E が分担する場合の動作例を説明する。

なお、同図は、計算機 1 0 0 A が処理 A を完了し、D a t a 0 を共通バス 1 0 1 に出力した後の状態を示しており、計算機 1 0 0 A の図示を省略している。

同図 ( a ) に示すように、定常時においては、計算機 1 0 0 B ~ 1 0 0 D がそれぞれ処理 B ~ D を行っており、計算機 1 0 0 E はアイドル状態である。

## 【 0 1 3 4 】

30

なお、適用例 3 に係る各計算機は、S t a t u s が自機の M a s t e r I D と一致した場合に処理を開始するものとして説明したが、この適用例 4 では、1 つの前の処理結果 ( D a t a 0 ~ 2 ) が書き込まれた場合に、処理を開始するものとし、また、1 つ前の処理結果と自装置の処理結果とを異なる領域に書き込むものとしている。

図 2 1 ( a ) は、適用例 4 に係る定常時における各計算機の出力管理情報テーブル 1 8 0 の内容例を示す図である。

## 【 0 1 3 5 】

なお、同図においても、計算機 1 0 0 A の出力管理情報テーブル 1 8 0 の記載を省略している。

同図に示すように、各計算機における出力管理情報テーブル 1 8 0 を設定することにより、計算機 1 0 0 B 、 1 0 0 C は、それぞれ D a t a 1 、 D a t a 2 を書き込む際に、この D a t a 1 、 D a t a 2 を、対応する M a s t e r I D 等と共に共通バス 1 0 1 に出力することになる。

40

## 【 0 1 3 6 】

また、図 2 1 ( b ) は、適用例 4 に係る定常時における各計算機の入力管理情報テーブル 1 9 0 の内容例を示す図である。

なお、同図においても、計算機 1 0 0 A の入力管理情報テーブル 1 9 0 の記載を省略している。

同図に示すように、各計算機における入力管理情報テーブル 1 9 0 を設定することにより、計算機 1 0 0 B ~ 1 0 0 D は、それぞれ共通バス 1 0 1 に D a t a 0 ~ D a t a 2 が

50

出力されるとこれを受領し、メモリ110B～110Dの対応する領域に書き込むことになる。

【0137】

図20(a)の状態から、計算機100Cによる処理Cの処理負荷が高くなってくると(例えば、処理Cの開始から終了までの処理時間が所定時間以上になると)、アイドル状態の計算機100Eに処理Cの一部を実行させるために、図21(c)に示すように、任意の計算機内の1つのプロセッサ(例えば、計算機100Aのプロセッサ120A)は、計算機100Eの入力管理情報テーブル190に入力管理情報を登録する。なお、この登録は、例えば、計算機100Cから処理Cの負荷が高くなった旨の通知を受けて行う。

【0138】

これにより、計算機100Eは、計算機100Bにより共通バス101に出力されたData1を受領し、メモリ110Eの対応する領域に書き込むことになる(図20(b)参照)。

その後、処理に必要なData1が、計算機100Eのメモリ110Eに蓄積されると、図21(d)、(e)に示すように、計算機100Dの入力管理情報テーブル190に入力管理情報197を登録し、また、計算機100Eの出力管理情報を登録する。

【0139】

その後、計算機100Eは処理Cを開始し、メモリ110Eの該当領域にData2を書き込むと共に、共通バス101にData2を出力し、計算機100Dは、これを受領してメモリ110DのData2の領域に書き込む(図20(c)参照)。

なお、処理Cを計算機100Cと100Eが分担して行う際に、例えば、Data1を2等分した前半部分を用いて計算機100Cが処理Cを行ってData2の前半部分を出力し、Data1の後半部分を用いて計算機100Eが処理Cを行ってData2の後半部分を出力するものとする。つまり、計算機100Cから出力されるData2の前半部分と計算機100Eから出力されるData2の後半部分とをあわせてData2を構成するように、メモリ110Dの対応する領域に書き込まれることになる。

【0140】

このように、各計算機は、出力管理情報テーブル180及び入力管理情報テーブル190に基づいて共有データの出入力を制御するため、このテーブルを必要に応じて更新することで、運用中においても、他の計算機に大きな影響を与えずに、連携処理システムが備える計算機の数容易に増減させることができる。このことは、特にリアルタイム性が要求される処理を実現するシステムにおいて、性能保証が容易に実現できることを意味する。

【0141】

また、計算機の数を増やした場合に、その計算機用に別個にデータを出力する必要がないので、共通バス101上のデータ量の増加を防止できる。

また、定常時において計算機100Eは、他の計算機100A～100Cが共通バス101に出力したデータをメモリ110Eに書き込むことはないので、定常時に、計算機100A～100Dとのデータの授受を必要としないような処理を計算機100Eに実行させるようにした場合には、計算機100Eは、メモリ110Eの格納領域を専有し、かつアクセス競合を生じることなく効率的に処理を行うことができる。

【0142】

なお、本適用例では、処理Cを計算機100Cと100Eとが分担して処理する際に、分担処理を行っている他の計算機が生成したData2の参照が必要ないものとして説明したが、他の計算機が生成したData2の参照が必要な場合にも、適用例1で説明したように、計算機100Cと100Eの入力管理情報テーブル190に、分担処理を行っている他の計算機が出力するData2を受領するような入力管理情報を登録することで実現可能である。

【0143】

また、本適用例では、処理Cを計算機100Cと100Eとが分担して処理する場合を

10

20

30

40

50

説明したが、例えば、計算機 100C が故障等により使用できなくなった場合においても、同様の方法で、計算機 100C による処理 C の実行を、計算機 100E に代替させることが可能である。

また、本適用例では、計算機 100E は、定常時においては、他の計算機 100A ~ 100C からの Data 0 ~ 2 を受領しないよう、計算機 100E の入力管理情報テーブル 190 を設定していたが、定常時においても受領するようにしておいてもよい。計算機 100C、100D においても、それぞれ計算機 100E から Data 1、Data 2 及び 3 を受領するように、計算機 100C、100D の入力管理情報テーブル 190 を設定してもよい(図 22(a)、(b) 参照)。

【0144】

この場合、各計算機間のデータの流は、同図(c)に示すようになる。

これにより、計算機 100A ~ 100C が生成した最新の Data 0 ~ 2 が計算機 100E のメモリ 110E に常時反映されるため、計算機 100E が処理 B ~ D のいずれの分担処理を開始する際にも、出力管理情報テーブル 180 及び入力管理情報テーブル 190 を設定しなおす必要がなく、より高速に分担処理を開始させることができる。

【0145】

なお、図 22(b) のように計算機 100C、100D において、入力管理情報テーブル 190 を設定した場合でも、計算機 100E が分担処理を開始するまでは、計算機 100E から共通バス 101 に Data 1、Data 2 や Data 3 が出力されることはないので、メモリ 110B への Data 1、メモリ 110C への Data 2 やメモリ 110D への Data 3 の書き込みは生じない。従って、上述のように設定した場合でも、計算機 100E が分担処理を開始するまでは、共通バス 101 におけるデータ量は、図 20 で説明した場合と変わらず、他の計算機に影響を与えることもない。

【0146】

<適用例 5>

実施の形態 1 で説明した各計算機間のデータ共有方法を、各計算機の初期化処理に適用した例を説明する。

<各メモリ上のデータ配置>

図 23(a) は、適用例 5 に係る各メモリのデータ配置を示す図である。

【0147】

ここで、各メモリにおける Init all は、各計算機が共通して使用する初期データであり、Init 0 ~ Init 3 は、それぞれ計算機 100A ~ 100D のみが使用する初期データであり、Init 1 2 は、計算機 100B と 100C とが、Init 2 3 は、計算機 100C と 100D とが、Init 3 1 は、計算機 100B と 100D とが使用する初期データである。

【0148】

<管理情報テーブル>

図 23(b) は、適用例 5 に係る各計算機の出力管理情報テーブル 180 の内容例を示す図である。

同図に示すように、各計算機における出力管理情報テーブル 180 を設定することにより、計算機 100A は、Init all、Init 1 ~ 3、Init 1 2、Init 2 3、Init 3 1 をメモリ 110A に書き込む際に、これらを、対応する Master ID 等と共に共通バス 101 に出力することになる。

【0149】

なお、他の計算機(100B ~ 100D)の出力管理情報テーブル 180 には有効な出力管理情報が登録されていない(つまり、Valid は「0」であるが、同図における図示は省略している)ため、計算機 100B ~ 100D は、共通バス 101 にデータを出力することはない。

図 23(c) は、適用例 5 に係る各計算機の入力管理情報テーブル 190 の内容例を示す図である。

10

20

30

40

50

## 【 0 1 5 0 】

同図に示すように、各計算機における入力管理情報テーブル 190 を設定することにより、計算機 100B は、Init all、Init 1、Init 12、Init 31 を、計算機 100C は、Init all、Init 2、Init 12、Init 23 を、計算機 100D は、Init all、Init 3、Init 23、Init 31 を各メモリ (100B ~ 100D) のそれぞれ対応する領域に書き込むことになる。

## 【 0 1 5 1 】

なお、計算機 100A の入力管理情報テーブル 190 には有効な入力管理情報が登録されていない (つまり、Valid は「0」であるが、同図における図示は省略している) ため、計算機 100A は、共通バス 101 に他の計算機 (100B ~ 100D) により出力されているデータをメモリ 110A に書き込むことはない。

10

上述のように、各計算機の出力管理情報テーブル 180 及び入力管理情報テーブル 190 を設定することによって、計算機 100A が各初期データ (Init all、Init 1 ~ 3、Init 12、Init 23、Init 31) をメモリ 110A に書き込むだけで、メモリ 110B ~ 110D に他の計算機 (100B ~ 100D) が使用する初期データがそれぞれ書き込まれることになるため、システム全体の初期化を高速に行うことができる。

## 【 0 1 5 2 】

また、本適用例では、計算機 100A のみが初期データの書き込みを行うため、例えば、初期データを外部記憶装置で保持するようなシステムにおいては、計算機 100A のみをこの外部記憶装置と接続すれば足りる。

20

即ち、マルチプロセッサシステムにおいて、外部記憶装置と接続するためのインタフェース部を計算機 100A のみに設ければ足りるため、システム全体のコストを削減することができる。

## 実施の形態 2

実施の形態 1 に係る各計算機の選択部 160 は、出力管理部 140 からのメモリアクセス要求信号と入力管理部 150 からの書き込み要求信号との両方を受領した場合に、入力管理部 150 からの書き込み要求信号を優先的にメモリ制御部 170 に送出するものとして説明した。

## 【 0 1 5 3 】

従って、計算機内のプロセッサからのメモリアクセスが待たされ、処理効率が低下するようなことが生じ得る。

30

そこで、以下では、各計算機に、入力管理部 150 からの書き込み要求に係るデータ等を一時的に格納するためのバッファを設けることにより、計算機内のプロセッサからのメモリアクセスをより高速に行わせるように変えた一実施例を、上述の実施の形態 1 からの変更部分を中心に説明する。

## 【 0 1 5 4 】

## &lt; 構成 &gt;

図 24 は、実施の形態 2 に係る処理システム 1100 のシステム構成図である。

処理システム 1100 は、同図に示すとおり、実施の形態 1 に係る処理システム 1000 における各計算機に代えて、計算機 200A ~ 200C を備える。

40

計算機 200A ~ 200C はそれぞれ、実施の形態 1 に係る各計算機の選択部 160 に代えて共有データ制御部 220 を備え、更にバッファ 210 を備える。

## 【 0 1 5 5 】

各計算機 (200A ~ 200C) は、同様の構成を有するため、以下では、計算機 200A を例に説明する。なお、同図において太線で示す箇所は、特に、実施の形態 1 に係る計算機 100A と異なる箇所であることを示している。

ここで、バッファ 210 は、共有データ制御部 220 が入力管理部 150 を介して受領した書き込み要求信号に係るデータを一時的に記憶するためのメモリ領域である。より詳細には、共有データ制御部 220 により、書き込み対象データと、そのデータを書き込む

50



先となるメモリ 110A のアドレスと、そのデータがメモリ 110A への書き込みが完了しているか否かを示すフラグとが対応付けて記録される。

【0156】

共有データ制御部 220 は、出力管理部 140 又は入力管理部 150 からメモリアクセス要求信号を受領した場合に、バッファ 210、又はメモリ制御部 170 を介してメモリ 110A にアクセスする機能を有する。

<動作>

以下、共有データ制御部 220 の動作を説明する。

【0157】

図 25 は、共有データ制御部 220 によるアクセス制御処理を示すフローチャートである。

10

なお、以下のステップ S201 ~ S216 の処理は繰り返し実行されるものとする。

共有データ制御部 220 は、出力管理部 140 からメモリアクセス要求信号を受領したか否かを判定し (ステップ S201)、受領した場合には (ステップ S201: YES)、そのアクセス要求に係るメモリ 110A 上のアドレスが一致し、かつ、メモリ 110A への書き込みが完了していないデータがバッファ 210 に格納されているか否かを判定する (ステップ S202)。より詳細には、アクセス要求に係るメモリ 110A 上のアドレスと一致するアドレス及びメモリ 110A への書き込みが完了していない旨のフラグと対応付けられているデータがバッファ 210 に格納されている場合にのみ肯定的な判定を行う。

20

【0158】

アドレスが一致し、かつ、メモリ 110A への書き込みが完了していないデータがバッファ 210 に格納されていない場合には (ステップ S202: NO)、共有データ制御部 220 は、出力管理部 140 からのメモリアクセス要求信号等をメモリ制御部 170 に送出する (ステップ S203)。

続いて、共有データ制御部 220 は、入力管理部 150 から書き込み要求信号を受領したか否かを判定し (ステップ S204)、受領していない場合には (ステップ S204: NO)、アクセス制御処理を終了し、受領した場合には (ステップ S204: YES)、入力管理部 150 からの書き込み要求信号に含まれる書き込み対象データと、対応するメモリ 110A のアドレスと、書き込みが完了していない旨を示すフラグとを対応付けてバッファ 210 に書き込み (ステップ S205)、アクセス制御処理を終了する。

30

【0159】

一方、ステップ S202 において、アドレスが一致し、かつメモリ 110A への書き込みが完了していないデータがバッファ 210 に格納されている場合には (ステップ S202: YES)、共有データ制御部 220 は、そのデータをバッファ 210 から読み出し (ステップ S206)、出力管理部 140 からのメモリアクセス要求信号が書き込み要求信号であるか否かを判定する (ステップ S207)。

【0160】

出力管理部 140 からのメモリアクセス要求信号が読み出し要求信号である場合には (ステップ S207: NO)、共有データ制御部 220 は、ステップ S206 で読み出したデータをプロセッサに送出すると共に、そのデータを、バッファ 210 に記憶されているアドレスに書き込むための書き込み要求信号を、メモリ制御部 170 に送出する (ステップ S208)。

40

【0161】

一方、出力管理部 140 からのメモリアクセス要求信号が書き込み要求信号である場合には (ステップ S207: YES)、共有データ制御部 220 は、ステップ S206 で読み出したデータに、その書き込み要求信号に係るデータを反映させる処理 (例えば、上書き処理) を行い、反映後のデータをバッファ 210 に記憶されているアドレスに書き込むための書き込み要求信号を、メモリ制御部 170 に送出する (ステップ S209)。

【0162】

50

ステップS 2 0 8、又はステップS 2 0 9において、書き込み要求信号を送出すると、共有データ制御部 2 2 0 は、バッファ 2 1 0 において、その書き込み要求に係るデータと対応付けて記憶されているフラグを書き込みが完了している旨を示すように更新し、上述のステップS 2 0 4 の処理に進む。

また、ステップS 2 0 1 において、出力管理部 1 4 0 からメモリアクセス要求信号を受領していない場合には(ステップS 2 0 1 : N O)、共有データ制御部 2 2 0 は、入力管理部 1 5 0 からメモリアクセス要求信号(書き込み要求信号)を受領したか否かを判定し(ステップS 2 1 0)、受領していない場合には(ステップS 2 1 0 : N O)、メモリ 1 1 0 A への書き込みが完了していないデータがバッファ 2 1 0 に格納されているか否かを判定する(ステップS 2 1 1)。より詳細には、メモリ 1 1 0 A への書き込みが完了していない旨のフラグと対応付けられているデータがバッファ 2 1 0 に格納されている場合に肯定的な判定を行う。

10

**【 0 1 6 3 】**

メモリ 1 1 0 A への書き込みが完了していないデータが存在しない場合には(ステップS 2 1 1 : N O)、そのままアクセス制御処理を終了し、メモリ 1 1 0 A への書き込みが完了していないデータが存在する場合には(ステップS 2 1 1 : Y E S)、共有データ制御部 2 2 0 は、そのデータをバッファ 2 1 0 から読み出し、読み出したデータを、バッファ 2 1 0 に記憶されているアドレスに書き込むための書き込み要求信号を、メモリ制御部 1 7 0 に送出し(ステップS 2 1 2)、ステップS 2 0 8 等で説明したのと同様にフラグを更新し、アクセス制御処理を終了する。

20

**【 0 1 6 4 】**

一方、ステップS 2 1 0 において、入力管理部 1 5 0 からメモリアクセス要求信号(書き込み要求信号)を受領した場合には(ステップS 2 1 0 : Y E S)、その書き込み要求に係るメモリ 1 1 0 A 上のアドレスが一致し、かつ、メモリ 1 1 0 A への書き込みが完了していないデータがバッファ 2 1 0 に格納されているか否かを上述のステップS 2 0 2 と同様に判定する(ステップS 2 1 3)。

**【 0 1 6 5 】**

アドレスが一致し、かつ、メモリ 1 1 0 A への書き込みが完了していないデータがバッファ 2 1 0 に存在しない場合には(ステップS 2 1 3 : N O)、共有データ制御部 2 2 0 は、入力管理部 1 5 0 からのメモリアクセス要求信号(書き込み要求信号)をメモリ制御部 1 7 0 に送出し(ステップS 2 1 4)、アクセス制御処理を終了する。

30

また、ステップS 2 1 3 において、アドレスが一致し、かつメモリ 1 1 0 A への書き込みが完了していないデータがバッファ 2 1 0 に格納されている場合には(ステップS 2 1 3 : Y E S)、共有データ制御部 2 2 0 は、そのデータをバッファ 2 1 0 から読み出す(ステップS 2 1 5)。

**【 0 1 6 6 】**

また、共有データ制御部 2 2 0 は、読み出したデータに、その書き込み要求信号に係るデータを反映させる処理(例えば、上書き処理)を行い、反映後のデータをバッファ 2 1 0 に記憶されているアドレスに書き込むための書き込み要求信号を、メモリ制御部 1 7 0 に送出し(ステップS 2 1 6)、ステップS 2 0 8 等で説明したのと同様にフラグを更新し、アクセス制御処理を終了する。

40

**【 0 1 6 7 】**

このように、共有データ制御部 2 2 0 は、他の計算機との共有データ(書き込み対象データ)をバッファ 2 1 0 に格納し、計算機内のプロセッサによるメモリアクセスがなされていないときにバッファ 2 1 0 に格納されている共有データを書き込むので、計算機内のプロセッサからのメモリアクセス要求と、他の計算機との共有データ(書き込み対象データ)に係る書き込み要求との競合を防ぐことができる。即ち、計算機内のプロセッサによるメモリアクセスを待たせることなく、高速に行わせることができる。

**【 0 1 6 8 】**

また、計算機内のプロセッサからのアクセス要求に係るデータが、未だメモリ 1 1 0 A

50

への書き込みが完了していないデータとしてバッファ210に格納されている場合に、共有データ制御部220は、そのバッファ210内のデータに対してアクセス処理を行う。従って、計算機内のプロセッサは、他計算機との共有データ（書き込み対象データ）が、メモリ110Aに書き込まれる前の状態であっても、最新の共有データにアクセスできると共に、メモリ110Aへのアクセスが行われないので、この間にバッファ210内のデータを書き込むことが可能になり、バッファ210内のデータを比較的短時間でメモリ110Aに反映させることができる。

#### 実施の形態3

以下では、各計算機内のプロセッサが処理に用いるデータを、このプロセッサのみが用いるデータと、共有データとに分け、物理的に異なる2つのメモリ（固有メモリと共有メモリ）にそれぞれのデータを格納することで、各計算機内のプロセッサからのメモリアクセスを待たせることなく、より高速に行わせるように変えた一実施例を、上述の実施の形態1からの変更部分を中心に説明する。

#### 【0169】

図26は、実施の形態3に係る処理システム1200のシステム構成図である。

処理システム1200は、同図に示すとおり、実施の形態1に係る処理システム1000における各計算機に代えて、計算機300A～300Cを備える。

計算機300A～300Cは、実施の形態1に係る各計算機の選択部160に代えてメモリ選択制御部330を、メモリ制御部170に代えて固有メモリ制御部340と共有メモリ制御部350とを備える。

#### 【0170】

また、各計算機はメモリ110A～110Cに代えてそれぞれ固有メモリ310A～310Cと共有メモリ320A～320Cとに接続している。

各計算機（300A～300C）は、同様の構成を有するため、以下では、計算機300Aを例に説明する。なお、同図において太線で示す箇所は、特に、実施の形態1に係る計算機100Aと異なる箇所であることを示している。

#### 【0171】

ここで、メモリ選択制御部330は、出力管理部140から受領したメモリアクセス要求信号及び入力管理部150から受領した書き込み要求信号を、固有メモリ制御部340と共有メモリ制御部350とのいずれかに送出する機能を有する。

より詳細には、出力管理部140から受領したメモリアクセス要求信号が、固有メモリ310Aに対するアクセス要求信号である場合には、この信号を固有メモリ制御部340に送出し、共有メモリ320Aに対するアクセス要求信号である場合には、この信号を共有メモリ制御部350に送出する。また、入力管理部150から受領した書き込み要求信号は、全て共有メモリ制御部350に送出する。特に、出力管理部140からの共有メモリ320Aに対するアクセス要求信号と、入力管理部150からの書き込み要求信号とを共に受領した場合には、入力管理部150からの書き込み要求信号を優先的に共有メモリ制御部350に送出する。つまり、この場合、プロセッサからの共有メモリ320Aへのアクセスは待たされることになる。

#### 【0172】

なお、メモリ選択制御部330は、出力管理部140から受領したメモリアクセス要求信号が、固有メモリ310Aと共有メモリ320Aのいずれに対するアクセス要求信号であるかを判断する必要がある。この判断のために、メモリ選択制御部330は、例えば論理アドレスと物理アドレスとを対応付けた情報を保持し、出力管理部140から受領したメモリアクセス要求信号に含まれるアドレス（論理アドレス）を、各メモリ（固有メモリ310A、共有メモリ320A）におけるアドレス（物理アドレス）に変換して、変換後のアドレスを指定する新たなメモリアクセス要求信号を生成して、対応するメモリに送出するようにしてもよい。

#### 【0173】

また、上述の論理アドレスと物理アドレスとを対応付けた情報を調停部130が保持す

10

20

30

40

50

るようにし、調停部 130 が出力管理部 140 にメモリアクセス要求信号を送出する際に、新たなメモリアクセス要求信号を生成して、出力管理部 140 に送出的ようにしてもよい。

また、その他の方法として、各プロセッサが調停部 130 に送出的メモリアクセス要求信号を、固有メモリ 310A と共有メモリ 320A のいずれに対するアクセス要求信号であるかを指定する情報を含むように変更してもよい。

#### 【0174】

固有メモリ制御部 340 は、メモリ選択制御部 330 から受領したメモリアクセス要求信号等に基づいて、他の計算機と共有する必要のないデータ、つまり、計算機 300A 内の各プロセッサ (120A ~ 120C) のみが用いるデータを記憶する固有メモリ 310A にアクセスする機能を有する。この固有メモリ 310A に記憶するデータの例としては、各プロセッサ (120A ~ 120C) それぞれが実行すべきプログラムが挙げられる。

10

#### 【0175】

共有メモリ制御部 350 は、メモリ選択制御部 330 から受領したメモリアクセス要求信号等に基づいて、他の計算機との共有データを記憶する共有メモリ 320A にアクセスする機能を有する。

このように、他の計算機と共有する必要のないデータを固有メモリ 310A に記憶し、共有データを共有メモリ 320A に記憶させるようにしたので、固有メモリ 310A と共有メモリ 320A とに同時にアクセスすることが可能になる。つまり、計算機内のプロセッサからのアクセス要求が固有メモリ 310A に対するアクセス要求である場合には、このアクセス要求と、他の計算機との共有データ (書き込み対象データ) に係る共有メモリ 320A に対する書き込み要求との競合を防ぐことができる。

20

#### 実施の形態 4

以下では、実施の形態 2 及び実施の形態 3 における特徴的な構成を組み合わせた一実施例を、実施の形態 3 からの変更部分を中心に説明する。

#### 【0176】

図 27 は、実施の形態 4 に係る処理システム 1300 のシステム構成図である。

処理システム 1300 は、同図に示すとおり、実施の形態 3 に係る計算機 300A ~ 300C に代えて計算機 400A ~ 400C を備える。

計算機 400A ~ 400C は、実施の形態 3 に係る各計算機のメモリ選択制御部 330 に代えてメモリ選択制御部 410 を備えると共に、実施の形態 2 に係るバッファ 210 及び共有データ制御部 220 を備える。

30

#### 【0177】

各計算機 (400A ~ 400C) は、同様の構成を有するため、以下では、計算機 400A を例に説明する。なお、同図において太線で示す箇所は、特に、実施の形態 3 に係る計算機 300A と異なる箇所であることを示している。

ここで、メモリ選択制御部 410 は、出力管理部 140 から受領した共有メモリ 320A に対するアクセス要求信号及び入力管理部 150 から受領した書き込み要求信号を、共有データ制御部 220 に送出的点で実施の形態 3 に係るメモリ選択制御部 330 と異なる。

40

#### 【0178】

共有データ制御部 220 は、メモリ選択制御部 410 を介して、出力管理部 140 又は入力管理部 150 からメモリアクセス要求信号を受領した場合に、バッファ 210、又は共有メモリ制御部 350 を介して共有メモリ 320A にアクセスする機能を有する。具体的には、実施の形態 2 で説明したように、図 25 に示すフローチャートに従って、アクセス制御処理を行う。

#### 【0179】

これにより、実施の形態 3 の場合と比較し、計算機内のプロセッサからのアクセス要求が共有メモリ 320A に対するアクセス要求であっても、他の計算機との共有データ (書き込み対象データ) に係る共有メモリ 320A に対する書き込み要求との競合を防ぐこと

50

ができる。つまり、計算機内のプロセッサによるメモリアクセスを待たせることなく、高速に行わせることができる。

【0180】

また、共有データ制御部220は、計算機内のプロセッサによる共有メモリ320Aへのアクセスがなされていないときにバッファ210に格納されている共有データを共有メモリ320Aへ書き込むことになる。つまり、計算機内のプロセッサによる固有メモリ310Aへのアクセスがなされている場合にも、バッファ210に格納されている共有データを共有メモリ320Aへ書き込むことが可能になる。従って、実施の形態2の場合を比較し、バッファ210に格納されている共有データをより頻繁に共有メモリ320Aに書き込むことが可能になるので、より速やかにバッファ210内のデータを共有メモリ320Aに反映させることができる。この結果、実施の形態2よりも少ない容量のバッファ210を用いることが可能になる。

10

変形例

以下では、各計算機内の出力管理部140が自計算機内の特定のプロセッサからの書き込み要求信号を受領した場合にのみ共通バス101に書き込み対象のデータを出力するように変えた一変形例について説明する。

【0181】

変形例に係る各計算機(500A~500D)は、実施の形態1に係る各計算機の出力管理部140が保持する出力管理情報テーブル180のデータ構造と、調停部130の機能とを若干変更したものである。

20

具体的には、変形例に係る調停部は、各プロセッサによるメモリ110Aに対するアクセス要求を調停し、1つのメモリアクセス要求信号を変形例に係る出力管理部に送出する際に、その信号の送信元であるプロセッサの識別情報(後述するProcessor ID)も変形例に係る出力管理部に送出する。

【0182】

以下では、変形例に係る処理システムを、上述の適用例3と同様に、計算機500A~500Dがそれぞれ処理A~Dを行う連携処理システムに適用した場合を例にして、実施の形態1からの変更部分を中心に説明する。

特に、この例では、各計算機内のプロセッサ120Aがそれぞれ処理A~Dを行うものとすると共に、計算機100Bによる処理Bの負荷が高くなると、計算機100Aのプロセッサ120Bが処理Bを分担処理するものとして説明する。なお、この例に係る計算機500B~500Dは、適用例5と同様に、1つの前の処理結果(Data0~2)が書き込まれた場合に、これらのデータを用いた処理B~Dを開始するものとする。

30

【0183】

図28(a)は、変形例に係る各計算機の出力管理情報テーブルの内容例を示す図である。

同図に示すように、変形例に係る出力管理情報テーブルの出力管理情報には、実施の形態1に係る出力管理情報テーブル180の出力管理情報に含まれる各データに加え、Processor IDが含まれる。

【0184】

ここで、Processor IDは、対応する共有データに対する書き込み要求信号を送出するプロセッサの識別情報であり、以下では、一例として、変形例に係る各計算機のプロセッサ120A~120CのProcessor IDが「0」~「2」であるものとする。

40

同図に示すように、各計算機における出力管理情報テーブルを設定することにより、計算機500Aは、Processor IDが「0」と「1」とである各プロセッサ(つまりプロセッサ120Aと120B)の書き込み要求信号に係るデータ(Data0とData1)をメモリ110Aに書き込む際に、これらを、対応するMaster ID等と共に共通バス101に出力する。

【0185】

50

また、計算機500B、500Cは、それぞれProcessor IDが「0」であるプロセッサ（つまりプロセッサ120A）の書き込み要求信号に係るデータ（Data1、Data2）を各メモリ（110B、100C）に書き込む際に、これらを、対応するMaster ID等と共に共通バス101に出力する。

図28（b）は、変形例に係る各計算機の入力管理情報テーブル190の内容例を示す図である。

#### 【0186】

変形例においても、入力管理情報テーブル190のデータ構造は、実施の形態1と変更がなく、同図に示すように、各計算機における入力管理情報テーブルを設定することにより、計算機500Bは、計算機500Aが出力するData0を、計算機500Cは、計算機500A及び500Bが出力するData1を、計算機500Dは、計算機500Cが出力するData2をメモリ110B～110Dのそれぞれ対応する領域に書き込む。

10

#### 【0187】

以下では、計算機500A～500Dがそれぞれ処理A～Dを行う連携処理システムの動作を説明する。

図29は、変形例に係る各計算機の動作を説明するための図である。

同図（a）～（c）は、定常時における各計算機の動作を示している。これについては、上述の適用例3と同様であるため詳細な説明は省略する。

#### 【0188】

同図（d）は、計算機500Bによる処理Bの負荷が高まり、計算機500Aのプロセッサ120Bが処理Bを分担処理している状態を示している。

20

計算機500Bは、処理Bの負荷が一定以上（例えば、処理Bの開始から終了までの処理時間が所定時間以上）になると、計算機500Aに処理Bの分担処理を指示し、計算機500Aのプロセッサ120Bは、この指示を受けて処理Bの分担処理を開始する。

#### 【0189】

計算機500Aのプロセッサ120Bは、例えば、メモリ110Aに書き込まれた自機のプロセッサ120Aによる処理Aの処理結果（Data0）を2等分した後半部分を用いて処理Bを行って、この結果（Data1の後半部分）を、この処理Bに用いたData0の後半部分が格納されていた領域に書き込む。

また、計算機500Bは、計算機500Aのプロセッサ120Bによる処理Bの実行と並行して、例えば、メモリ110Bに格納されているData0の前半部分を用いて処理Bを行って、この結果（Data1の前半部分）を、この処理Bに用いたData0の前半部分が格納されていた領域に書き込む。

30

#### 【0190】

計算機500A、500Bはそれぞれ、Data1を書き込む際に、それぞれが記憶する出力管理情報テーブルに基づいて、共通バス101にData1を出力する（Master ID等も共に出力する）。

計算機500Cは、共通バス101に出力されているMaster ID等と自機が記憶する入力管理情報テーブル190とに基づいて、Data1を受領する判定を行い、メモリ110Cの対応する領域に書き込み、処理Cを開始することになる。

40

#### 【0191】

このように、変形例に係る出力管理情報テーブルには、Processor IDが含まれるため、上述のように、計算機500Aのプロセッサ120AがData0を書き込むメモリ110Aの領域と、計算機500Aのプロセッサ120BがData1を書き込むメモリ110Aの領域とが重複しても、異なるプロセッサからの書き込み要求信号に係る共有データを別個のデータとして管理することができる。つまり、上述のように、計算機500Aが共通バス101に出力するData0は、計算機500Bに受領させ、Data1は、計算機500Cに受領させるようなことが可能になる。

#### 【0192】

また、別個の共有データを格納するメモリ上の領域を重複して設定できるので、メモリ

50

上の共有データ用の格納領域を節約することが可能になる。

なお、適用例3で説明したように、各メモリに複数世代分のDataを格納するようにすることで、各計算機が各処理を並列して行うようにすることも可能である。

<補足>

以上、本発明に係る処理システムについて、各実施の形態及び変形例に基づいて説明したが、以下のように変形することも可能であり、本発明は上述した各実施の形態及び変形例に示したとおりの処理システムに限られないことは勿論である。

【0193】

(1) 各実施の形態及び変形例においては、出力管理情報及び入力管理情報は、Validを含み、Validが「1」の場合に、出力管理情報及び入力管理情報は有効であるものとして説明したが、Validを省略し、有効な出力管理情報及び入力管理情報のみを、出力管理情報テーブル及び入力管理情報テーブルに登録するようにしてもよい。

10

(2) 各実施の形態及び変形例においては、出力管理情報テーブルと入力管理情報テーブルとを別個に設けるものとして説明したが、1つの入出力管理テーブルに出力管理情報及び入力管理情報を登録するようにし、出力管理部の出力判定部143及び入力管理部の入力判定部152は、判定の際に、入出力管理テーブルを参照するようにしてもよい。この際、入出力管理テーブルには、出力管理情報及び入力管理情報を区別するためのフラグを登録しておく。

【0194】

更に、各計算機間で相互に更新するデータを共有するようなシステムにおいては、出力管理情報及び入力管理情報を区別する必要もなく、入出力管理テーブルに登録されている入出力管理情報に従って、自機のプロセッサによる書き込み要求に係るデータを出力し、他の計算機から出力されたデータを受領すればよい。このように変形した場合には、出力管理情報テーブルと入力管理情報テーブルとを別個に設ける場合と比較し、テーブルを格納するためのメモリ容量が半分になる点で有効である。

20

【0195】

(3) 各実施の形態及び変形例においては、各計算機の出力管理情報テーブル及び入力管理情報テーブルへ登録するデータの生成及び各テーブルへの登録を、処理システムにおける任意の計算機内の1つのプロセッサが行うものとして説明したが、各計算機内のプロセッサが、自機が接続するメモリに記憶されているプログラムを実行することにより生成及び登録するようにしてもよい。

30

【0196】

出力管理情報及び入力管理情報は、Master IDとData IDとを含み、両IDの組み合わせにより共有データを識別するため、各計算機は、他の計算機に出力すべき各共有データに、重複しないようにData IDを割り当てれば済み、他の計算機が割り当てているData IDと重複してもよいことから、各計算機は独自に出力管理情報テーブルを設定できる。

【0197】

また、処理システムにおける任意の計算機内の1つのプロセッサが各計算機の出力管理情報テーブル及び入力管理情報テーブルへ登録するデータの生成のみを行い、テーブル設定用のバスを介して、各計算機に生成したデータを送信し、各計算機内のプロセッサが受領したデータを自機内のテーブルに登録するようにしてもよい。

40

また、既に登録済みの出力管理情報及び入力管理情報の有効又は無効の設定(つまり、Validの更新)を、各計算機内のプロセッサが行うようにしてもよい。

【0198】

(4) 各実施の形態及び変形例においては、出力管理情報及び入力管理情報は、Master IDとData IDとを含み、両IDの組み合わせにより共有データを識別する例を説明したが、システム全体を通じて各共有データを識別可能な識別情報を生成するようにしてもよい。

(5) 各実施の形態及び変形例においては、各計算機の出力管理情報テーブルにおける

50

各出力管理情報には、その計算機のMaster IDが含まれるものとして説明したが、各計算機は、自機のMaster IDを別途記憶しておくようにし、Master IDについては各出力管理情報には含めないようにしてもよい。

【0199】

(6) 各実施の形態及び変形例においては、書き込み先のアドレス(他の計算機が出力したオフセット+対応する入力管理情報のStart Address)は、その対応する入力管理情報のEnd Addressまでの範囲に収まるものとして説明した。しかしながら、必ずしもこのようにする必要はなく、対応する共有データの格納領域以外への書き込みを行わないように、例えば、以下のように制御すればよい。

【0200】

(a) そのアクセスを共有領域外アクセスとして、その計算機のメモリに格納しない制御とする。

(b) 算出した書き込み先のアドレスから、その格納領域のアドレス空間分を引いたアドレスを格納先として、その格納領域内で折り返す制御とする。

(c) 特定の固定アドレスへのアクセスに変換する制御する。

【0201】

(7) 各実施の形態及び変形例においては、出力管理情報及び入力管理情報には、End Addressを含むものとして説明したが、End Addressを含まないこととしてもよい。その場合、例えば、各共有データに対する格納領域を同一サイズにする必要がある。

(8) 各実施の形態及び変形例では、出力管理情報及び入力管理情報における格納領域の指定をStart AddressとEnd Addressとで行うものとして説明したが、これに限らず、例えば、End Addressの代わりに、領域サイズを用いてもよい。

【0202】

(9) 各実施の形態及び変形例では、共通バス101のバス幅を小さくするために、書き込み先アドレスを、Master IDとData IDとオフセットとで指定する方式を説明したが、これに限らず、例えば、書き込み先アドレスを、Master IDとData IDのみで指定し、対応する領域の全データを書き込み対象のデータとして送信するようにしてもよい。また、出力管理部は、調停部を介して受領したプロセッサからのメモリアクセス要求信号に含まれているアドレスの全ビットあるいは、一部のビットのみを出力してアドレスを特定するようにしてもよい。

【0203】

(10) 各実施の形態及び変形例においては、説明を簡単にするために、調停部から送出されるメモリアクセス要求信号におけるアクセス要求の転送単位を1サイクルで実行できる単位として説明を行ったが、これに限らず、例えば、複数サイクルで転送するバースト転送のアクセス要求であっても、同様に実装可能である。

この場合、バースト転送中に、出力管理情報テーブルにて設定されている格納領域の境界を跨るようなアクセスが発生した場合には、そのアクセス要求を、非共有データアクセスと、共有データアクセスに分割して、それぞれに対応した処理を行う制御や、共通バス調停部102において、調停単位を1バースト転送とするために、共通バス101へのデータ転送が完了したことを通知する信号を、出力管理部が共通バス調停部102に送出する制御を行う等、いくつか改良が必要であるが、これらは既存の実装技術を用いて対応できるため、ここでは詳細な説明を省略する。

【0204】

(11) 各実施の形態及び変形例においては、説明を簡単にするために、メモリ制御部170、固有メモリ制御部340、共有メモリ制御部350は、単に、書き込み要求信号に係るデータをメモリに書き込むものとして説明したが、この書き込み要求信号に、バイトマスク等、書き込み処理に特別な処理を施す制御情報を含めてもよく、メモリ制御部170等は、その制御情報に従ったデータの更新処理を行うこととしてもよい。

10

20

30

40

50



## 【 0 2 0 5 】

( 1 2 ) 実施の形態 2 では、バッファ 2 1 0 に格納されているメモリへの書き込みが完了していないデータの書き込みを、計算機内のプロセッサからメモリへのアクセスが行われていない間に行うものとして説明したが、例えば、バッファ 2 1 0 内に未書込のデータが存在する場合に、共有データ制御部 2 2 0 は、そのデータをメモリに書き込むために、明示的に書き込み要求信号を調停部 1 3 0 に送出し、調停部 1 3 0 が調停の結果、この信号を選択したときに、バッファ 2 1 0 からメモリへ書き込むようにしてもよい。

## 【 0 2 0 6 】

これにより、調停部 1 3 0 において、バッファ 2 1 0 内の未書込のデータを確実にメモリに書き込むことが保証でき、例えば、バッファがフルになった結果、共通バス 1 0 1 上のデータ転送を停止したり、調停部 1 3 0 で選択されたプロセッサのメモリアクセス要求を共有データ制御部 2 2 0 で停止するといった処理を回避でき、システムの性能保証が容易となる。

10

## 【 0 2 0 7 】

( 1 3 ) 実施の形態 2 では、図 2 5 で説明したように、入力管理部 1 5 0 からの書き込み要求信号のみを受領し ( ステップ S 2 0 1 : N O 、 S 2 1 0 : Y E S ) 、メモリ 1 1 0 A への書き込みが完了していないデータがバッファ 2 1 0 に格納されているが、その書き込み要求に係るメモリ 1 1 0 A 上のアドレスと一致しない場合に ( ステップ S 2 1 3 : N O ) 、共有データ制御部 2 2 0 は、入力管理部 1 5 0 からの書き込み要求信号をメモリ制御部 1 7 0 に送出する ( ステップ S 2 1 4 ) のものとして説明した。

20

## 【 0 2 0 8 】

しかしながら、例えば、バッファ 2 1 0 内の未書込のデータのうち、最も早くバッファ 2 1 0 に書き込まれたデータをメモリに書き込む書き込み要求信号をメモリ制御部 1 7 0 に送出し、入力管理部 1 5 0 からの書き込み要求信号に係るデータをバッファ 2 1 0 に書き込むようにしてもよい。

これにより、他の計算機から受領した共有データのうち、更新が最も古いものから優先してメモリに反映できるため、他計算機から受領してからメモリに反映されるまでの期間を短くすることが可能となる。

## 【 0 2 0 9 】

( 1 4 ) 実施の形態 2 では、図 2 5 で説明したように、アクセス要求が競合した場合、バッファ 2 1 0 への読み出しと書き込みが同時に発生する可能性があるが、バッファ 2 1 0 をデュアルポートメモリで構成するか、バッファ 2 1 0 のバスを広げる、バッファ 2 1 0 の動作周波数を上げる等によりバッファ 2 1 0 の転送帯域を上げることにより、バッファ 2 1 0 の転送待ちによる各メモリアクセス処理の性能劣化を回避することが可能である。

30

## 【 0 2 1 0 】

( 1 5 ) 実施の形態 2 では、メモリアクセス性能の高速化実現のため、共有データ制御部 2 2 0 が受領したメモリアクセス要求信号に係るデータが、バッファ 2 1 0 にメモリへの未書込データとして格納されていた場合には、このデータを読み出してプロセッサに送出した後このデータをメモリに書き込み、又はバッファ 2 1 0 から読み出したデータに書き込み要求信号に係るデータを反映させた後に、反映後のデータをメモリに書き込むものとして説明した。

40

## 【 0 2 1 1 】

しかしながら、処理を簡略化するために、以下のようにしてもよい。

即ち、プロセッサからの読み出し要求信号に係るデータが、バッファ 2 1 0 にメモリへの未書込データとして格納されていた場合には、この未書込データをメモリに書き込んだ後に、読み出し要求信号に係るデータをメモリから読み出すようにしてもよい。

また、入力管理部 1 5 0 からの書き込み要求信号に係るデータが、バッファ 2 1 0 にメモリへの未書込データとして格納されていた場合には、この未書込データをメモリに書き込む処理と、書き込み要求信号に係るデータをバッファ 2 1 0 に書き込む処理とを並行して行うようにしてもよい。

50

## 【 0 2 1 2 】

( 1 6 ) 実施の形態 3 においては、他の計算機との共有データを全て共有メモリ 3 2 0 A に格納するものとして説明したが、より計算機内のプロセッサのメモリアクセス性能を向上させるために、他の計算機と共有するデータのうち、自計算機のみが更新するデータについては、固有メモリ 3 1 0 A に格納し、他の計算機も更新するデータのみ共有メモリ 3 2 0 A に格納するようにしてもよい。

## 【 0 2 1 3 】

この結果、他の計算機から受領した共有データを書き込むための共有メモリ 3 2 0 A へのアクセスと、自機内のプロセッサから自機のみが更新する共有データを書き込むための固有メモリ 3 1 0 A へのアクセスとを並行して行うことができるので、自機内のプロセッサによるメモリアクセスを待たせる必要がなく、アクセス性能の劣化を回避できるようになる。

10

## 【 0 2 1 4 】

( 1 7 ) 変形例においては、出力管理情報に Processor ID を含める例を説明したが、これに代えて、タスクの識別情報である Task ID を含めるようにしてもよい。つまり、プロセッサ単位ではなく、タスク単位で他の計算機に送出すべき共有データであるか否かを判断できるようにしてもよい。

( 1 8 ) 変形例に係る出力管理部は、Processor ID については共通バス 1 0 1 に出力しないものとして説明したが、各入力管理情報にも Processor ID を含めるように変形し、各計算機は、Processor ID にも基づいて自機が共有すべきデータか否かを判断するようにしてもよい。

20

## 【 0 2 1 5 】

( 1 9 ) 各実施の形態及び変形例においては、各計算機の構成は同様であるものとして説明したが、これに限定されるものではない。例えば、各計算機内のプロセッサの数は異なってもよいし、各計算機が備えるプロセッサの数は 1 つであってもよい。この場合、調停部は不要になる。すなわち 1 つのプロセッサに 1 つの専用メモリが割り当てられる構成の計算機を複数並列する場合にも、各実施の形態及び変形例で説明したのと同様に適用可能である。

## 【 0 2 1 6 】

また、プロセッサは、一部あるいは全部が DSP ( Digital Signal Processor )、アクセラレータ ( ワイヤードロジック ) 等の非プロセッサから構成されるものであってもよい。

30

( 2 0 ) 各実施の形態及び変形例において説明した各計算機の各機能ブロックは、典型的には集積回路である LSI ( Large Scale Integration ) として実現される。これらは個別に 1 チップ化されてもよいし、一部、又は全てを含むように 1 チップ化されても良い。

## 【 0 2 1 7 】

また、各計算機を、それぞれ 1 つの半導体に集積された LSI で構成されたものとし、複数の LSI 間で、データ共有するデータ共有機構としても適応可能である。

ここでは、LSI としたが、集積度の違いにより、IC、システム LSI、スーパー LSI、ウルトラ LSI と呼称されることもある。

40

また、集積回路化の手法は LSI に限るものではなく、専用回路、又は汎用プロセッサで実現してもよい。LSI 製造後に、プログラムすることが可能な FPGA ( Field Programmable Gate Array ) や、LSI 内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用しても良い。

## 【 0 2 1 8 】

さらには、半導体技術の進歩、又は派生する別技術により、LSI に置き換わる集積回路化の技術が登場すれば、当然その技術を用いて機能ブロックの集積化を行っても良い。バイオ技術の適応等が可能性としてあり得る。

( 2 1 ) 各実施の形態及び変形例においては、各メモリは、各計算機の外部にあるもの

50

として図示されているが、メモリは、各計算機の内部にあってもよい。また前述したように、LSIの構成単位としては、様々な形態が存在するが、それぞれの実装形態において、各計算機のメモリは、構成されるLSIの内部、外部どちらに存在してもよく、さらには、混在する形態であっても適用可能である。

【0219】

(22)各実施の形態及び変形例において、共通バス調停部102は、各計算機の外部に独立して存在するものとして説明したが、全ての、あるいは一部の計算機の内部にあるものとしても良い。

(23)各実施の形態及び変形例において、出力管理部及び入力管理部は回路であるとして説明したが、例えば、各計算機に含まれる1つのプロセッサが所定のプログラムを実行することにより、出力管理部及び入力管理部の機能を実現するようにしてもよいし、別個のプロセッサが出力管理部と入力管理部の機能を実現するようにしてもよい。

10

【0220】

(24)本発明に係る処理システムが備える各処理装置は、各実施の形態及び変形例に係る各計算機及び各メモリに相当する。

また、本発明に係る処理装置における共有データ記憶手段は、各実施の形態及び変形例に係るメモリ又は共有メモリに相当し、出力手段、入力手段、及び管理情報記憶手段は出力管理部及び入力管理部に相当し、共有データアクセス手段は選択部及びメモリ制御部に相当し、バッファメモリはバッファに相当し、アクセス制御手段は共有データ制御部及びメモリ制御部に相当し、固有データ記憶手段は固有メモリに相当し、データアクセス手段はメモリ選択制御部、固有メモリ制御部、及び共有メモリ制御部に相当し、第1メモリは固有メモリに相当し、第2メモリは共有メモリに相当し、メモリアccess手段は、メモリ選択制御部、固有メモリ制御部、共有データ制御部、及び共有メモリ制御部に相当する。

20

【産業上の利用可能性】

【0221】

本発明はいわゆる疎結合マルチプロセッサシステムにおけるプロセッサ間でデータを共有するために利用できる。

【符号の説明】

【0222】

100A~E、200A~C、300A~C、400A~C、500A~C 計算機 30

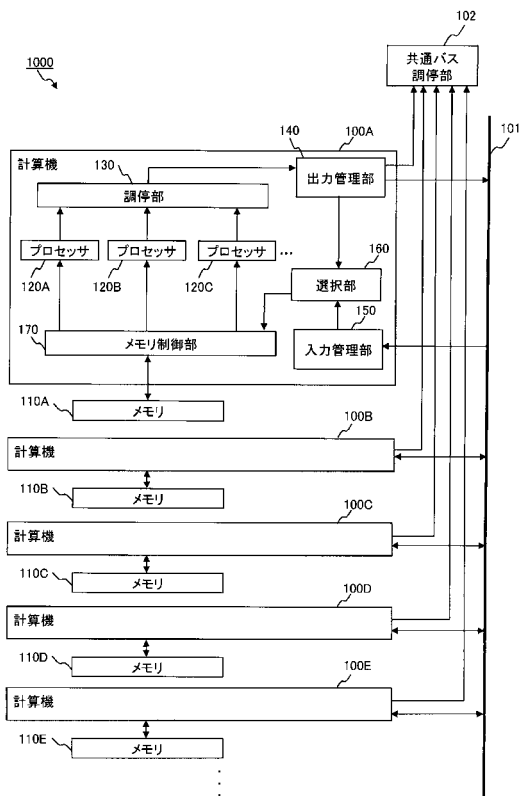
- 101 共通バス
- 102 共通バス調停部
- 110A~E メモリ
- 120A~C プロセッサ
- 130 調停部
- 140 出力管理部
- 141 出力管理情報保持部
- 142 内部バス制御部
- 143 出力判定部
- 144 共通バス制御部
- 150 入力管理部
- 151 入力管理情報保持部
- 152 入力判定部
- 153 内部バス制御部
- 160 選択部
- 170 メモリ制御部
- 210 バッファ
- 220 共有データ制御部
- 310A~C 固有メモリ

40

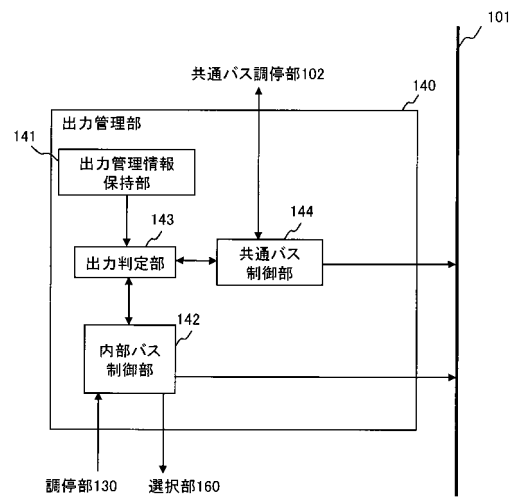
50

- 3 2 0 A ~ C 共有メモリ
- 3 3 0 メモリ選択制御部
- 3 4 0 固有メモリ制御部
- 3 5 0 共有メモリ制御部
- 4 1 0 メモリ選択制御部
- 1 0 0 0、1 1 0 0、1 2 0 0、1 3 0 0 処理システム
- 1 0 0 0 A デジタル放送受信器

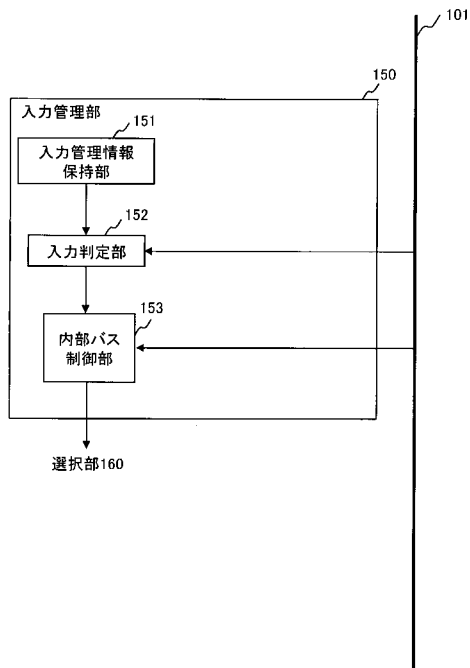
【図 1】



【図 2】



【図3】



【図4】

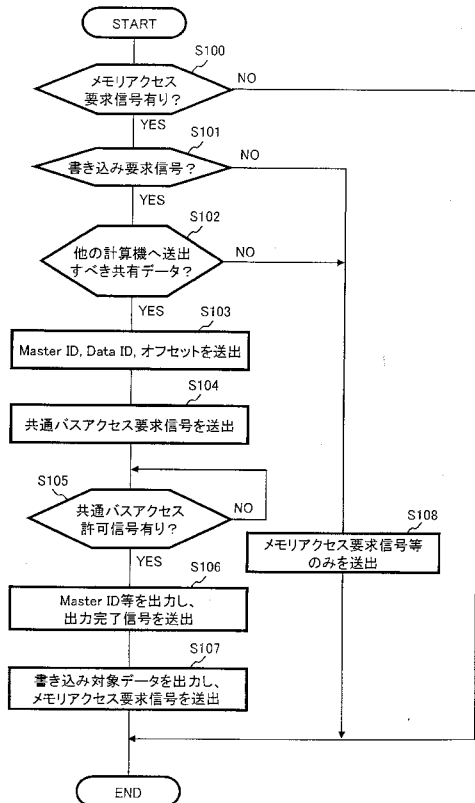
(a) 出力管理情報テーブル

Valid	Master ID	Data ID	Start Address	End Address
1	0	0	0x0000	0x00ff
1	0	1	0x0100	0x01ff
1	0	2	0x0200	0x02ff
1	0	3	0x0300	0x03ff
0	0	4	—	—
0	0	5	—	—

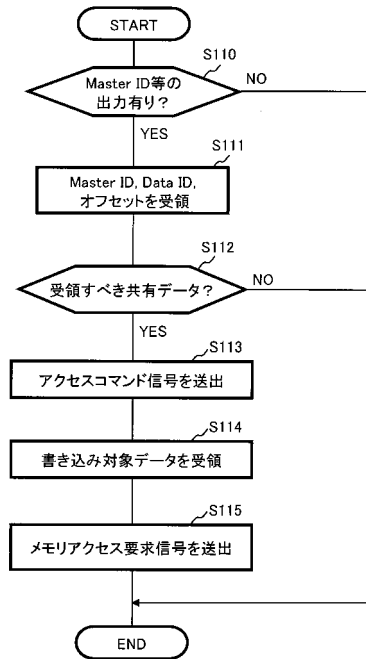
(b) 入力管理情報テーブル

Valid	Master ID	Data ID	Start Address	End Address
1	1	0	0x0000	0x007f
1	1	1	0x0100	0x01ff
1	2	0	0x0200	0x02ff
1	3	0	0x0300	0x03ff
0	—	—	—	—
0	—	—	—	—

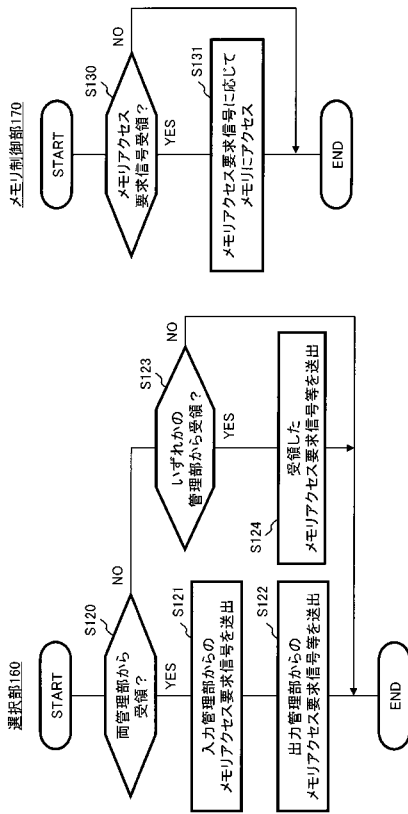
【図5】



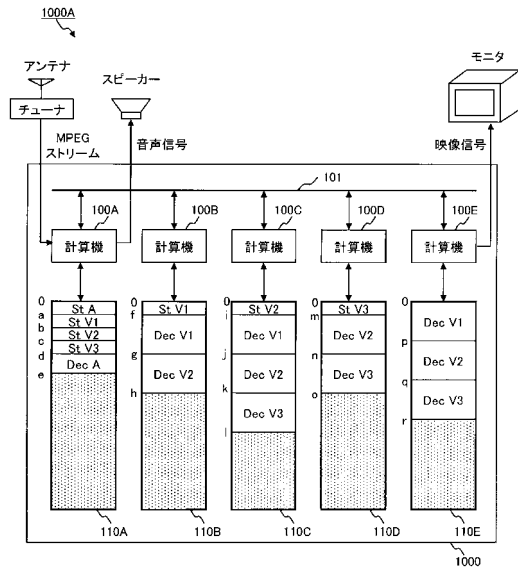
【図6】



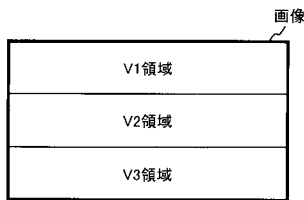
【図7】



【図8】



【図9】



【図10】

各計算機の出力量管理情報テーブル

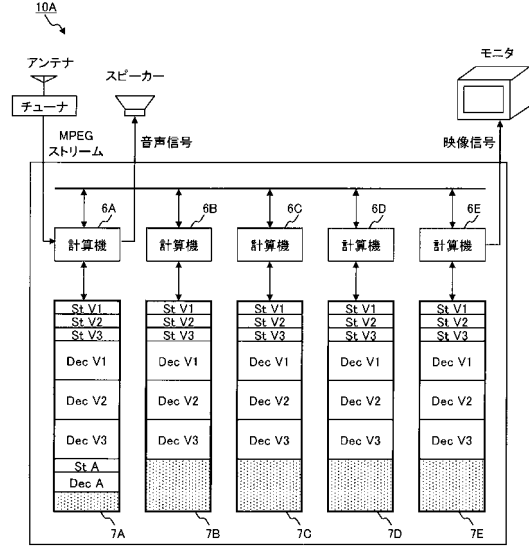
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	1	0	0	a	b-1
	1	0	1	b	c-1
	1	0	2	c	d-1
	0	0	3	—	—
計算機 100B	1	1	0	f	g-1
	0	1	1	—	—
	0	1	2	—	—
	0	1	3	—	—
計算機 100C	1	2	0	j	k-1
	0	2	1	—	—
	0	2	2	—	—
	0	2	3	—	—
計算機 100D	1	3	0	n	o-1
	0	3	1	—	—
	0	3	2	—	—
	0	3	3	—	—
計算機 100E	0	4	0	—	—
	0	4	1	—	—
	0	4	2	—	—
	0	4	3	—	—

【図 1 1】

各計算機の入力管理情報テーブル

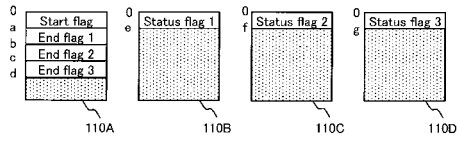
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	0	—	—	—	—
	0	—	—	—	—
	0	—	—	—	—
	0	—	—	—	—
計算機 100B	1	0	0	0	f-1
	1	2	0	g	h-1
	0	—	—	—	—
	0	—	—	—	—
計算機 100C	1	0	1	0	i-1
	1	1	0	i	j-1
	1	3	0	k	l-1
	0	—	—	—	—
計算機 100D	1	0	2	0	m-1
	1	2	0	m	n-1
	0	—	—	—	—
	0	—	—	—	—
計算機 100E	1	1	0	0	p-1
	1	2	0	p	q-1
	1	3	0	q	r-1
	0	—	—	—	—

【図 1 2】

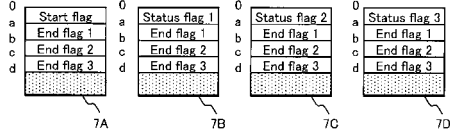


【図 1 3】

(a) デジタル放送受信機1000A



(b) デジタル放送受信機10A(従来)



【図 1 4】

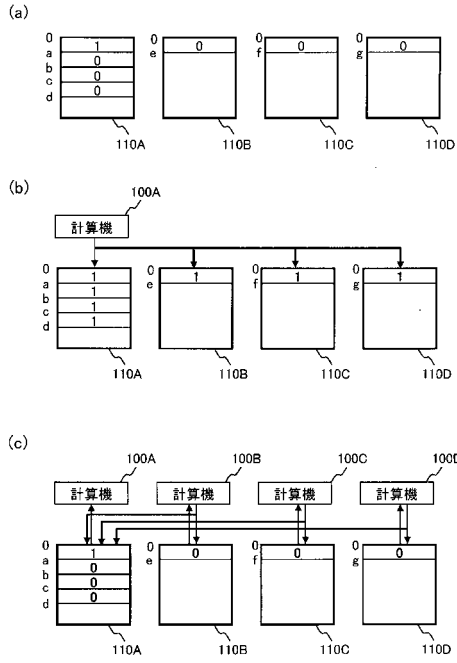
(a) 各計算機の入力管理情報テーブル

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	1	0	0	0	a-1
	0	0	1	—	—
	0	0	2	—	—
計算機 100B	1	1	0	0	e-1
	0	1	1	—	—
	0	1	2	—	—
計算機 100C	1	2	0	0	f-1
	0	2	1	—	—
	0	2	2	—	—
計算機 100D	1	3	0	0	g-1
	0	3	1	—	—
	0	3	2	—	—

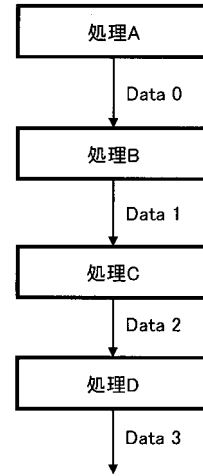
(b) 各計算機の入力管理情報テーブル

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	1	1	0	a	b-1
	1	2	0	b	c-1
	1	3	0	c	d-1
計算機 100B	1	0	0	0	e-1
	0	—	—	—	—
	0	—	—	—	—
計算機 100C	1	0	0	0	f-1
	0	—	—	—	—
	0	—	—	—	—
計算機 100D	1	0	0	0	g-1
	0	—	—	—	—
	0	—	—	—	—

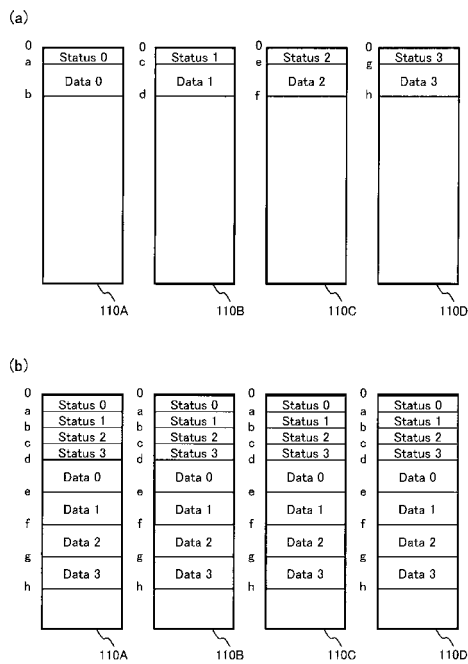
【図15】



【図16】



【図17】



【図18】

(a) 各計算機の実出力管理情報テーブル

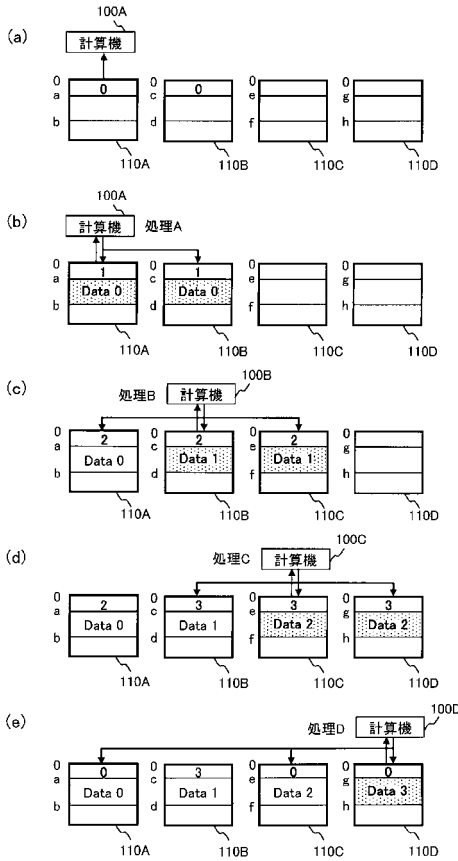
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	1	0	0	0	a-1
	1	0	1	a	b-1
	0	0	2	—	—
計算機 100B	1	1	0	0	c-1
	1	1	1	c	d-1
	0	1	2	—	—
計算機 100C	1	2	0	0	e-1
	1	2	1	e	f-1
	0	2	2	—	—
計算機 100D	1	3	0	0	g-1
	0	3	1	—	—
	0	3	2	—	—

(b) 各計算機の実入力管理情報テーブル

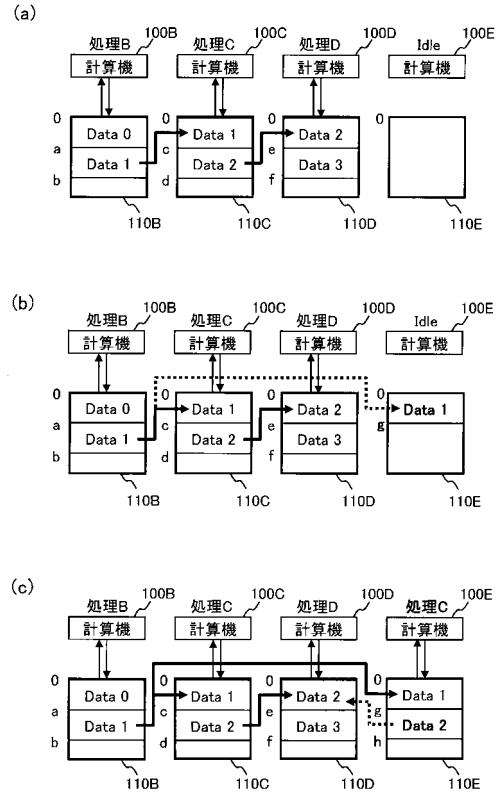
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100A	1	1	0	0	a-1
	1	3	0	0	a-1
	0	—	—	—	—
計算機 100B	1	0	0	0	c-1
	1	0	1	c	d-1
	1	2	0	0	c-1
計算機 100C	1	1	0	0	e-1
	1	1	1	e	f-1
	1	3	0	0	e-1
計算機 100D	1	2	0	0	g-1
	1	2	1	g	h-1
	0	—	—	—	—



【図19】



【図20】



【図21】

(a) 各計算機の出力管理情報テーブル(定常時)

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100B	1	1	0	a	b-1
計算機 100C	0	1	1	—	—
計算機 100D	1	2	0	c	d-1
計算機 100E	0	2	1	—	—
計算機 100D	0	—	—	—	—
計算機 100E	0	—	—	—	—

(b) 各計算機の入力管理情報テーブル(定常時)

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100B	1	0	0	0	a-1
計算機 100C	0	—	—	—	—
計算機 100D	1	1	0	0	c-1
計算機 100E	0	—	—	—	—
計算機 100D	1	2	0	0	e-1
計算機 100E	0	—	—	—	—

(c) 計算機100Eの入力管理情報テーブル(分散処理時)

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100E	1	1	0	0	g-1
計算機 100E	0	—	—	—	—

(d) 計算機100Dの入力管理情報テーブル(分散処理時)

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100D	1	2	0	0	e-1
計算機 100D	1	4	0	0	e-1

(e) 計算機100Eの出力管理情報テーブル(分散処理時)

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100E	1	4	0	g	h-1
計算機 100E	0	—	—	—	—

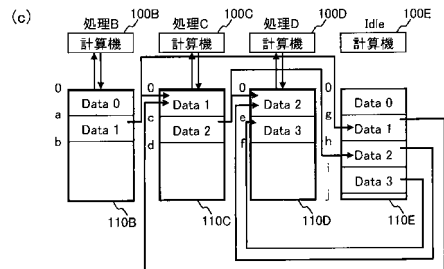
【図22】

(a) 各計算機の出力管理情報テーブル(定常時)

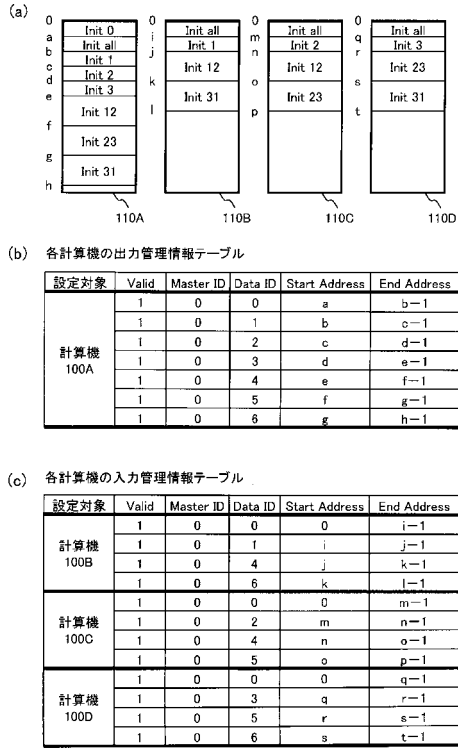
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100B	1	1	0	a	b-1
計算機 100C	0	1	1	—	—
計算機 100D	1	2	0	c	d-1
計算機 100E	0	2	1	—	—
計算機 100D	0	—	—	—	—
計算機 100E	1	4	0	g	h-1
計算機 100E	1	4	1	h	i-1
計算機 100E	1	4	2	i	j-1

(b) 各計算機の入力管理情報テーブル(定常時)

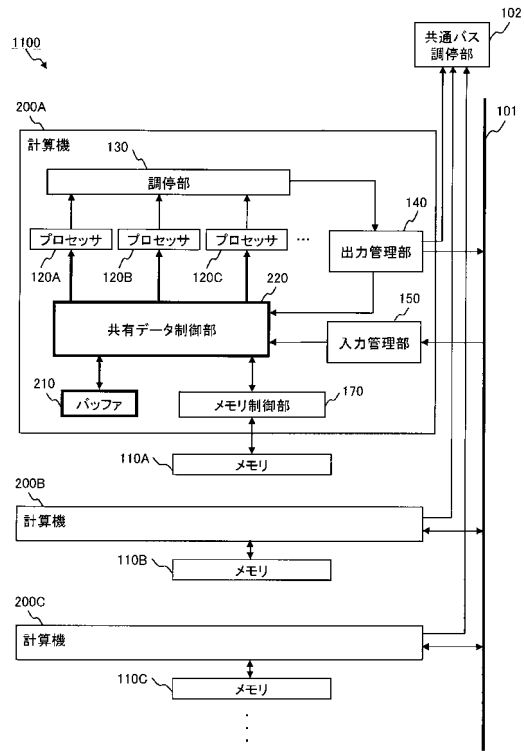
設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 100B	1	0	0	0	a-1
計算機 100C	0	—	—	—	—
計算機 100D	1	1	0	0	c-1
計算機 100E	1	4	0	0	e-1
計算機 100D	1	2	0	0	c-1
計算機 100D	1	4	1	0	e-1
計算機 100D	1	4	2	e	f-1
計算機 100E	1	0	0	0	g-1
計算機 100E	1	1	0	g	h-1
計算機 100E	1	2	0	h	i-1
計算機 100E	0	—	—	—	—



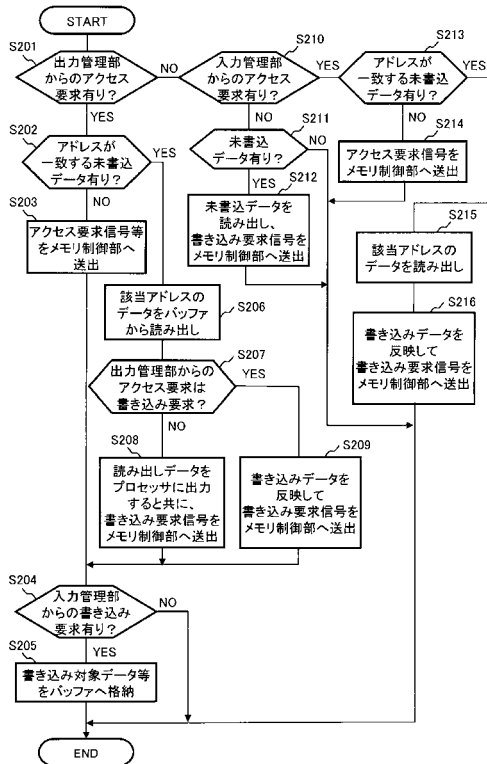
【図23】



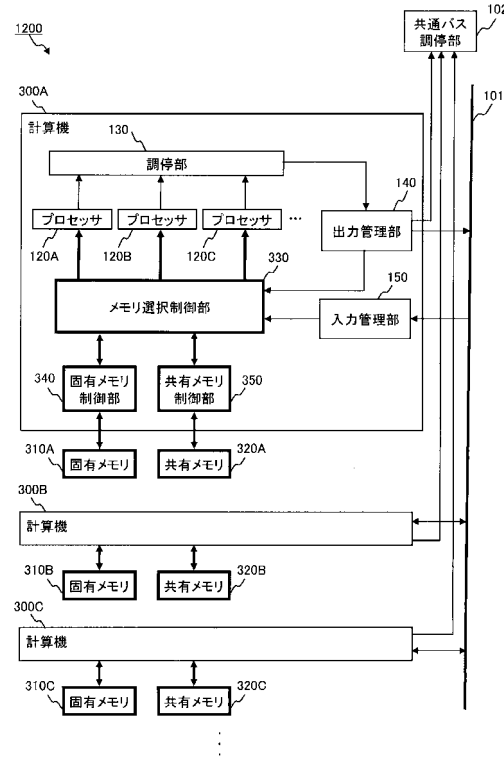
【図24】



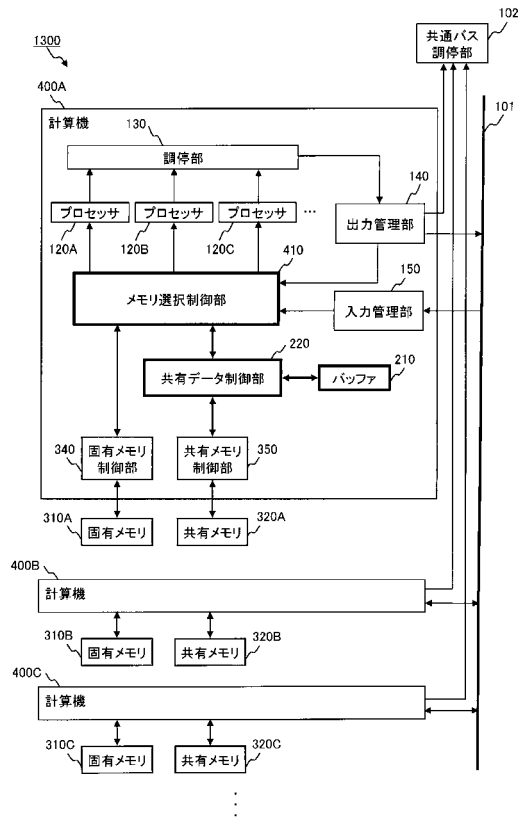
【図25】



【図26】



【図 27】



【図 28】

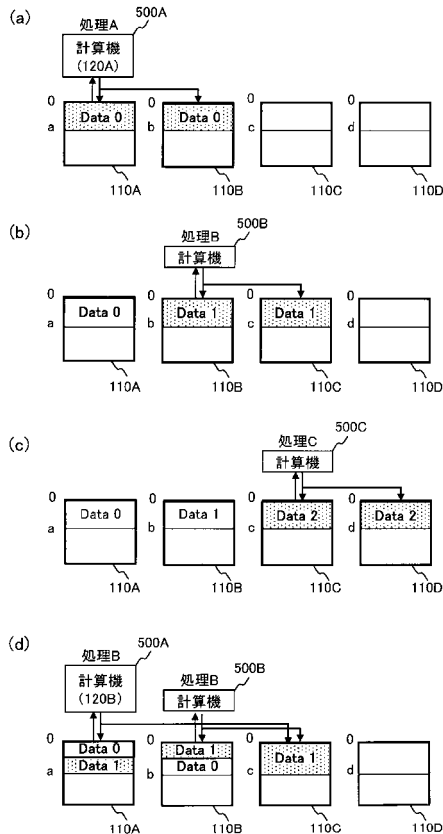
(a) 各計算機の出力共有データ管理情報

設定対象	Valid	Master ID	Data ID	Processor ID	Start Address	End Address
計算機 500A	1	0	0	0	0	a-1
	1	0	1	1	0	a-1
	0	0	2	—	—	—
計算機 500B	1	1	0	0	0	b-1
	0	1	1	—	—	—
	0	1	2	—	—	—
計算機 500C	1	2	0	0	0	c-1
	0	2	1	—	—	—
	0	2	2	—	—	—
計算機 500D	0	3	0	—	—	—
	0	3	1	—	—	—
	0	3	2	—	—	—

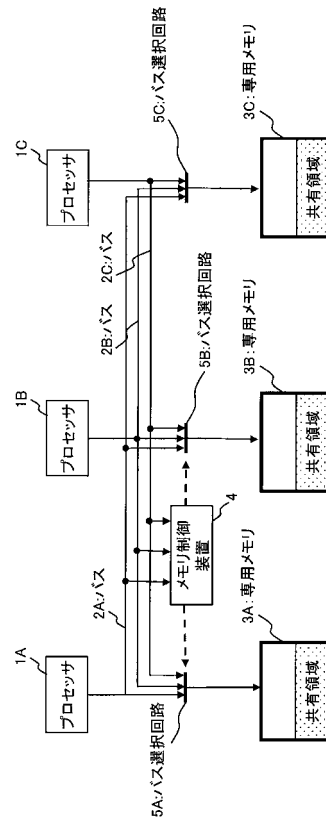
(b) 各計算機の入力管理情報テーブル

設定対象	Valid	Master ID	Data ID	Start Address	End Address
計算機 500A	0	—	—	—	—
	0	—	—	—	—
	0	—	—	—	—
計算機 500B	1	0	0	0	b-1
	0	—	—	—	—
	0	—	—	—	—
計算機 500C	1	1	0	0	c-1
	1	0	1	0	c-1
	0	—	—	—	—
計算機 500D	1	2	0	0	d-1
	0	—	—	—	—
	0	—	—	—	—

【図 29】



【図 30】



---

フロントページの続き

審査官 久保 正典

(56)参考文献 特開2008-015617(JP,A)  
特開2005-267392(JP,A)  
特開2003-316753(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F15/16-15/177  
G06F12/08-12/12