

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



(10) 国際公開番号
WO 2017/013931 A1

- (51) 国際特許分類:
G06F 13/38 (2006.01) G06F 12/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/064423
- (22) 国際出願日: 2016年5月16日(16.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-143785 2015年7月21日(21.07.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 奥村 浩之 (OKUMURA, Hiroyuki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山下 功誠 (YAMASHITA, Kosei); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 須賀 佳孝 (SUGA, Yoshitaka); 〒1080075 東京都港

区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 高橋 英樹 (TAKAHASHI, Hideki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 加藤 伸雄 (KATO, Nobuo); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 後藤 友謙 (GOTO, Yuken); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

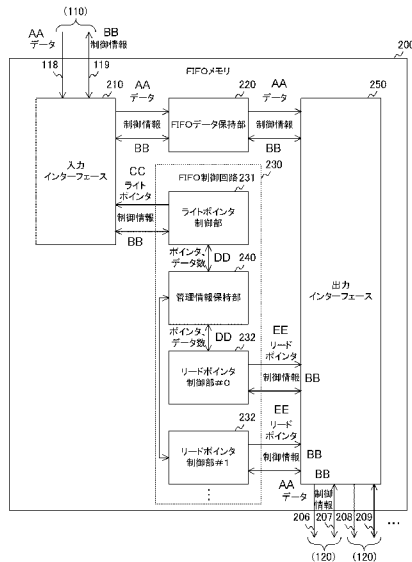
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

[続葉有]

(54) Title: FIRST-IN FIRST-OUT CONTROL CIRCUIT, STORAGE DEVICE, AND METHOD FOR CONTROLLING FIRST-IN FIRST-OUT CONTROL CIRCUIT

(54) 発明の名称: 先入れ先出し制御回路、記憶装置、および、先入れ先出し制御回路の制御方法

[図2]



- 200 FIFO memory
- 210 Input interface
- 220 FIFO data holding unit
- 230 FIFO control circuit
- 231 Write pointer control unit
- 232 Read pointer control unit
- 240 Management information holding unit
- 250 Output interface
- AA Data
- BB Control information
- CC Write pointer
- DD Pointer, data quantity
- EE Read pointer

(57) Abstract: The objective is to implement a first-in first-out (FIFO) memory that reads data in response to read requests from multiple reading units, and has a simple configuration. In the present invention, when writing of data is requested with respect to a first-in first-out data holding unit provided with multiple entries each of which holds data, a write pointer control unit writes data to the entry among the multiple entries that has been indicated by a write pointer, and then updates the write pointer. In addition, a read pointer control unit reads data from the entry indicated by the read pointer (among multiple read pointers associated with mutually different reading units) corresponding to the reading unit from which reading has been requested, and then updates the corresponding read pointer.

(57) 要約: 複数の読出し部からのリード要求に応じてデータを読み出すFIFOメモリを簡易な構成で実現する。ライトポインタ制御部は、各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると複数のエントリのうちライトポインタの示すエントリにデータを書き込んでライトポインタを更新する。また、リードポインタ制御部は、互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した読出し部に対応するリードポインタの示すエントリからデータを読み出して対応するリードポインタを更新する。

WO 2017/013931 A1

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

先入れ先出し制御回路、記憶装置、および、先入れ先出し制御回路の制御方法

技術分野

[0001] 本技術は、先入れ先出し制御回路、記憶装置、および、先入れ先出し制御回路の制御方法に関する。詳しくは、複数の読出し部からのリード要求に応じてデータを出力する先入れ先出し制御回路、記憶装置、および、先入れ先出し制御回路の制御方法に関する。

背景技術

[0002] 従来より、データを入力順に処理するシステムにおいて、先入れ先出し（FIFO：First In First Out）方式でデータをバッファリングするFIFOメモリがよく用いられている。例えば、複数のデータを保持することができるFIFO回路と、FIFO制御回路と、RAM（Random Access Memory）とを設けたFIFOメモリが提案されている（例えば、特許文献1参照）。

[0003] 上述のFIFOメモリには、CPU（Central Processing Unit）#0およびCPU#1などの複数の読出し部のそれぞれから個別にリード要求が入力される。FIFO読出し回路は、CPU#0およびCPU#1の一方からのリード要求の個数が他方より多いと、それらの差分の個数のデータをRAMに退避させる。例えば、一方のCPU#0から3回に亘ってリード要求を受け取り、他方のCPU#1から1回だけリード要求を受け取った場合を考える。この場合にFIFO制御回路は、データD0、D1およびD2の3つのデータを順にFIFO回路から取り出し、それらのデータの全てをCPU#0に供給し、CPU#1にはデータD0のみを供給する。そして、FIFO制御回路は、CPU#1に供給しなかったデータD1およびD2をRAMに退避させておく。その後、CPU#1から、さらにリード要求を受け取る

と、FIFO制御回路は退避させておいたデータD1やD2を読み出してCPU#1に供給する。このように、RAMにデータを退避させておくことにより、2つのCPUは独立してFIFO回路からデータを読み出すことができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-18606号公報

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、FIFO回路に加えて、データを退避しておくRAMをさらに設ける必要があり、その分、FIFOメモリのコストや回路規模が増大するという問題がある。

[0006] 本技術はこのような状況に鑑みて生み出されたものであり、複数の読出し部からのリード要求に応じてデータを読み出すFIFOメモリを簡易な構成で実現することを目的とする。

課題を解決するための手段

[0007] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると上記複数のエントリのうちライトポイントの示すエントリにデータを書き込んで上記ライトポイントを更新するライトポイント制御部と、互いに異なる読出し部に対応付けられた複数のリードポイントのうちデータ読出しを要求した上記読出し部に対応するリードポイントの示す上記エントリから上記データを読み出して上記対応するリードポイントを更新するリードポイント制御部とを具備する先入れ先出し制御回路、および、その制御方法である。これにより、複数のリードポイントのうちデータ読出しを要求した読出し部に対応するリードポイントの示すエントリからデータが読み出されるという作用をもたらす。

- [0008] また、この第1の側面において、上記ライトポインタ制御部は、上記データ書込みが要求されるたびに現在の時刻を上記データとともに上記先入れ先出しデータ保持部にさらに書き込んでもよい。これにより、データおよび現在の時刻が書き込まれるという作用をもたらす。
- [0009] また、この第1の側面において、上記データ保持部は、上記エン트리ごとに上記時刻を保持し、上記リードポインタ制御部は、上記リードポインタの示す上記エントリに対応する上記時刻を上記先入れ先出しデータ保持部からさらに読み出してもよい。これにより、エントリごとに保持された時刻が読み出されるという作用をもたらす。
- [0010] また、この第1の側面において、上記データ保持部は、上記書き込まれた時刻のうち最新の時刻のみを最新時刻として保持し、上記リードポインタ制御部は、上記リードポインタの示す上記エントリに対応する時刻が保持されていない場合には上記対応する時刻を上記最新時刻から生成してもよい。これにより、最新時刻から、対応する時刻が生成されるという作用をもたらす。
- [0011] また、この第1の側面において、上記ライトポインタ制御部は、上記先入れ先出しデータ保持部からデータが溢れると上記データを書き込まずにバッファフル応答を供給してもよい。これにより、データが溢れるとバッファフル応答が供給されるという作用をもたらす。
- [0012] また、この第1の側面において、上記ライトポインタ制御部は、上記先入れ先出しデータ保持部からデータが溢れるとバッファフル応答を供給して上記ライトポインタの示すエントリにデータを書き込み、上記ライトポインタおよび上記リードポインタを更新してもよい。これにより、データが溢れると、ライトポインタの示すエントリにデータが書き込まれるという作用をもたらす。
- [0013] また、この第1の側面において、上記読出し部により読み出されていない上記データの個数を示すデータ数情報を上記読出し部ごとに保持するデータ数情報保持部をさらに具備し、上記ライトポインタ制御部は、上記先入れ先

出しデータ保持部からデータが溢れたか否かを上記データ数情報に基づいて判断し、上記リードポイント制御部は、上記読出し部により読み出すことのできる上記データが存在しないか否かを上記読出し部に対応する上記データ数情報に基づいて判断してもよい。これにより、データ数に基づいてデータが溢れたか否かと、読み出すことのできる上記データが存在しないか否かとが判断されるという作用をもたらす。

[0014] また、この第1の側面において、前記リードポイント制御部は、前記読出し部に対応する前記データ数情報と前記ライトポイントとから前記リードポイントを生成してもよい。これにより、読出し部に対応するデータ数情報とライトポイントとからリードポイントが生成されるという作用をもたらす。

[0015] また、この第1の側面において、上記読出し部により読み出すことのできる上記データが存在しないか否かを示すエンプティフラグを上記読出し部ごとに保持するエンプティフラグ保持部をさらに具備し、上記ライトポイント制御部は、上記先入れ先出しデータ保持部からデータが溢れたか否かを上記読出し部に対応する上記エンプティフラグと上記ライトポイントおよび上記対応するリードポイントとに基づいて判断し、上記リードポイント制御部は、上記読出し部により読み出すことのできる上記データが存在しないか否かを上記読出し部に対応する上記エンプティフラグに基づいて判断してもよい。これにより、エンプティフラグに基づいて読み出すことのできる上記データが存在しないか否かが判断されるという作用をもたらす。

[0016] また、この第1の側面において、上記先入れ先出しデータ保持部からデータが溢れたか否かを示すフルフラグを上記読出し部ごとに保持するフルフラグ保持部をさらに具備し、上記ライトポイント制御部は、上記先入れ先出しデータ保持部からデータが溢れたか否かを上記読出し部に対応する上記フルフラグに基づいて判断し、上記リードポイント制御部は、上記読出し部により読み出すことのできる上記データが存在しないか否かを上記読出し部に対応する上記フルフラグと上記ライトポイントおよび上記対応するリードポイントとに基づいて判断してもよい。これにより、フルフラグに基づいてデー

タが溢れたか否かが判断されるという作用をもたらす。

[0017] また、この第1の側面において、所定の閾値を上記読出し部ごとに保持する閾値保持部をさらに具備し、上記リードポインタ制御部は、上記読出し部により読み出されていない上記データの個数が上記読出し部に対応する上記所定の閾値を超えると上記データに対する処理について割込みを上記読出し部に要求してもよい。これにより、読み出されていないデータの個数が読出し部に対応する所定の閾値を超えるとデータに対する処理について割込みが要求されるという作用をもたらす。

[0018] また、本技術の第2の側面は、各々にデータが保持される複数のエンタリが設けられた先入れ先出しデータ保持部と、上記先入れ先出しデータ保持部に対してデータ書込みが要求されると上記複数のエンタリのうちライトポインタの示すエンタリにデータを書き込んで上記ライトポインタを更新するライトポインタ制御部と、互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した上記読出し部に対応するリードポインタの示す上記エンタリから上記データを読み出して上記対応するリードポインタを更新するリードポインタ制御部とを具備する記憶装置である。これにより、複数のリードポインタのうちデータ読出しを要求した読出し部に対応するリードポインタの示すエンタリからデータが読み出されるという作用をもたらす。

[0019] また、この第1の側面において、上記記憶装置のステータスの通知が要求されると上記ステータスを生成するステータス管理部をさらに具備してもよい。これにより、ステータスの通知の要求に応じてステータスが生成されるという作用をもたらす。

発明の効果

[0020] 本技術によれば、複数の読出し部からのリード要求に応じてデータを読み出すFIFOメモリを簡易な構成で実現することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

- [0021] [図1]本技術の第1の実施の形態における情報処理装置の一構成例を示すブロック図である。
- [図2]本技術の第1の実施の形態におけるFIFOメモリの一構成例を示すブロック図である。
- [図3]本技術の第1の実施の形態におけるFIFOデータ保持部の一構成例を示す図である。
- [図4]本技術の第1の実施の形態における管理情報保持部に保持されるデータの一例を示す図である。
- [図5]本技術の第1の実施の形態におけるライトポインタ制御部の動作の一例を示す図である。
- [図6]本技術の第1の実施の形態におけるリードポインタ制御部の動作の一例を示す図である。
- [図7]本技術の第1の実施の形態におけるエンキュー処理の一例を示すフローチャートである。
- [図8]本技術の第1の実施の形態におけるデキュー処理の一例を示すフローチャートである。
- [図9]本技術の第1の実施の形態の第1の変形例におけるライトポインタ制御部の動作の一例を示す図である。
- [図10]本技術の第1の実施の形態の第1の変形例におけるエンキュー処理の一例を示すフローチャートである。
- [図11]本技術の第1の実施の形態の第2の変形例における管理情報保持部に保持されるデータの一例を示す図である。
- [図12]本技術の第1の実施の形態の第2の変形例におけるライトポインタ制御部の動作の一例を示す図である。
- [図13]本技術の第1の実施の形態の第2の変形例におけるリードポインタ制御部の動作の一例を示す図である。
- [図14]本技術の第1の実施の形態の第2の変形例におけるエンキュー処理の

一例を示すフローチャートである。

[図15]本技術の第1の実施の形態の第2の変形例におけるデキュー処理の一例を示すフローチャートである。

[図16]本技術の第1の実施の形態の第3の変形例における管理情報保持部に保持されるデータの一例を示す図である。

[図17]本技術の第1の実施の形態の第3の変形例におけるライトポイント制御部の動作の一例を示す図である。

[図18]本技術の第1の実施の形態の第3の変形例におけるリードポイント制御部の動作の一例を示す図である。

[図19]本技術の第1の実施の形態の第3の変形例におけるエンキュー処理の一例を示すフローチャートである。

[図20]本技術の第1の実施の形態の第3の変形例におけるデキュー処理の一例を示すフローチャートである。

[図21]本技術の第1の実施の形態の第4の変形例における管理情報保持部に保持されるデータの一例を示す図である。

[図22]本技術の第1の実施の形態の第4の変形例におけるリードポイント制御部の動作の一例を示す図である。

[図23]本技術の第1の実施の形態の第4の変形例におけるデキュー処理の一例を示すフローチャートである。

[図24]本技術の第1の実施の形態の第5の変形例におけるFIFO制御回路の一構成例を示すブロック図である。

[図25]本技術の第1の実施の形態の第5の変形例における管理情報保持部に保持されるデータの一例を示す図である。

[図26]本技術の第1の実施の形態の第6の変形例におけるFIFO制御回路の一構成例を示すブロック図である。

[図27]本技術の第1の実施の形態の第7の変形例における情報処理装置の一構成例を示すブロック図である。

[図28]本技術の第1の実施の形態の第8の変形例におけるFIFOメモリの

一構成例を示すブロック図である。

[図29]本技術の第2の実施の形態における情報処理装置の一構成例を示すブロック図である。

[図30]本技術の第2の実施の形態におけるFIFOデータ保持部の一構成例を示す図である。

[図31]本技術の第2の実施の形態におけるライトポインタ制御部の動作の一例を示す図である。

[図32]本技術の第2の実施の形態におけるリードポインタ制御部の動作の一例を示す図である。

[図33]本技術の第2の実施の形態における情報処理装置の動作の一例を示すフローチャートである。

[図34]本技術の第2の実施の形態の変形例におけるFIFOデータ保持部の一構成例を示す図である。

[図35]本技術の第2の実施の形態の変形例におけるリードポインタ制御部の動作の一例を示す図である。

[図36]本技術の第2の実施の形態の変形例におけるデキュー処理の一例を示すフローチャートである。

発明を実施するための形態

[0022] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（データ処理部ごとにリードポインタを保持する例）

2. 第2の実施の形態（データ処理部ごとにリードポインタを保持し、データおよび時刻情報を保持する例）

[0023] <1. 第1の実施の形態>

[情報処理装置の構成例]

図1は、本技術の第1の実施の形態における情報処理装置100の一構成例を示すブロック図である。この情報処理装置100は、データ生成部11

0と、FIFOメモリ200と、複数のデータ処理部120とを備える。

[0024] データ生成部110は、データを生成してFIFOメモリ200に書き込むものである。例えば、加速度センサ、イメージセンサや通信モジュールなどの様々な回路がデータ生成部110として想定される。また、このデータ生成部110は、FIFOメモリ200との間で制御情報をやり取りする。

[0025] この制御情報は、例えば、初期化要求、ライト要求、リード要求、および、応答を含む。初期化要求は、FIFOメモリ200の初期化を要求するものである。ライト要求は、FIFOメモリ200に対してデータの書き込みを要求するものである。リード要求は、FIFOメモリ200に対してデータの読出しを要求するものである。応答は、ライト要求やリード要求に対するFIFOメモリ200からの応答であり、バッファフルやバッファEMPTYなどの通知を含む。

[0026] また、初期化要求は、データ生成部110またはデータ処理部120により供給される。ライト要求は、データ生成部110により、書き込む対象のデータとともに供給される。リード要求は、データ処理部120により供給される。

[0027] FIFOメモリ200は、先入れ先出し方式で複数のデータを保持するものである。このFIFOメモリ200は、データ生成部110およびデータ処理部120のそれぞれの処理速度や転送速度の差を補うためのバッファとして用いられる。なお、FIFOメモリ200は、特許請求の範囲に記載の記憶装置の一例である。

[0028] データ処理部120は、FIFOメモリ200からデータを読み出して処理するものである。複数のデータ処理部120（データ処理部#0やデータ処理部#1など）のそれぞれは、独立してFIFOメモリ200にリード要求を供給してデータを読み出すことができる。これらのデータ処理部120として、例えば、CPUが想定される。なお、データ処理部120は、特許請求の範囲に記載の読出し部の一例である。

[0029] [FIFOメモリの構成例]

図2は、本技術の第1の実施の形態におけるFIFOメモリ200の一構成例を示すブロック図である。このFIFOメモリ200は、入力インターフェース210、FIFOデータ保持部220、FIFO制御回路230および出力インターフェース250を備える。また、FIFO制御回路230は、ライトポインタ制御部231と、複数のリードポインタ制御部232（リードポインタ制御部#0やリードポインタ制御部#1など）と、管理情報保持部240とを備える。なお、FIFO制御回路230は、特許請求の範囲に記載の先入れ先出し制御回路の一例である。

[0030] ここで、リードポインタ制御部232は、データ処理部120がデータを読み出すための通信チャネルである読出しポートごとに設けられる。これらの読出しポートのそれぞれには、互いに異なるデータ処理部120が割り当てられる。すなわち、リードポインタ制御部232のそれぞれに、互いに異なるデータ処理部120が対応付けられている。例えば、データ処理部#0にリードポインタ制御部#0が対応付けられ、データ処理部#1にリードポインタ制御部#1が対応付けられる。

[0031] 入力インターフェース210は、データ生成部110とFIFOデータ保持部220およびFIFO制御回路230との間でデータおよび制御情報を送受信するものである。

[0032] FIFOデータ保持部220は、複数のデータを保持するものである。このFIFOデータ保持部220には複数のエントリが設けられ、それらのエントリのそれぞれにデータが保持される。なお、FIFOデータ保持部220は、特許請求の範囲に記載の先入れ先出しデータ保持部の一例である。

[0033] 管理情報保持部240は、FIFOデータ保持部220を管理するための管理情報を保持するものである。例えば、管理情報として、ライトポインタ、リードポインタおよびデータ数情報が保持される。ライトポインタは、FIFOデータ保持部220における、データを書き込むためのエントリを示す。また、リードポインタおよびデータ数情報は、データ処理部120ごとに設けられる。このリードポインタは、対応するデータ処理部120がデー

タを読み出すためのエントリを示す。データ数情報は、FIFOデータ保持部220に保持されているデータのうち、対応するデータ処理部120により読み出されていないデータの個数（言い換えれば、読出し可能なバッファリング中のデータ数）を示す。

[0034] ライトポイント制御部231は、ライト要求に従ってライトポイントの示すエントリにデータを書き込み、ライトポイントを更新するものである。このライトポイント制御部231は、初期化要求が供給されると、データ数情報の全てとライトポイントとを初期値（例えば、「0」）にする。

[0035] また、ライト要求が供給されると、ライトポイント制御部231は、FIFOデータ保持部220についてバッファフルであるか否かを判断する。例えば、ライトポイント制御部231は、管理情報保持部240のデータ数情報を参照し、いずれかのデータ数が、エントリの総数（以下、「バッファサイズ」と称する。）である場合にバッファフルと判断する。バッファフルである場合には、ライトポイント制御部231は、データ生成部110からのデータを破棄し、バッファフルの応答をデータ生成部110に返す。

[0036] 一方、バッファフルでない場合にライトポイント制御部231は、管理情報保持部240からライトポイントを取得し、そのライトポイントの示すエントリにデータを書き込む。例えば、ライトポイント制御部231は、ドライバ（不図示）を制御し、ライトポイントの示すエントリにデータを書き込ませる。また、ライトポイント制御部231は、増分や減分などによりライトポイントを更新（例えば、インクリメント）し、全てのデータ数を増分（例えば、インクリメント）する。

[0037] リードポイント制御部232は、リード要求に従ってリードポイントの示すエントリからデータを読み出し、リードポイントを更新するものである。このリードポイント制御部232は、初期化要求が供給されると、リードポイントを初期値にする。

[0038] また、対応するデータ処理部120からリード要求が供給されると、リードポイント制御部232は、そのデータ処理部120により読み出すことの

できるデータが存在しない状態（すなわち、バッファエンプティ）であるか否かを判断する。例えば、リードポインタ制御部 232 は、管理情報保持部 240 から、リード要求に係るデータ処理部 120 に対応するデータ数情報を読み出し、そのデータ数情報が初期値である場合にバッファエンプティと判断する。バッファエンプティである場合には、リードポインタ制御部 232 は、リード要求に係るデータ処理部 120 にバッファエンプティの応答を返す。

[0039] 一方、バッファエンプティでない場合にリードポインタ制御部 232 は、対応するリードポインタを管理情報保持部 240 から取得し、そのリードポインタの示すエントリからデータを読み出す。例えば、リードポインタ制御部 232 は、ドライバ（不図示）を制御し、リードポインタの示すエントリからデータを読み出させる。また、リードポインタ制御部 232 は、増分や減分などにより対応するリードポインタを更新（例えば、インクリメント）し、対応するデータ数を減分（例えば、デクリメント）する。

[0040] 出力インターフェース 250 は、データ処理部 120 と F I F O データ保持部 220 および F I F O 制御回路 230 との間でデータおよび制御情報を送受信するものである。

[0041] 図 3 は、本技術の第 1 の実施の形態における F I F O データ保持部 220 の一構成例を示す図である。同図において、エントリ番号が割り当てられた矩形の図形のそれぞれはエントリを示す。同図に例示するように、F I F O データ保持部には、複数のエントリが設けられる。ここで、エントリ番号は、エントリを識別するための番号であり、ライトポインタおよびリードポインタには、このエントリ番号が設定されるものとする。

[0042] 初期化要求が供給されると、F I F O 制御回路 230 は、ライトポインタ WP と、リードポインタ R P 0 および R P 1 などの複数のリードポインタとを、例えば、「0」に初期化する。すなわち、初期状態の各ポインタは、エントリ番号「0」のエントリを示す。また、F I F O 制御回路 230 は、データ数情報 N 0 および N 1 を「0」に初期化する。ここで、リードポインタ

R P 0 およびデータ数情報 N 0 は、データ処理部 # 0 に対応づけられ、リードポインタ R P 1 およびデータ数情報 N 1 は、データ処理部 # 1 に対応づけられているものとする。

[0043] 初期化後にデータ D 0 の書込みを要求するライト要求がデータ生成部 1 1 0 により供給されると、F I F O 制御回路 2 3 0 は、そのデータ D 0 をライトポインタの示すエントリ番号「0」のエントリに書き込む。また、F I F O 制御回路 2 3 0 は、ライトポインタを「1」に更新し、データ数情報 N 0 および N 1 の両方を「1」に更新する。同様に、データ D 1 のライト要求とデータ D 2 のライト要求とが順に供給されると、F I F O 制御回路 2 3 0 は、それらのデータをライトポインタの示すエントリ番号「1」および「2」のエントリに順に書き込む。また、ライトポインタは「2」に更新され、次いで「3」に更新される。データ数情報 N 0 および N 1 の両方は「2」に更新され、次いで「3」に更新される。

[0044] そして、データ処理部 # 0 のみによりリード要求が供給されると、F I F O 制御回路 2 3 0 は、対応するリードポインタ R P 0 の示すエントリ番号「0」のエントリからデータ D 0 を読み出してデータ処理部 # 0 に供給する。また、F I F O 制御回路 2 3 0 は、リードポインタ R P 0 を「1」に更新し、対応するデータ数情報 N 0 を「2」に更新する。一方、この時点でデータ処理部 # 1 からのリード要求は無いため、対応するリードポインタ R P 1 およびデータ数情報 N 1 は初期値のままである。

[0045] また、ライトポインタおよびリードポインタの更新において、それらのポインタが最後のエントリ番号であると、F I F O 制御回路 2 3 0 は、そのポインタを最初のエントリ番号に更新する。このように先頭と末尾がつながった循環構造のバッファは、リングバッファと呼ばれる。

[0046] このように、F I F O 制御回路 2 3 0 は、データ処理部 # 0 および # 1 のそれぞれについて、個別にリードポインタを制御するため、F I F O 制御回路 2 3 0 に、データの退避用の R A M 等を設ける必要がなくなる。したがって、複数のデータ処理部 1 2 0 からのリード要求に応じてデータを読み出す

FIFO制御回路230を簡易な構成により実現することができる。

[0047] なお、FIFO制御回路230は、ポインタのそれぞれをエントリ番号「0」に初期化しているが、「0」以外の番号に初期化してもよい。また、FIFO制御回路230は、ポインタのそれぞれを、アクセスのたびにインクリメントしているが、インクリメントの代わりにデクリメントしてもよい。また、FIFO制御回路230は、FIFOメモリ200がリングバッファとなるように、最後のエントリ番号を最初のエントリ番号に更新しているが、FIFOを実現することができるのであれば、この構成に限定されない。例えば、FIFO制御回路230は、最もデータ数の多いリードポインタのエントリからデータが読み出されるたびに、データの全てをエントリ番号が少なくなる方向に1つずつ詰めて全てのポインタを更新する制御を行ってもよい。

[0048] 図4は、本技術の第1の実施の形態における管理情報保持部240に保持されるデータの一例を示す図である。管理情報保持部240は、ポインタ保持部241およびデータ数情報保持部242を備える。ポインタ保持部241は、ライトポインタWPと、複数のデータ処理部120のそれぞれに対応するリードポインタ（RPOおよびRP1など）とを保持するものである。データ数情報保持部242は、複数のデータ処理部120のそれぞれに対応するデータ数情報（データ数情報N0やN1など）を保持するものである。

[0049] [ライトポインタ制御部の動作例]

図5は、本技術の第1の実施の形態におけるライトポインタ制御部231の動作の一例を示す図である。初期化要求が供給されると、ライトポインタ制御部231は、全データ数情報とライトポインタとを初期化する。

[0050] また、ライト要求が供給され、いずれかのデータ数がバッファサイズ（すなわち、バッファフル）である場合にライトポインタ制御部231は、データを破棄し、バッファフルの応答をデータ生成部110に返す。一方、バッファフルでない場合にライトポインタ制御部231は、ライトポインタの示すエントリにデータを書き込み、ライトポインタを更新する。更新において

ライトポインタの示す番号が最後のエン트리番号であると、そのライトポインタは最初のエン트리番号に更新される。また、FIFO制御回路230は、全てのデータ数を増分する。

[0051] [リードポインタ制御部の動作例]

図6は、本技術の第1の実施の形態におけるリードポインタ制御部232の動作の一例を示す図である。

[0052] 初期化要求が供給されると、リードポインタ制御部232は、リードポインタを初期化する。

[0053] また、リード要求が供給され、対応するデータ数が「0」（すなわち、バッファエンプティ）である場合にリードポインタ制御部232は、バッファエンプティの応答を対応するデータ処理部120に返す。一方、バッファエンプティでない場合にリードポインタ制御部232は、リードポインタの示すエントリからデータを読み出し、リードポインタを更新する。更新においてリードポインタの示す番号が最後のエン트리番号であると、そのリードポインタは最初のエン트리番号に更新される。また、FIFO制御回路230は、対応するデータ数を減分する。

[0054] 図7は、本技術の第1の実施の形態におけるエンキュー処理の一例を示すフローチャートである。このエンキュー処理は、ライト要求に応じて実行される。

[0055] ライトポインタ制御部231は、データ数情報に基づいてバッファフルであるか否かを判断する（ステップS911）。バッファフルでない場合（ステップS911：No）にライトポインタ制御部231は、ライトポインタの示すエントリにデータを書き込み（ステップS912）、ライトポインタを更新する（ステップS913）。また、ライトポインタ制御部231は、全データ数を増分する（ステップS914）。

[0056] 一方、バッファフルである場合（ステップS911：Yes）にライトポインタ制御部231は、バッファフルの応答をデータ生成部110に返す（ステップS915）。ステップS914またはS915の後、ライトポイン

タ制御部231は、エンキュー処理を終了する。

[0057] 図8は、本技術の第1の実施の形態におけるデキュー処理の一例を示すフローチャートである。このデキュー処理は、リード要求に応じて実行される。

[0058] リードポインタ制御部232は、対応するデータ数情報に基づいてバッファエンプティであるか否かを判断する（ステップS931）。バッファエンプティでない場合（ステップS931：No）にリードポインタ制御部232は、対応するリードポインタの示すエントリからデータを読み出し（ステップS932）、そのリードポインタを更新する（ステップS933）。また、リードポインタ制御部232は、対応するデータ数を減分する（ステップS934）。

[0059] 一方、バッファエンプティである場合（ステップS931：Yes）にリードポインタ制御部232は、バッファエンプティの応答を、リード要求に係るデータ処理部120に返す（ステップS935）。ステップS934またはS935の後、リードポインタ制御部232は、デキュー処理を終了する。

[0060] このように、本技術の第1の実施の形態によれば、FIFO制御回路230が互いに異なるデータ処理部に対応付られたリードポインタを更新するため、RAMを用いることなく複数のデータ処理部からのリード要求に応じたデータを読み出すことができる。

[0061] [第1の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、バッファ（FIFOデータ保持部220）が溢れたときに、ライト要求に係るデータを破棄していたが、データを破棄せずに書き込んでもよい。この第1の実施の形態の第1の変形例におけるFIFO制御回路230は、バッファフルの際にライト要求に係るデータを書き込む点において第1の実施の形態と異なる。

[0062] 図9は、本技術の第1の実施の形態の第1の変形例におけるライトポインタ制御部231の動作の一例を示す図である。

[0063] 第1の変形例のライトポイント制御部231は、ライト要求が供給され、バッファフルである場合に、ライトポイントの示すエントリにデータを書き込む。また、ライトポイント制御部231は、ライトポイントと同じエントリを示すリードポイントをライトポイントとともに更新する。例えば、ライトポイントWPおよびリードポイントRPOが両方とも「1」である場合には、それらのポイントは両方とも「2」に更新される。また、ライトポイント制御部231は、バッファフルの応答をデータ生成部110に返す。この制御により、古い方のデータが破棄され、新しい方のデータが優先して書き込まれる。なお、バッファフルで無い場合と、初期化要求の場合とにおける第1の変形例のライトポイント制御部231の動作は、第1の実施の形態と同様である。

[0064] 図10は、本技術の第1の実施の形態の第1の変形例におけるエンキュー処理の一例を示すフローチャートである。この第1の変形例のエンキュー処理は、ステップS916およびS917をさらに実行する点において第1の実施の形態と異なる。

[0065] バッファフルである場合（ステップS911：Yes）、ライトポイント制御部231は、ライトポイントの示すエントリにデータを書き込む（ステップS916）。また、ライトポイント制御部231は、ライトポイントと同じエントリを示すリードポイントをライトポイントとともに更新し（ステップS917）、ステップS915を実行する。

[0066] このように、本技術の第1の実施の形態の第1の変形例によれば、FIFO制御回路230は、FIFOデータ保持部220が溢れた場合にデータを書き込んでポイントを更新するため、ライト要求に係るデータを破棄せずにバッファリングを行うことができる。

[0067] [第2の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、データ数情報をデータ処理部120ごとに保持しておき、そのデータ数情報からバッファエンプティおよびバッファフルのそれぞれの状態を判断していた。しかし、

データ処理部 120 の個数が増大するほど保持するデータ数情報の個数が多くなり、管理情報保持部 240 の容量が増大するおそれがある。この第 1 の実施の形態の第 2 の変形例における F I F O 制御回路 230 は、管理情報保持部 240 の容量を削減した点において第 1 の実施の形態と異なる。

[0068] 図 11 は、本技術の第 1 の実施の形態の第 2 の変形例における管理情報保持部 240 に保持されるデータの一例を示す図である。この第 2 の変形例の管理情報保持部 240 は、データ数情報保持部 242 の代わりに、エンプティフラグ保持部 243 を備える点において第 1 の実施の形態と異なる。

[0069] エンプティフラグ保持部 243 は、複数のデータ処理部 120 のそれぞれに対応付けてエンプティフラグを保持するものである。このエンプティフラグは、対応するデータ処理部 120 から見て、バッファエンプティであるか否かを示す。例えば、バッファエンプティである場合にエンプティフラグに「1」が設定され、そうでない場合に「0」が設定される。

[0070] データ数情報を保持する第 1 の実施の形態では、データ処理部 120 ごとに、少なくとも 2 ビットのデータ数情報を保持する必要があった。例えば、エントリが 2 つのみである場合、それらに保持されるデータ数は 0 個、1 個および 2 個のいずれかであるため、2 ビットのデータ数情報が必要となる。これに対して、第 2 の変形例では、データ処理部 120 ごとに、1 ビットのエンプティフラグを保持すればよい。このため、管理情報保持部 240 の容量を削減することができる。

[0071] 図 12 は、本技術の第 1 の実施の形態の第 2 の変形例におけるライトポインタ制御部 231 の動作の一例を示す図である。初期化要求が供給されると、第 2 の変形例のライトポインタ制御部 231 は、全てのエンプティフラグとライトポインタとを初期化する。

[0072] また、ライト要求が供給されると、第 2 の変形例のライトポインタ制御部 231 は、ライトポインタがいずれかのリードポインタと一致し、かつ、その一致するリードポインタに対応するエンプティフラグが「0」であるという条件が成立するか否かを判断する。この条件が成立する際にライトポイン

タ制御部231は、バッファフルと判定し、成立しない場合にバッファフルでないとして判定する。

[0073] バッファフルである場合における第2の変形例のライトポイント制御部231の動作は、第1の実施の形態と同様である。一方、バッファフルでない場合にライトポイント制御部231は、データの書込みと、ライトポイントの更新とを行い、全てのエンプティフラグを「0」にする。

[0074] なお、第2の変形例においてバッファが溢れた際にライトポイント制御部231は、第1の変形例と同様の制御を行ってもよい。

[0075] 図13は、本技術の第1の実施の形態の第2の変形例におけるリードポイント制御部232の動作の一例を示す図である。初期化要求時の第2の変形例のリードポイント制御部232の動作は、第1の実施の形態と同様である。

[0076] リード要求が供給されると、第2の変形例のリードポイント制御部232は、対応するエンプティフラグが「1」であるか否かによりバッファエンプティであるか否かを判断する。

[0077] バッファエンプティである場合における第2の変形例のリードポイント制御部232の動作は、第1の実施の形態と同様である。一方、バッファエンプティでない場合にリードポイント制御部232は、データの読出しと、対応するリードポイントの更新とを行い、ライトポイントと対応するリードポイントとが一致するか否かを判断する。一致するのであれば、リードポイント制御部232は、対応するエンプティフラグを「1」に更新する。

[0078] 図14は、本技術の第1の実施の形態の第2の変形例におけるエンキュー処理の一例を示すフローチャートである。この第2の変形例のエンキュー処理は、ステップS911およびS914の代わりにステップS918およびS919を実行する点において第1の実施の形態と異なる。

[0079] 第2の変形例のライトポイント制御部231は、ライトポイントがいずれかのリードポイントと一致し、かつ、その一致するリードポイントに対応するエンプティフラグが「0」であるという条件が成立するか否かを判断する

。この条件が成立する際にライトポインタ制御部231は、バッファフルと判定し、成立しない場合にバッファフルでないと判定する（ステップS918）。

[0080] また、ライトポインタ制御部231は、ライトポインタの更新（ステップS913）の後に、全てのエンプティフラグを「0」にする（ステップS919）。

[0081] 図15は、本技術の第1の実施の形態の第2の変形例におけるデキュー処理の一例を示すフローチャートである。この第2の変形例のエンキュー処理は、ステップS931およびS934の代わりにステップS936、S937およびS938を実行する点において第1の実施の形態と異なる。

[0082] 第2の変形例のリードポインタ制御部232は、対応するエンプティフラグが「1」であるか否かによりバッファエンプティであるか否かを判断する（ステップS936）。

[0083] また、リードポインタ制御部232は、対応するリードポインタの更新（ステップS933）の後に、ライトポインタと対応するリードポインタとが一致するか否かを判断する（ステップS937）。一致する場合に（ステップS937：Yes）、リードポインタ制御部232は、対応するエンプティフラグを「1」に更新する（ステップS938）。一方、一致しない場合（ステップS937：No）またはステップS938の後に、リードポインタ制御部232は、デキュー処理を終了する。

[0084] このように、本技術の第1の実施の形態の第2の変形例によれば、FIFO制御回路230はデータ処理部ごとにエンプティフラグを保持するため、データ処理部ごとにデータ数情報を保持する構成と比較して管理情報保持部240の容量を削減することができる。

[0085] [第3の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、データ数情報をデータ処理部120ごとに保持しておき、そのデータ数情報からバッファエンプティおよびバッファフルのそれぞれの状態を判断していた。しかし、

データ処理部 120 の個数が増大するほど、管理情報保持部 240 の容量が増大してしまうおそれがある。この第 1 の実施の形態の第 3 の変形例における F I F O 制御回路 230 は、管理情報保持部 240 の容量を削減した点において第 1 の実施の形態と異なる。

[0086] 図 16 は、本技術の第 1 の実施の形態の第 3 の変形例における管理情報保持部 240 に保持されるデータの一例を示す図である。この第 3 の変形例の管理情報保持部 240 は、データ数情報保持部 242 の代わりに、フルフラグ保持部 244 を備える点において第 1 の実施の形態と異なる。

[0087] フルフラグ保持部 244 は、複数のデータ処理部 120 のそれぞれに対応付けてフルフラグを保持するものである。このフルフラグは、対応するデータ処理部 120 から見て、バッファフルであるか否かを示す。例えば、バッファフルである場合にフルフラグに「1」が設定され、そうでない場合に「0」が設定される。

[0088] 図 17 は、本技術の第 1 の実施の形態の第 3 の変形例におけるライトポイント制御部 231 の動作の一例を示す図である。初期化要求が供給されると、ライトポイント制御部 231 は、全てのフルフラグとライトポイントとを初期化する。

[0089] また、ライト要求が供給されると、第 3 の変形例のライトポイント制御部 231 は、いずれかのフルフラグが「1」であるか否かによりバッファフルであるか否かを判断する。バッファフルである場合における第 2 の変形例のライトポイント制御部 231 の動作は、第 1 の実施の形態と同様である。一方、バッファフルでない場合にライトポイント制御部 231 は、データの書込みと、ライトポイントの更新とを行い、ライトポイントといずれかのリードポイントとが一致するか否かを判断する。一致するのであれば、ライトポイント制御部 231 は、その一致するリードポイントに対応するフルフラグを「1」に更新する。

[0090] なお、第 3 の変形例においてバッファが溢れた際にライトポイント制御部 231 は、第 1 の変形例と同様の制御を行ってもよい。

- [0091] 図18は、本技術の第1の実施の形態の第3の変形例におけるリードポインタ制御部232の動作の一例を示す図である。初期化要求時の第3の変形例のリードポインタ制御部232の動作は、第1の実施の形態と同様である。
- [0092] また、リード要求が供給されると、第3の変形例のリードポインタ制御部232は、ライトポインタが対応するリードポインタと一致し、かつ、対応するフルフラグが「0」であるという条件が成立するか否かを判断する。この条件が成立する際にリードポインタ制御部232は、バッファエンプティと判定し、成立しない場合にバッファエンプティでないと判定する。
- [0093] バッファエンプティである場合における第3の変形例のリードポインタ制御部232の動作は、第1の実施の形態と同様である。一方、バッファエンプティでない場合にリードポインタ制御部232は、データの読出しと、リードポインタの更新とを行い、対応するフルフラグを「0」にする。
- [0094] なお、第3の変形例において、FIFOメモリ200は、データ処理部120ごとにエンプティフラグに加えてフルフラグを保持し、そのフルフラグに基づいてバッファフルであるか否かを判断してもよい。
- [0095] 図19は、本技術の第1の実施の形態の第3の変形例におけるエンキュー処理の一例を示すフローチャートである。この第3の変形例のエンキュー処理は、ステップS911およびS914の代わりに、ステップS920、S921およびS922を実行する点において第1の実施の形態と異なる。
- [0096] 第3の変形例のライトポインタ制御部231は、いずれかのフルフラグが「1」であるか否かによりバッファフルであるか否かを判断する（ステップS920）。
- [0097] また、ライトポインタ制御部231は、ライトポインタの更新（ステップS913）の後に、ライトポインタといずれかのリードポインタとが一致するか否かを判断する（ステップS921）。いずれかが一致する場合に（ステップS921：Yes）、ライトポインタ制御部231は、その一致するリードポインタに対応するフルフラグを「1」に更新する（ステップS92

2)。一方、いずれも一致しない場合（ステップS921：No）またはステップS922の後に、ライトポイント制御部231は、エンキュー処理を終了する。

[0098] 図20は、本技術の第1の実施の形態の第3の変形例におけるデキュー処理の一例を示すフローチャートである。この第3の変形例のデキュー処理は、ステップS931およびS934の代わりに、ステップS939およびS940を実行する点において第1の実施の形態と異なる。

[0099] 第3の変形例のリードポイント制御部232は、ライトポイントが対応するリードポイントと一致し、かつ、対応するフルフラグが「0」であるという条件が成立するか否かを判断する。この条件が成立する際にリードポイント制御部232は、バッファエンプティと判定し、成立しない場合にバッファエンプティでないと判定する（ステップS939）。

[0100] また、リードポイント制御部232は、リードポイントの更新（ステップS933）の後に、対応するフルフラグを「0」にする（ステップS940）。

[0101] このように、本技術の第1の実施の形態の第3の変形例によれば、FIFO制御回路230はデータ処理部ごとにフルフラグを保持するため、データ処理部ごとにデータ数情報を保持する構成と比較して、管理情報保持部240の容量を削減することができる。

[0102] [第4の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、データ処理部120ごとのリードポイントを管理情報保持部240に保持していたが、データ処理部120の個数が多くなるほど、管理情報保持部240の容量が増大してしまう。この第1の実施の形態の第4の変形例のFIFO制御回路230は、管理情報保持部240の容量を削減した点において第1の実施の形態と異なる。

[0103] 図21は、本技術の第1の実施の形態の第4の変形例における管理情報保持部240に保持されるデータの一例を示す図である。この第4の変形例の

管理情報保持部 240 は、ポインタ保持部 241 にライトポインタのみを保持し、リードポインタを保持しない点において第 1 の実施の形態と異なる。

[0104] 図 22 は、本技術の第 1 の実施の形態の第 4 の変形例におけるリードポインタ制御部 232 の動作の一例を示す図である。リード要求が供給され、バッファエンプティでない場合にリードポインタ制御部 232 は、対応するデータ数とライトポインタとから、対応するリードポインタを生成する。例えば、ライトポインタをインクリメントにより更新していた場合、対応するデータ数をライトポインタから減算した値が、リードポインタの示すエントリ番号となる。そして、リードポインタ制御部 232 は、生成したリードポインタの示すエントリからデータを読み出し、データ数を減分する。これにより、対応するリードポインタが更新される。

[0105] また、第 4 の変形例におけるリードポインタ制御部 232 のバッファエンプティの際の動作は、第 1 の実施の形態と同様である。また、第 4 の変形例では、初期化要求時にリードポインタ制御部 232 がリードポインタを初期化する必要はない。なお、第 4 の変形例においてバッファが溢れた際にライトポインタ制御部 231 は、第 1 の変形例と同様の制御を行ってもよい。

[0106] 図 23 は、本技術の第 1 の実施の形態の第 4 の変形例におけるデキュー処理の一例を示すフローチャートである。この第 4 の変形例のデキュー処理は、ステップ S933 の代わりにステップ S941 を実行する点において第 1 の実施の形態と異なる。

[0107] バッファエンプティでない場合（ステップ S931 : No）にリードポインタ制御部 232 は、対応するデータ数とライトポインタとから、対応するリードポインタを生成する（ステップ S941）。そして、リードポインタ制御部 232 は、そのリードポインタの示すエントリからデータを読み出し（ステップ S932）、データ数を減分する（ステップ S934）。

[0108] このように、本技術の第 1 の実施の形態の第 4 の変形例によれば、FIFO 制御回路 230 は、リードポインタを保持せずにリード要求のたびにライトポインタからリードポインタを生成するため、管理情報保持部 240 の容

量を削減することができる。

[0109] [第5の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、データ処理部120にバッファエンプティのみを通知していたが、データ処理部120に他の通知を行うこともできる。例えば、FIFO制御回路230は、読出し可能なデータ数が閾値を超えたときに、そのデータに対する処理について割込みを要求する通知をデータ処理部120に行ってもよい。割込みの通知を受けたデータ処理部120が、FIFOメモリ200から読み出したデータに対する処理を他の処理に割り込ませて実行することにより、FIFOメモリ200からデータが溢れることを抑制することができる。この第1の実施の形態の第5の変形例のFIFO制御回路230は、読出し可能なデータ数が閾値を超えたときに割込みを要求する点において第1の実施の形態と異なる。

[0110] 図24は、本技術の第1の実施の形態の第5の変形例におけるFIFO制御回路230の一構成例を示すブロック図である。この第5の変形例のFIFO制御回路230は、割込み通知部233をさらに備える点において第1の実施の形態と異なる。

[0111] 割込み通知部233は、読出し可能なデータ数が閾値を超えたときに、FIFOメモリ200から読み出したデータに対する処理について割込みを要求する割込み通知をデータ処理部120に供給するものである。データ数と比較するための閾値は、複数のデータ処理部120のそれぞれに対応付けて予め管理情報保持部240に保持される。これらの閾値は、データ生成部110やデータ処理部120などにより設定される。割込み通知部233は、それぞれのデータ数と、対応する閾値とを比較し、いずれかのデータ数が対応する閾値を超えると、そのデータ数に対応するデータ処理部120に割込み通知を供給する。

[0112] 図25は、本技術の第1の実施の形態の第5の変形例における管理情報保持部240に保持されるデータの一例を示す図である。第4の変形例の管理

情報保持部 240 は、割込み閾値保持部 245 をさらに備える点において第 1 の実施の形態と異なる。

[0113] 割込み閾値保持部 245 は、複数のデータ処理部 120 のそれぞれに対応付けて、データ数と比較するための閾値を保持するものである。いずれかのデータ数が、対応する閾値を超えたときに割込み通知が供給される。

[0114] このように、本技術の第 1 の実施の形態の第 5 の変形例によれば、FIFO 制御回路 230 は、読出し可能なデータ数が閾値を超えたときに割込みを要求するため、FIFO メモリ 200 からデータが溢れることを抑制することができる。

[0115] [第 6 の変形例]

上述の第 1 の実施の形態の第 5 の変形例では、データ生成部 110 およびデータ処理部 120 は、FIFO メモリ 200 で読出し可能なデータ数などのステータスを参照することができなかった。しかし、FIFO メモリ 200 がステータスを生成してデータ生成部 110 およびデータ処理部 120 に通知する構成とすれば、データ生成部 110 等は、そのステータスを参照することができる。この第 1 の実施の形態の第 6 の変形例の FIFO メモリ 200 は、ステータスを通知する点において第 5 の変形例と異なる。

[0116] 図 26 は、本技術の第 1 の実施の形態の第 6 の変形例における FIFO 制御回路 230 の一構成例を示すブロック図である。この第 6 の変形例の FIFO 制御回路 230 は、ステータス管理部 234 をさらに備える点において第 5 の変形例と異なる。

[0117] ステータス管理部 234 は、FIFO メモリ 200 のステータスを生成してデータ生成部 110 またはデータ処理部 120 に通知するものである。ここで、第 5 の変形例のデータ生成部 110 およびデータ処理部 120 は、ステータスの通知を要求することができる。その要求に応じて、ステータス管理部 234 は、ステータスを生成して要求元に通知する。ステータスは、例えば、複数のデータ処理部 120 のそれぞれについてのデータ数情報、エンプロティフラグ、フルフラグ、バッファアンダーランフラグおよびバッファオ

オーバーフローフラグ、割込みフラグのうち少なくとも1つを含む。ここで、バッファアンダーランフラグは、バッファエンプティの状態、リード要求が行われたか否かを示す。また、バッファオーバーフローフラグは、バッファフルの状態、ライト要求が行われたか否かを示す。割込みフラグは、割込み通知が供給されたか否かを示す。これらのフラグは、読出しポート（データ処理部120）ごとに生成される。

[0118] このように、本技術の第1の実施の形態の第6の変形例によれば、FIFO制御回路230がステータスを通知するため、データ生成部110やデータ処理部120は、そのステータスを参照して適切にデータを処理することができる。

[0119] [第7の変形例]

上述の第1の実施の形態では、複数のデータ処理部120のそれぞれと、FIFOメモリ200とは信号線により接続されていたが、データ処理部120の個数が多くなると信号線の配線が複雑になるおそれがある。この第1の実施の形態の第7の変形例における情報処理装置100は、配線を簡易化した点において第1の実施の形態と異なる。

[0120] 図27は、本技術の第1の実施の形態の第7の変形例における情報処理装置100の一構成例を示すブロック図である。この第7の変形例の情報処理装置100は、バス130をさらに備える点において第1の実施の形態と異なる。

[0121] バス130は、複数のデータ処理部120と、データ生成部110と、FIFOメモリ200とが互いにデータや制御情報をやり取りする共通の経路である。データ処理部120、データ生成部110およびFIFOメモリ200のそれぞれは、バス130に接続される。

[0122] このように、本技術の第1の実施の形態の第7の変形例によれば、複数のデータ処理部120はバス130を介してFIFOメモリ200に接続されるため、データ処理部120のそれぞれを信号線により接続する構成と比較して配線を簡易にすることができる。

[0123] [第8の変形例]

上述の第1の実施の形態では、FIFO制御回路230は、入力インターフェース210と出力インターフェース250とを介してデータを入出力していたが、これらのインターフェースを1つの入出力インターフェースに統合してもよい。この第1の実施の形態の第8の変形例のFIFO制御回路230は、1つの入出力インターフェースを介してデータを入出力する点において第1の実施の形態と異なる。

[0124] 図28は、本技術の第1の実施の形態の第8の変形例におけるFIFOメモリ200の一構成例を示すブロック図である。この第7の変形例のFIFOメモリ200は、入力インターフェース210および出力インターフェース250の代わりに入出力インターフェース211を備える点において第1の実施の形態と異なる。

[0125] 入出力インターフェース211は、データ生成部110およびデータ処理部120と、FIFOデータ保持部220およびFIFO制御回路230との間でデータおよび制御情報をやり取りするものである。

[0126] このように、本技術の第1の実施の形態の第8の変形例によれば、FIFOメモリ200に入出力インターフェース211を設けたため、FIFO制御回路230は、その入出力インターフェース211を介してデータを入出力することができる。

[0127] [第2の実施の形態]

上述の第2の実施の形態では、FIFOメモリ200は、データが生成された時刻を保持していなかったが、そのデータを処理する際に時刻が必要となる場合もある。例えば、データ処理部120が、加速度データおよびGPS (Global Positioning System) データを同期させる際に、それらのデータが生成された時刻を取得する必要があるが生じる。この第2の実施の形態のFIFOメモリ200は、データが生成された時刻をさらに保持する点において第1の実施の形態と異なる。

[0128] 図29は、本技術の第2の実施の形態における情報処理装置100の一構

成例を示すブロック図である。この第2の実施の形態の情報処理装置100は、リアルタイムクロック140を備える点において第1の実施の形態と異なる。

[0129] リアルタイムクロック140は、現在時刻を示す時刻情報を生成するものである。また、第2の実施の形態において、データ生成部110として、データ生成部#0および#1が設けられ、リアルタイムクロック140としてリアルタイムクロック#0および#1が設けられる。さらに、FIFOメモリ200としてFIFOメモリ#0、#1および#2が設けられ、データ処理部120としてデータ処理部#0、#1、#2、#3および#4が設けられる。

[0130] データ生成部#0は、例えば、GPSモジュールであり、GPS衛星からデータを受信するたびに、そのデータをGPSデータとしてFIFOメモリ#0にライト要求とともに供給する。

[0131] FIFOメモリ#0は、ライト要求に応じて、GPSデータと、リアルタイムクロック#0により生成された時刻情報とを保持する。

[0132] データ処理部#0は、GPSデータおよび時刻情報をFIFOメモリ#0から読み出して、それらを処理するものである。このデータ処理部#0は、例えば、時間ごとのGPSデータの履歴を作成する処理を行う。

[0133] データ生成部#1は、例えば、加速度センサであり、加速度を測定するたびに、測定値を示す加速度データをFIFOメモリ#1にライト要求とともに供給する。

[0134] FIFOメモリ#1は、ライト要求に応じて、GPSデータと、リアルタイムクロック#1により生成された時刻情報とを保持する。

[0135] データ処理部#1は、GPSデータおよび加速度データを同期させて処理するものである。例えば、データ処理部#1は、GPSデータの受信感度が一定値より高い場合には、そのGPSデータから位置情報を生成する。一方、受信感度が一定値以下の場合にデータ処理部#1は、高感度で受信した直近のGPSデータと、そのGPSデータの受信時刻から現在時刻までの加速

度データとに基づいて位置情報を生成する。このように、加速度データでGPSデータを補間することにより、高精度な位置情報が得られる。データ処理部#1は、生成した位置情報を高精度位置情報として時刻情報とともにFIFOメモリ#2に書き込む。

[0136] データ処理部#2は、加速度データおよび時刻情報をFIFOメモリ#1から読み出して、それら进行处理するものである。このデータ処理部#1は、例えば、時間ごとの加速度データを解析して情報処理装置100を携帯するユーザの歩数を計数する。データ処理部#1は、歩数を時刻情報毎に生成して、歩数および時刻情報をデータ処理部#4に供給する。

[0137] データ処理部#3は、高精度位置情報および時刻情報をFIFOメモリ#2から読み出して、それら进行处理するものである。例えば、データ処理部#3は、それぞれの高精度位置情報の示す位置を地図上に表示する処理や、高精度位置情報の履歴を作成する処理などを行う。

[0138] データ処理部#4は、高精度位置情報および時刻情報をFIFOメモリ#2から読み出し、それらと歩数および時刻情報とを処理するものである。例えば、データ処理部#4は、高精度位置情報と歩数とを時刻情報により対応付けて、高精度位置情報の示す位置ごとの歩数を地図上に表示する処理や、高精度位置情報および歩数の履歴を作成する処理などを行う。

[0139] なお、情報処理装置100に、データ生成部110およびリアルタイムクロック140を2個ずつ、FIFOメモリ200を3個、データ処理部120を5個設けているが、それぞれの個数は、実現する機能に応じて適宜変更することができる。

[0140] 図30は、本技術の第2の実施の形態におけるFIFOデータ保持部220の一構成例を示す図である。この第2の実施の形態のFIFOデータ保持部220は、バッファデータ保持領域221および時刻情報保持領域222を備える。

[0141] バッファデータ保持領域221には、複数のエントリが設けられ、それぞれにデータが保持される。時刻情報保持領域222は、エントリごとに時刻

情報が保持される領域である。

[0142] 図31は、本技術の第2の実施の形態におけるライトポインタ制御部231の動作の一例を示す図である。この第2の実施の形態のライトポインタ制御部231の動作は、データを書き込む際に、時刻情報とともに書き込む点以外は、第1の実施の形態と同様である。

[0143] 図32は、本技術の第2の実施の形態におけるリードポインタ制御部232の動作の一例を示す図である。この第2の実施の形態のリードポインタ制御部232の動作は、データを読み出す際に、時刻情報とともに読み出す点以外は、第1の実施の形態と同様である。

[0144] 図33は、本技術の第2の実施の形態における情報処理装置100の動作の一例を示すフローチャートである。この動作は、例えば、所定のアプリケーションが実行されたときに開始する。

[0145] 情報処理装置100は、GPSデータおよび時刻情報を生成し（ステップS951）、その一方、加速度データおよび時刻情報を生成する（ステップS952）。そして、情報処理装置100は、加速度データから歩数を算出し（ステップS953）、GPSデータおよび加速度データから高精度位置情報を生成する（ステップS954）。情報処理装置100は、また、GPSデータを処理し（ステップS955）、高精度位置情報と歩数とを時刻情報により対応付けて処理する（ステップS956）。また、情報処理装置100は、高精度位置情報を処理する（ステップS957）。

[0146] このように、本技術の第2の実施の形態によれば、FIFOメモリ200がデータを時刻情報とともに保持するため、情報処理装置100は、複数の種類のデータを時刻情報に対応付けて処理を行うことができる。

[0147] [変形例]

上述の第2の実施の形態では、FIFOメモリ200は、エンリごとに時刻情報を保持していたが、エンリ数が多いほど、時刻情報の保持に必要なメモリ容量が増大してしまう。この第2の実施の形態の変形例のFIFOメモリ200は、メモリ容量を削減した点において第2の実施の形態と異なる。

る。

[0148] 図34は、本技術の第2の実施の形態の変形例におけるFIFOデータ保持部220の一構成例を示す図である。このFIFOデータ保持部220は、時刻情報保持領域222に、最新の時刻情報のみを保持する点において第2の実施の形態と異なる。ライトポインタの示すエントリの直前のエントリには、最新のデータが書き込まれているため、このデータに対応する時刻情報のみが保持される。この最新の時刻情報は、データが書き込まれるたびに更新される。例えば、ライトポインタ制御部231は、ライトポインタの示すエントリにデータD6および時刻情報T6を書き込む際に、時刻情報保持領域222に、その時刻情報T6を保持する。ライトポインタ制御部231は次いで、データD7および時刻情報T7を書き込む際に、時刻情報保持領域222の時刻情報をT7に更新する。

[0149] 図35は、本技術の第2の実施の形態の変形例におけるリードポインタ制御部232の動作の一例を示す図である。この第2の実施の形態のリードポインタ制御部232は、時刻情報を必要に応じて生成する点において第1の実施の形態と異なる。前述したように、時刻情報保持領域222には、最新の時刻情報しか保持されていない。このため、リードポインタ制御部232は、リードポインタの示すエントリに対応する時刻情報が最新のものでない場合、その対応する時刻情報を、最新の時刻情報から生成する。データ生成部110がデータを生成する周期をPとし、読出し可能なデータ数をNとし、最新の時刻情報の示す時刻をTcすると、対応する時刻情報の示す時刻Trは、次の式1により求められる。時刻Tc、時刻Tr、および周期Pの単位は、例えば、秒である。

$$T_r = T_c - P \times (N - 1) \quad \dots \text{式1}$$

[0150] 図36は、本技術の第2の実施の形態の変形例におけるデキュー処理の一例を示すフローチャートである。この第2の実施の形態のデキュー処理は、ステップS941、S942およびS943をさらに実行する点において第1の実施の形態と異なる。

[0151] リードポインタ制御部232は、リード要求に応じてデータを読み出し（ステップS932）、リードポインタの示すエントリに対応する時刻情報がFIFOデータ保持部220に保持されているか否かを判断する（ステップS941）。保持されている場合に（ステップS941：Yes）リードポインタ制御部232は、その時刻情報を読み出す（ステップS942）。一方、保持されていない場合に（ステップS941：No）リードポインタ制御部232は、対応する時刻情報を式1などを用いて生成する（ステップS943）。ステップS942またはS943の後に、リードポインタ制御部232は、ステップS933以降を実行する。

[0152] このように、本技術の第2の実施の形態の第2の変形例によれば、FIFOメモリ200は、最新の時刻情報のみを保持するため、エントリごとに時刻情報を保持する場合と比較して、メモリ容量を削減することができる。

[0153] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0154] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD（Compact Disc）、MD（MiniDisc）、DVD（Digital Versatile Disc）、メモリカード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

[0155] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0156] なお、本技術は以下のような構成もとることができる。

(1) 各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリのうちライトポインタの示すエントリにデータを書き込んで前記ライトポインタを更新するライトポインタ制御部と、

互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した前記読出し部に対応するリードポインタの示す前記エントリから前記データを読み出して前記対応するリードポインタを更新するリードポインタ制御部と

を具備する先入れ先出し制御回路。

(2) 前記ライトポインタ制御部は、前記データ書込みが要求されるたびに現在の時刻を前記データとともに前記先入れ先出しデータ保持部にさらに書き込む

前記(1)記載の先入れ先出し制御回路。

(3) 前記データ保持部は、前記エントリごとに前記時刻を保持し、

前記リードポインタ制御部は、前記リードポインタの示す前記エントリに対応する前記時刻を前記先入れ先出しデータ保持部からさらに読み出す

前記(2)記載の先入れ先出し制御回路。

(4) 前記データ保持部は、前記書き込まれた時刻のうち最新の時刻のみを最新時刻として保持し、

前記リードポインタ制御部は、前記リードポインタの示す前記エントリに対応する時刻が保持されていない場合には前記対応する時刻を前記最新時刻から生成する

前記(2)記載の先入れ先出し制御回路。

(5) 前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れると前記データを書き込まずにバッファフル応答を供給する

前記(1)から(4)のいずれかに記載の先入れ先出し制御回路。

(6) 前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れるとバッファフル応答を供給して前記ライトポインタの示すエン

トリにデータを書き込み、前記ライトポインタおよび前記リードポインタを更新する

前記（１）から（４）のいずれかに記載の先入れ先出し制御回路。

（７）前記読出し部により読み出されていない前記データの個数を示すデータ数情報を前記読出し部ごとに保持するデータ数情報保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れたか否かを前記データ数情報に基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記データ数情報に基づいて判断する

前記（１）から（６）のいずれかに記載の先入れ先出し制御回路。

（８）前記リードポインタ制御部は、前記読出し部に対応する前記データ数情報と前記ライトポインタとから前記リードポインタを生成する

前記（７）記載の先入れ先出し制御回路。

（９）前記読出し部により読み出すことのできる前記データが存在しないか否かを示すエンptyフラグを前記読出し部ごとに保持するエンptyフラグ保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れたか否かを前記読出し部に対応する前記エンptyフラグと前記ライトポインタおよび前記対応するリードポインタとに基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記エンptyフラグに基づいて判断する

前記（１）から（６）のいずれかに記載の先入れ先出し制御回路。

（１０）前記先入れ先出しデータ保持部からデータが溢れたか否かを示すフルフラグを前記読出し部ごとに保持するフルフラグ保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータ

が溢れたか否かを前記読出し部に対応する前記フルフラグに基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記フルフラグと前記ライトポインタおよび前記対応するリードポインタとに基づいて判断する

前記（１）から（６）のいずれかに記載の先入れ先出し制御回路。

（１１）所定の閾値を前記読出し部ごとに保持する閾値保持部をさらに具備し、

前記リードポインタ制御部は、前記読出し部により読み出されていない前記データの個数が前記読出し部に対応する前記所定の閾値を超えると前記データに対する処理について割込みを前記読出し部に要求する

前記（１）から（１０）のいずれかに記載の先入れ先出し制御回路。

（１２）各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部と、

前記先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリのうちライトポインタの示すエントリにデータを書き込んで前記ライトポインタを更新するライトポインタ制御部と、

互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した前記読出し部に対応するリードポインタの示す前記エントリから前記データを読み出して前記対応するリードポインタを更新するリードポインタ制御部と

を具備する記憶装置。

（１３）前記記憶装置のステータスの通知が要求されると前記ステータスを生成するステータス管理部をさらに具備する

前記（１２）記載の記憶装置。

（１４）各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリの

うちライトポインタの示すエントリにデータを書き込んで前記ライトポインタを更新するライトポインタ制御手順と、

互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した前記読出し部に対応するリードポインタの示す前記エントリから前記データを読み出して前記対応するリードポインタを更新するリードポインタ制御手順と

を具備する先入れ先出し制御回路の制御方法。

符号の説明

- [0157]
- 100 情報処理装置
 - 110 データ生成部
 - 120 データ処理部
 - 130 バス
 - 140 リアルタイムクロック
 - 200 F I F Oメモリ
 - 210 入力インターフェース
 - 211 入出力インターフェース
 - 220 F I F Oデータ保持部
 - 221 バッファデータ保持領域
 - 222 時刻情報保持領域
 - 230 F I F O制御回路
 - 231 ライトポインタ制御部
 - 232 リードポインタ制御部
 - 233 割込み通知部
 - 234 ステータス管理部
 - 240 管理情報保持部
 - 241 ポインタ保持部
 - 242 データ数情報保持部
 - 243 エンプティフラグ保持部

2 4 4 フルフラグ保持部

2 4 5 割込み閾値保持部

2 5 0 出カインターフェース

請求の範囲

- [請求項1] 各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリのうちライトポイントの示すエントリにデータを書き込んで前記ライトポイントを更新するライトポイント制御部と、
- 互いに異なる読出し部に対応付けられた複数のリードポイントのうちデータ読出しを要求した前記読出し部に対応するリードポイントの示す前記エントリから前記データを読み出して前記対応するリードポイントを更新するリードポイント制御部と
- を具備する先入れ先出し制御回路。
- [請求項2] 前記ライトポイント制御部は、前記データ書込みが要求されるたびに現在の時刻を前記データとともに前記先入れ先出しデータ保持部にさらに書き込む
- 請求項1記載の先入れ先出し制御回路。
- [請求項3] 前記データ保持部は、前記エントリごとに前記時刻を保持し、
- 前記リードポイント制御部は、前記リードポイントの示す前記エントリに対応する前記時刻を前記先入れ先出しデータ保持部からさらに読み出す
- 請求項2記載の先入れ先出し制御回路。
- [請求項4] 前記データ保持部は、前記書き込まれた時刻のうち最新の時刻のみを最新時刻として保持し、
- 前記リードポイント制御部は、前記リードポイントの示す前記エントリに対応する時刻が保持されていない場合には前記対応する時刻を前記最新時刻から生成する
- 請求項2記載の先入れ先出し制御回路。
- [請求項5] 前記ライトポイント制御部は、前記先入れ先出しデータ保持部からデータが溢れると前記データを書き込まずにバッファフル応答を供給する

請求項 1 記載の先入れ先出し制御回路。

[請求項6] 前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れるとバッファフル応答を供給して前記ライトポインタの示すエントリにデータを書き込み、前記ライトポインタおよび前記リードポインタを更新する

請求項 1 記載の先入れ先出し制御回路。

[請求項7] 前記読出し部により読み出されていない前記データの個数を示すデータ数情報を前記読出し部ごとに保持するデータ数情報保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れたか否かを前記データ数情報に基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記データ数情報に基づいて判断する

請求項 1 記載の先入れ先出し制御回路。

[請求項8] 前記リードポインタ制御部は、前記読出し部に対応する前記データ数情報と前記ライトポインタとから前記リードポインタを生成する

請求項 7 記載の先入れ先出し制御回路。

[請求項9] 前記読出し部により読み出すことのできる前記データが存在しないか否かを示すエンプティフラグを前記読出し部ごとに保持するエンプティフラグ保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れたか否かを前記読出し部に対応する前記エンプティフラグと前記ライトポインタおよび前記対応するリードポインタとに基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記エンプティフラグに基づいて判断する

請求項 1 記載の先入れ先出し制御回路。

[請求項10]

前記先入れ先出しデータ保持部からデータが溢れたか否かを示すフルフラグを前記読出し部ごとに保持するフルフラグ保持部をさらに具備し、

前記ライトポインタ制御部は、前記先入れ先出しデータ保持部からデータが溢れたか否かを前記読出し部に対応する前記フルフラグに基づいて判断し、

前記リードポインタ制御部は、前記読出し部により読み出すことのできる前記データが存在しないか否かを前記読出し部に対応する前記フルフラグと前記ライトポインタおよび前記対応するリードポインタとに基づいて判断する

請求項 1 記載の先入れ先出し制御回路。

[請求項11]

所定の閾値を前記読出し部ごとに保持する閾値保持部をさらに具備し、

前記リードポインタ制御部は、前記読出し部により読み出されていない前記データの個数が前記読出し部に対応する前記所定の閾値を超えると前記データに対する処理について割込みを前記読出し部に要求する

請求項 1 記載の先入れ先出し制御回路。

[請求項12]

各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部と、

前記先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリのうちライトポインタの示すエントリにデータを書き込んで前記ライトポインタを更新するライトポインタ制御部と、

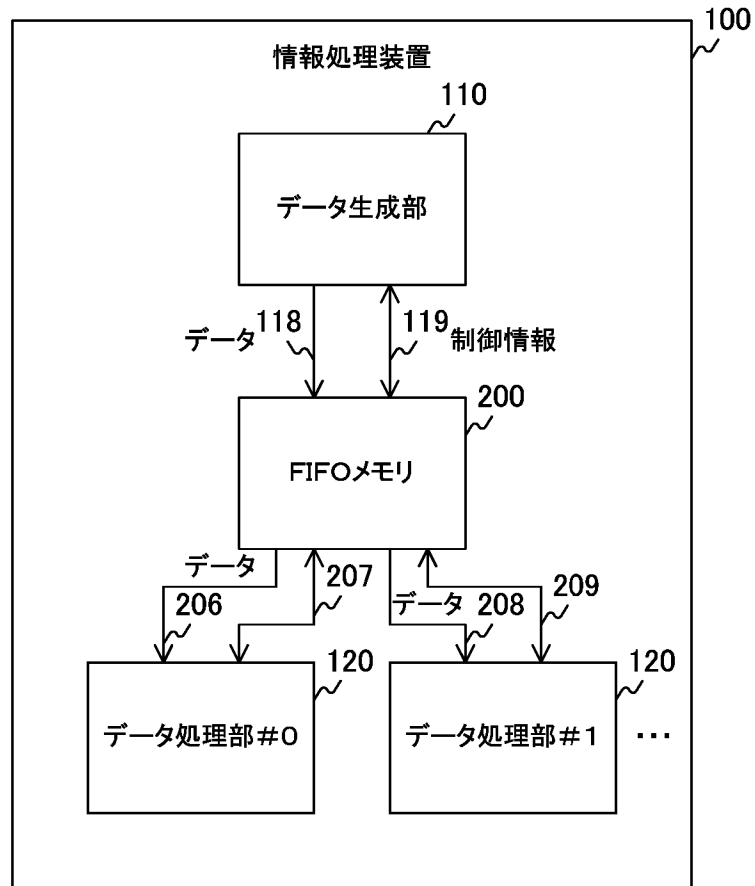
互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した前記読出し部に対応するリードポインタの示す前記エントリから前記データを読み出して前記対応するリードポ

インタを更新するリードポインタ制御部と
を具備する記憶装置。

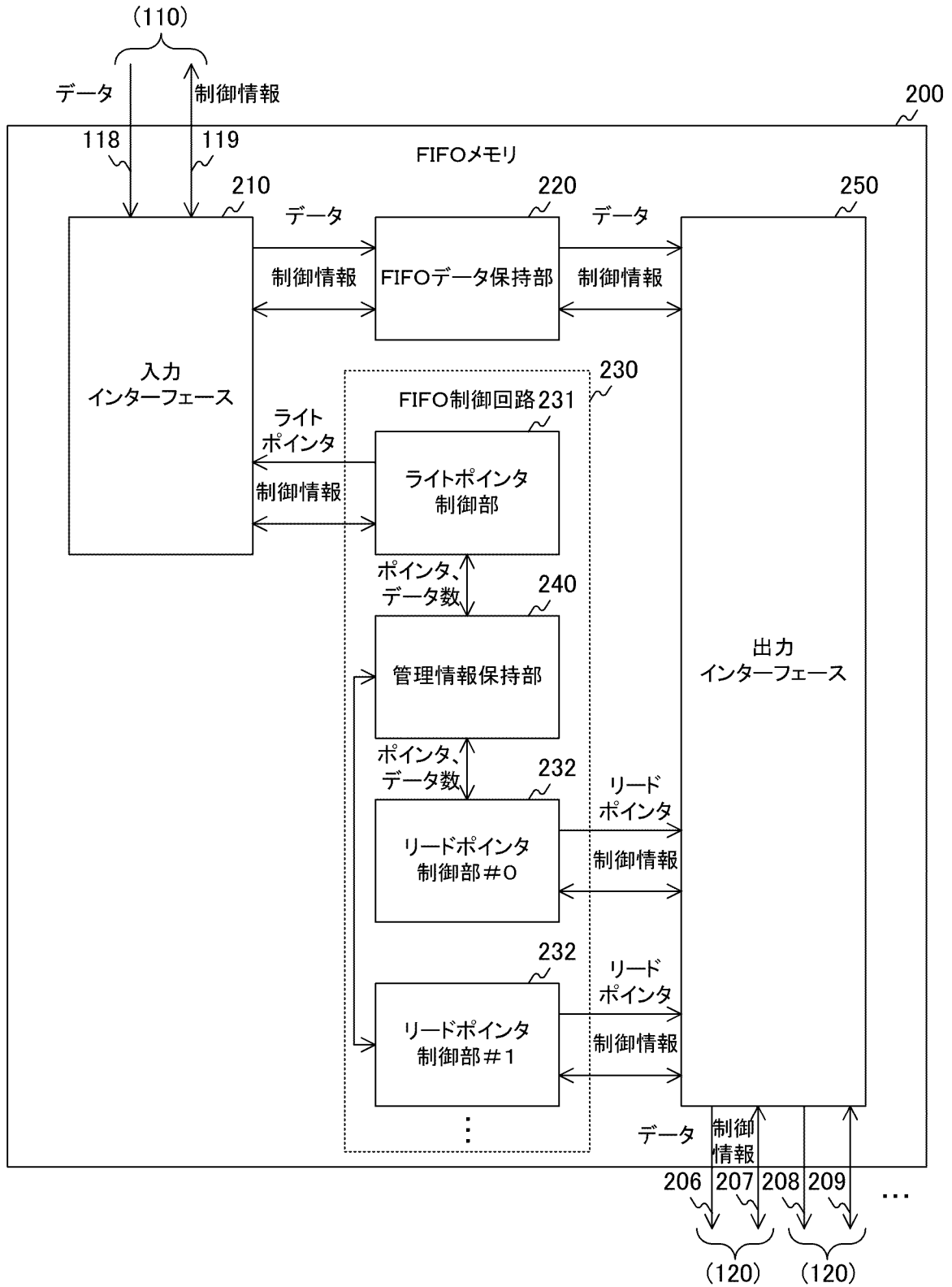
[請求項13] 前記記憶装置のステータスの通知が要求されると前記ステータスを生成するステータス管理部をさらに具備する
請求項12記載の記憶装置。

[請求項14] 各々にデータが保持される複数のエントリが設けられた先入れ先出しデータ保持部に対してデータ書込みが要求されると前記複数のエントリのうちライトポインタの示すエントリにデータを書き込んで前記ライトポインタを更新するライトポインタ制御手順と、
互いに異なる読出し部に対応付けられた複数のリードポインタのうちデータ読出しを要求した前記読出し部に対応するリードポインタの示す前記エントリから前記データを読み出して前記対応するリードポインタを更新するリードポインタ制御手順と
を具備する先入れ先出し制御回路の制御方法。

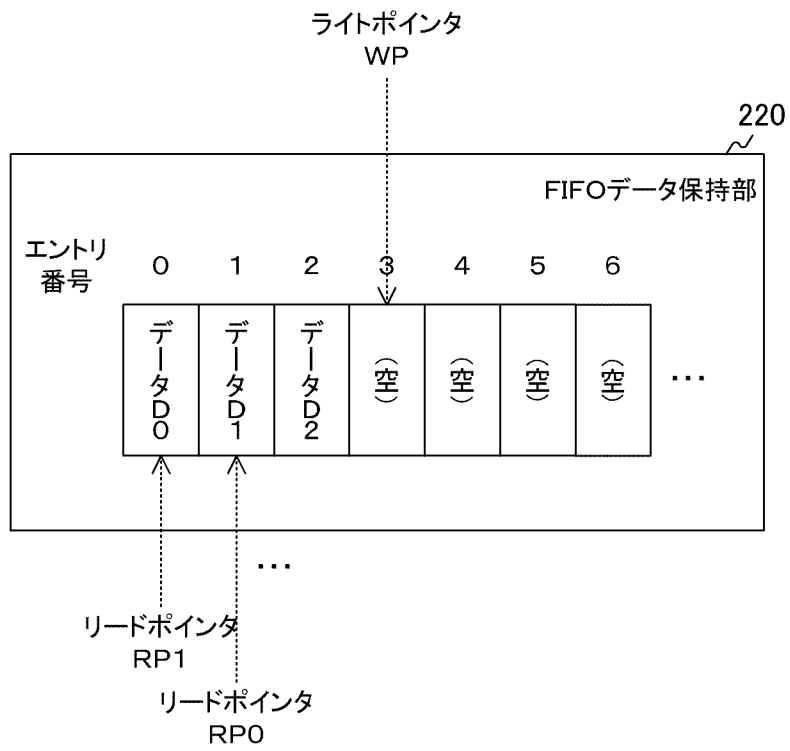
[図1]



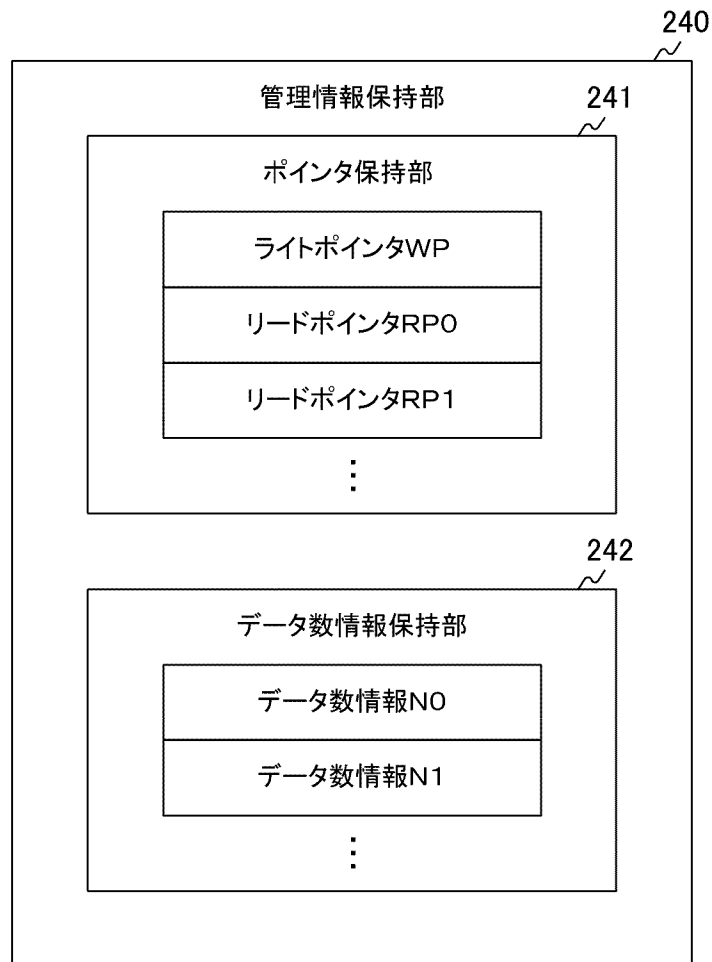
[図2]



[図3]



[図4]



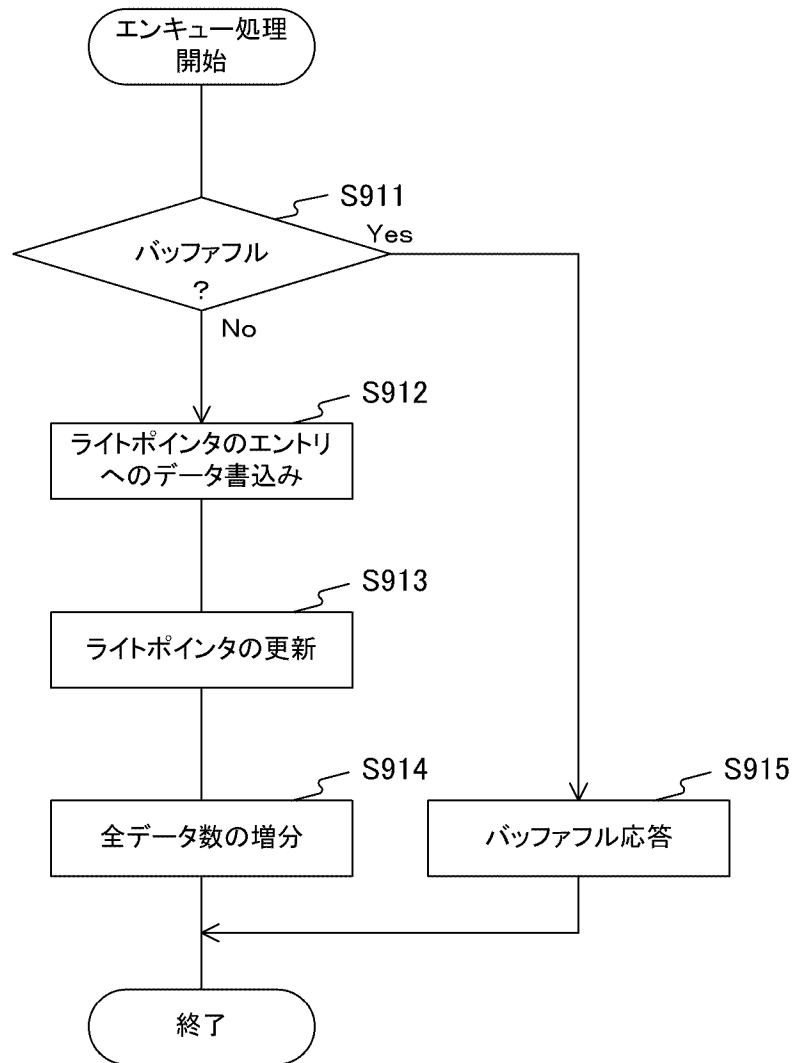
[図5]

要求	データ数	ライトポインタ制御部の動作
初期化要求	—	全データ数およびライトポインタの初期化
ライト要求	いずれかの データ数 = バッファサイズ	データを破棄し、 バッファフルの応答
	各データ数 ≠ バッファサイズ	データの書込み、 ライトポインタの更新および 全データ数の増分
無し	—	—

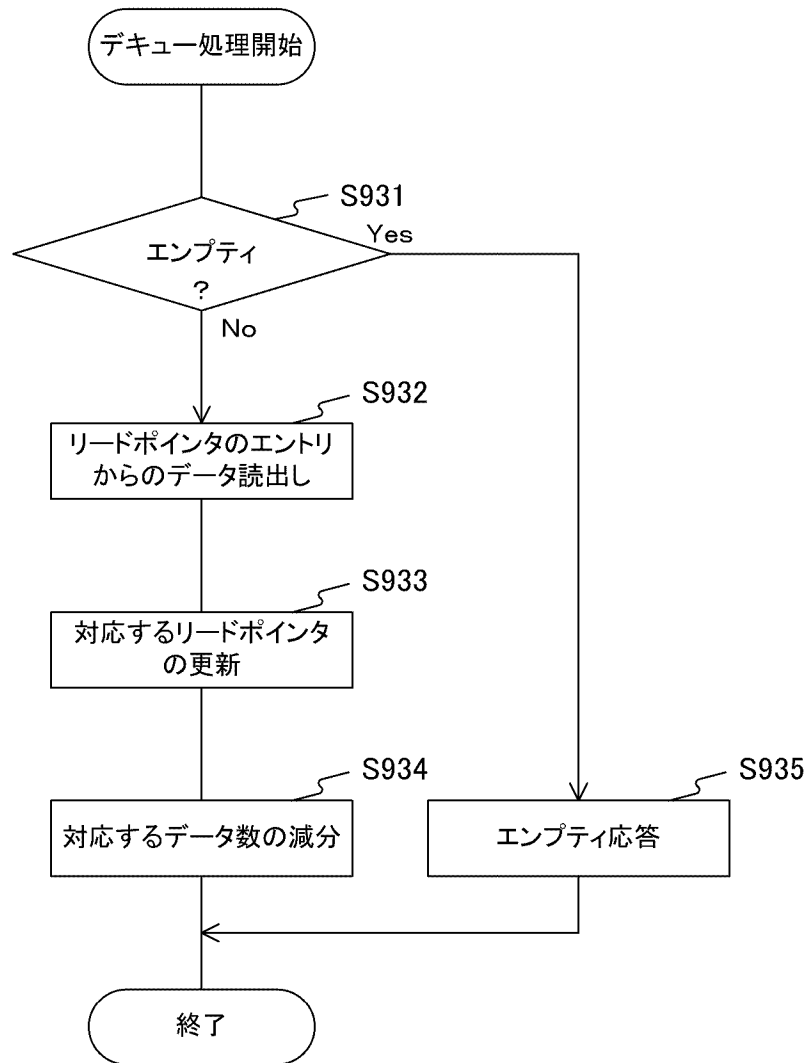
[図6]

要求	対応するデータ数	リードポインタ制御部の動作
初期化要求	—	対応するリードポインタの初期化
リード要求	データ数=0	バッファEMPTYの応答
	データ数≠0	データの読出し、 対応するリードポインタの更新および 対応するデータ数の減分
無し	—	—

[図7]



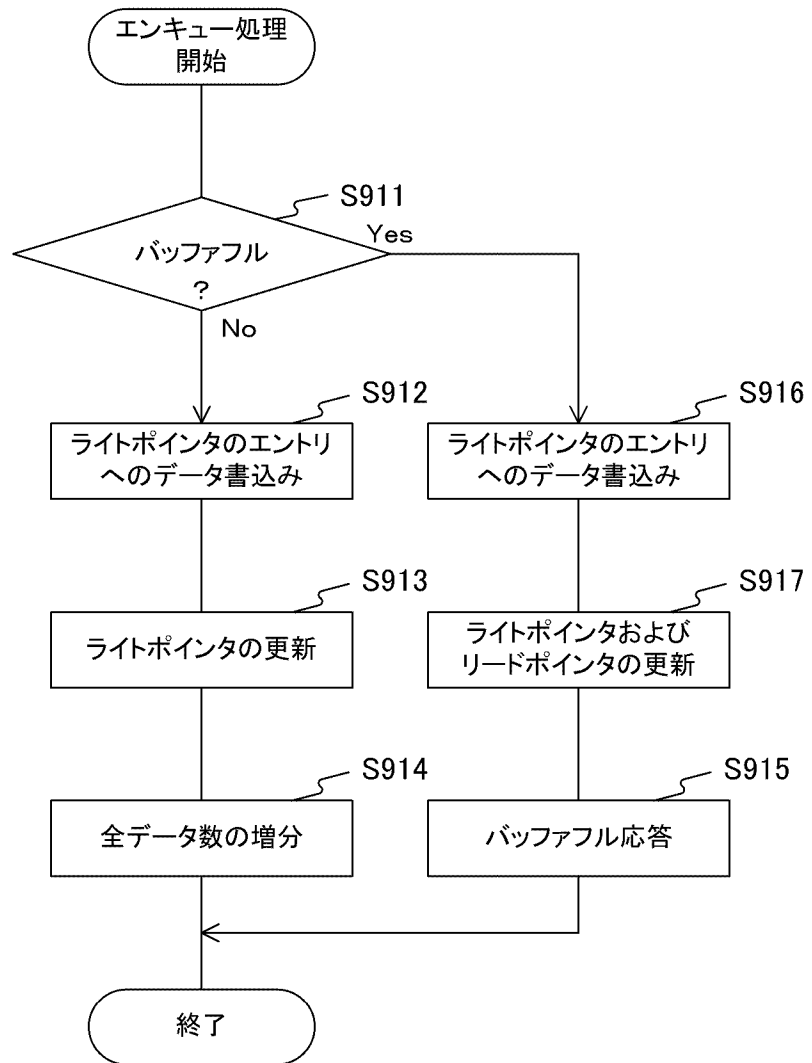
[図8]



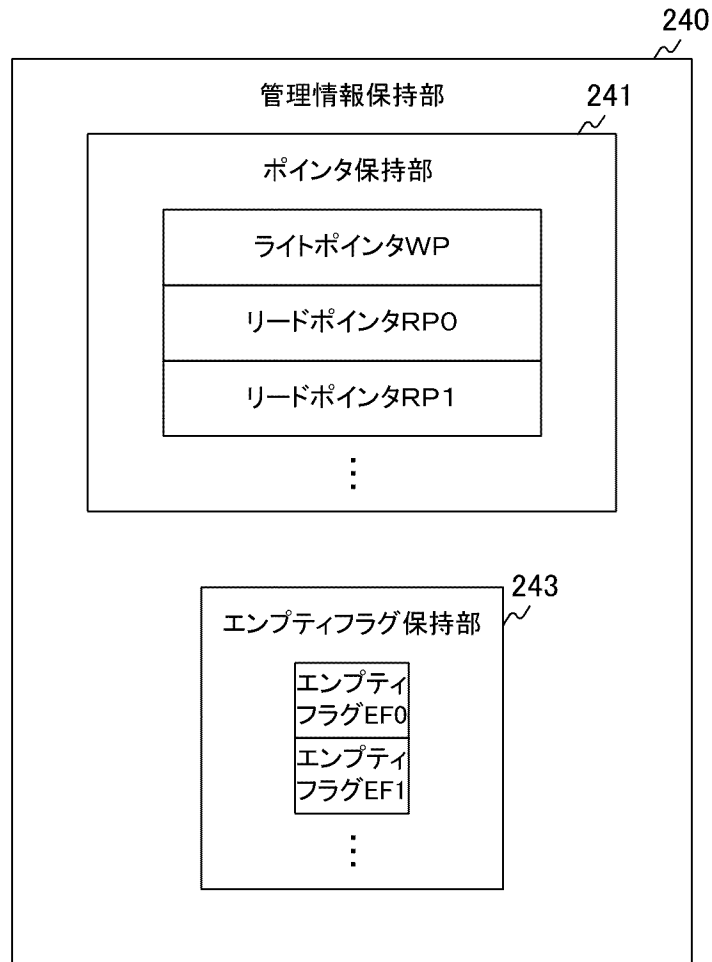
[図9]

要求	データ数	ライトポインタ制御部の動作
初期化要求	—	全データ数およびライトポインタの初期化
ライト要求	いずれかの データ数= バッファサイズ	データの書込み、 ポインタの更新、および バッファフルの応答
	各データ数≠ バッファサイズ	データの書込み、 ライトポインタの更新および 全データ数の増分
無し	—	—

[図10]



[図11]



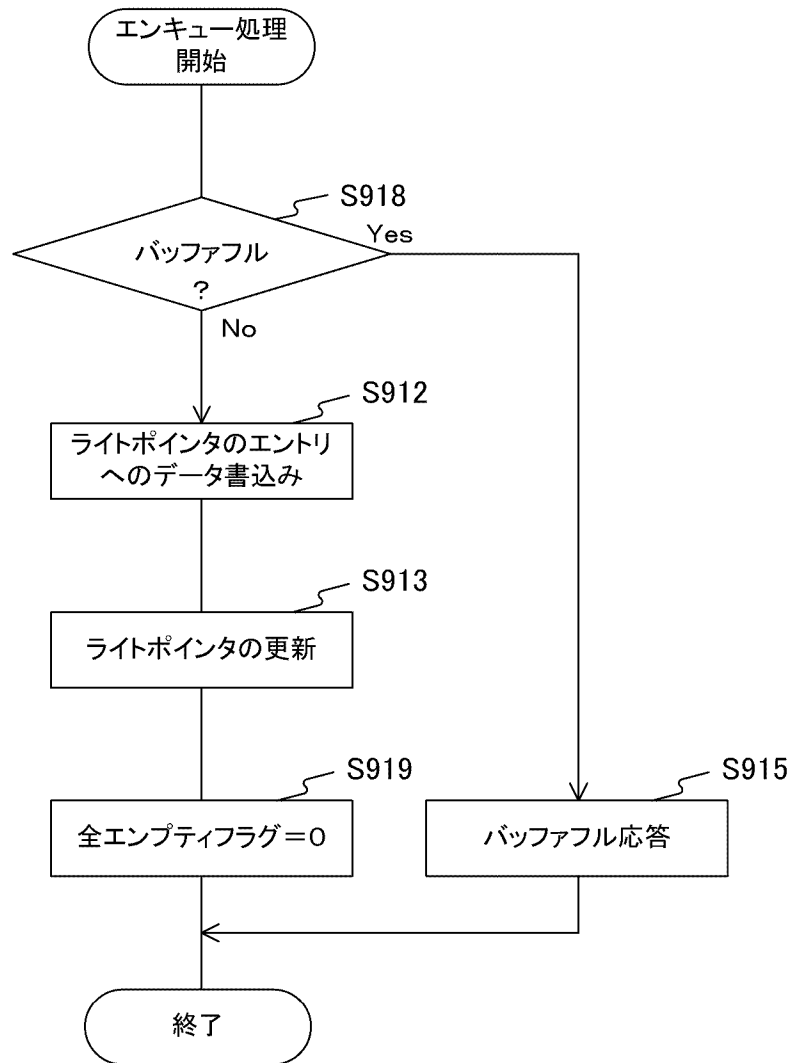
[図12]

要求	ライトポインタ	エンプティフラグ	ライトポインタ制御部の動作
初期化要求	—	—	全エンプティフラグおよび ライトポインタの初期化
ライト要求	ライトポインタ= いずれかの リードポインタ	対応するエンプティ フラグ≠1	データの破棄、 バッファフルの応答
		対応するエンプティ フラグ=1	データの書込み、 ライトポインタの更新および 全エンプティフラグ=0
	ライトポインタ≠ 各リードポインタ	—	
無し	—	—	—

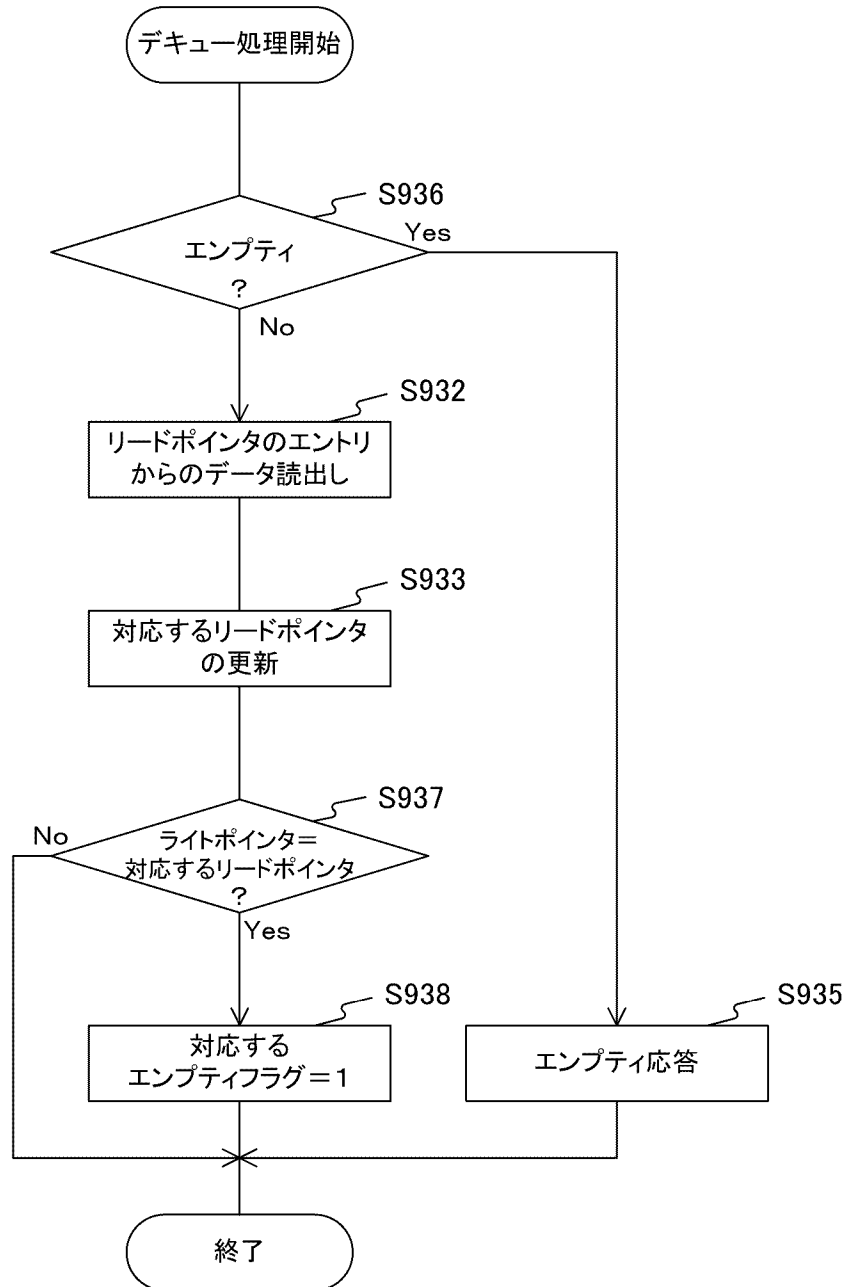
[図13]

要求	エンプティフラグ	リードポインタ制御部の動作
初期化要求	—	リードポインタの初期化
リード要求	対応するエンプティフラグ=1	バッファエンプティの応答
	対応するエンプティフラグ≠1	データの読出し、 ライトポインタの更新、 必要に応じてエンプティフラグの更新
無し	—	—

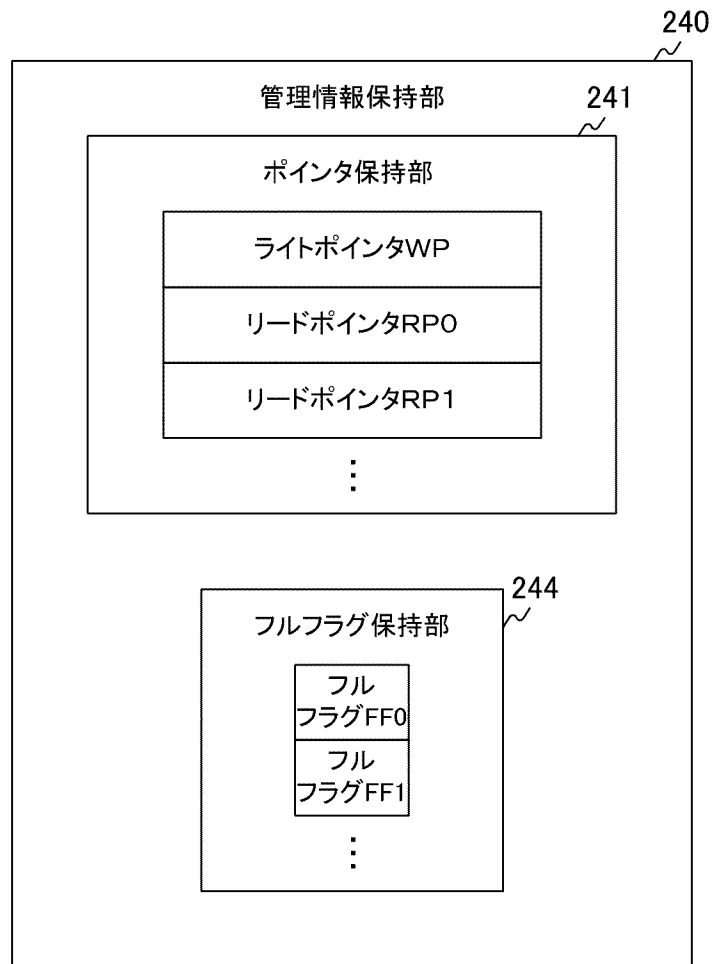
[図14]



[図15]



[図16]



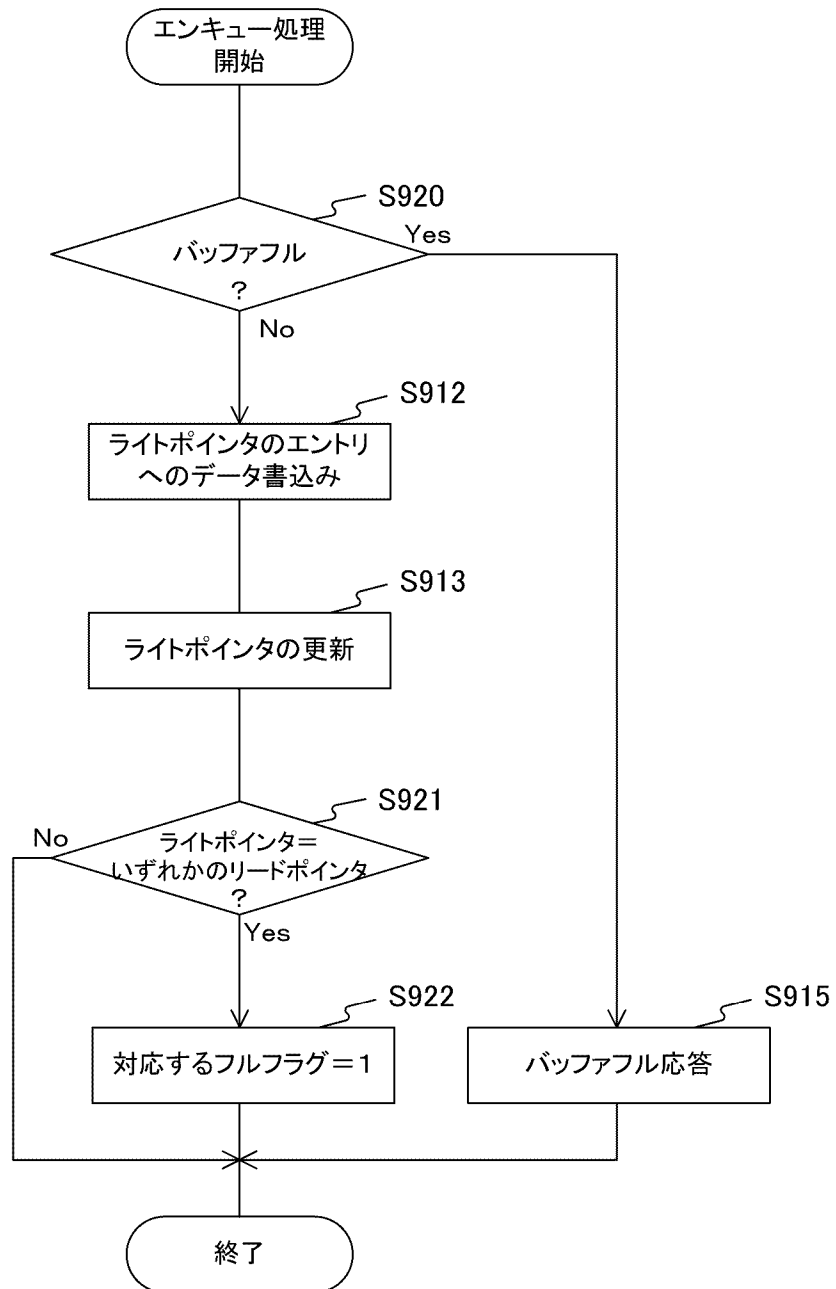
[図17]

要求	フルフラグ	ライトポインタ制御部の動作
初期化要求	—	全フルフラグおよびライトポインタの初期化
ライト要求	いずれかのフルフラグ=1	データを破棄し、バッファフルの応答
	全フルフラグ=0	データの書込み、ライトポインタの更新、必要に応じてフルフラグの更新
無し	—	—

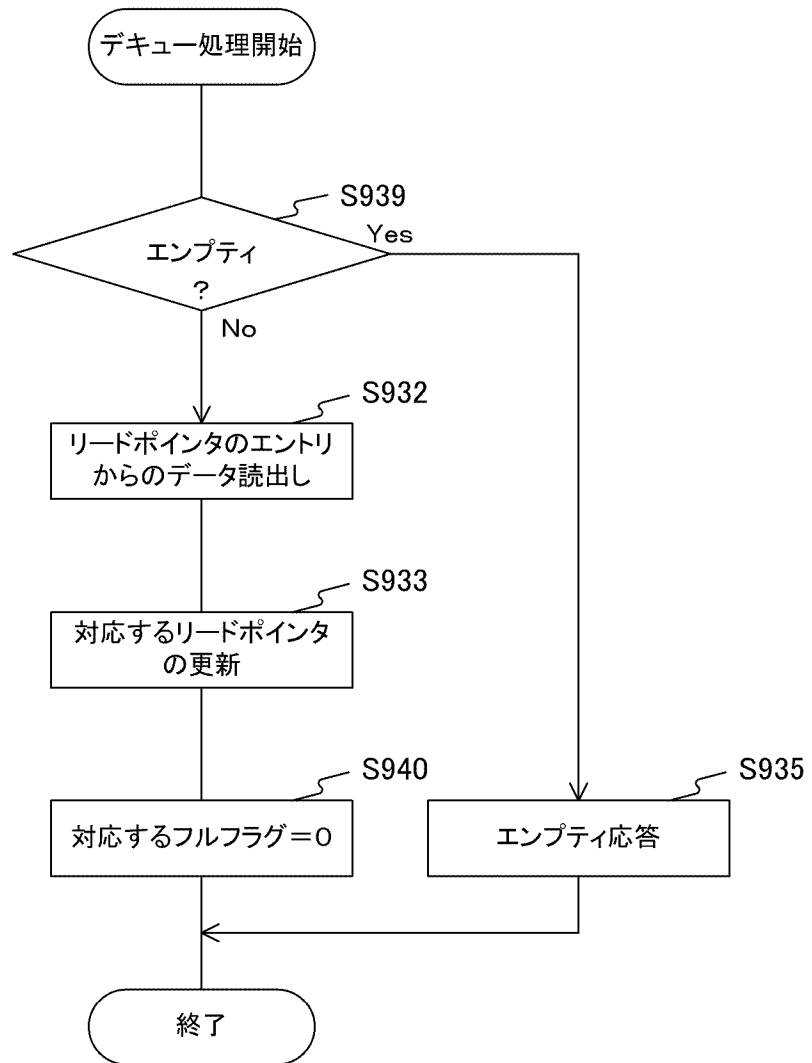
[図18]

要求	ライトポインタ	フルフラグ	リードポインタ制御部の動作
初期化要求	—	—	対応するリードポインタの初期化
リード要求	ライトポインタ= 対応する リードポインタ	対応する フルフラグ≠1	バッファEMPTYの応答
		対応する フルフラグ=1	データの読出し、 対応するリードポインタの更新および 対応するフルフラグ=0
	ライトポインタ≠ 対応する リードポインタ	—	
無し	—	—	—

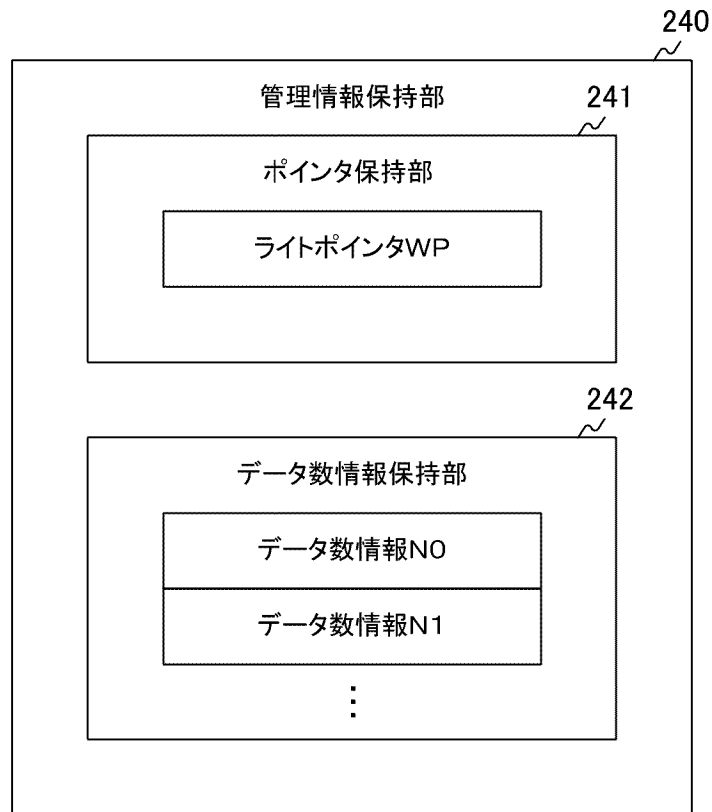
[図19]



[図20]



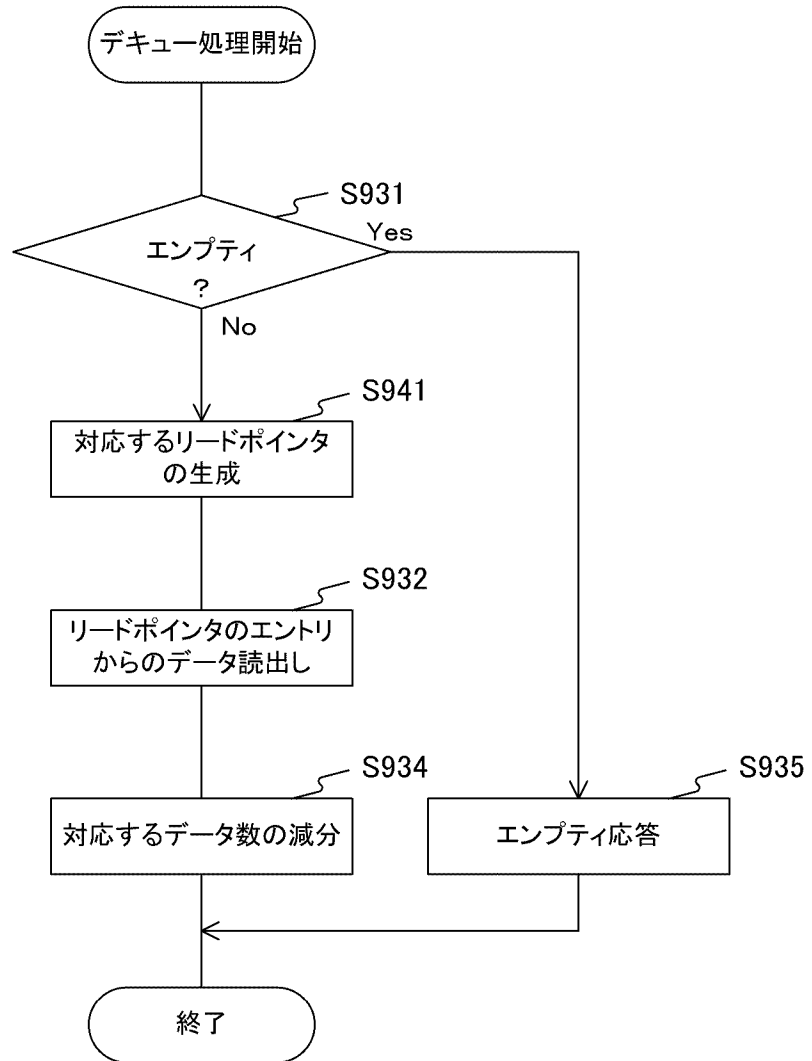
[図21]



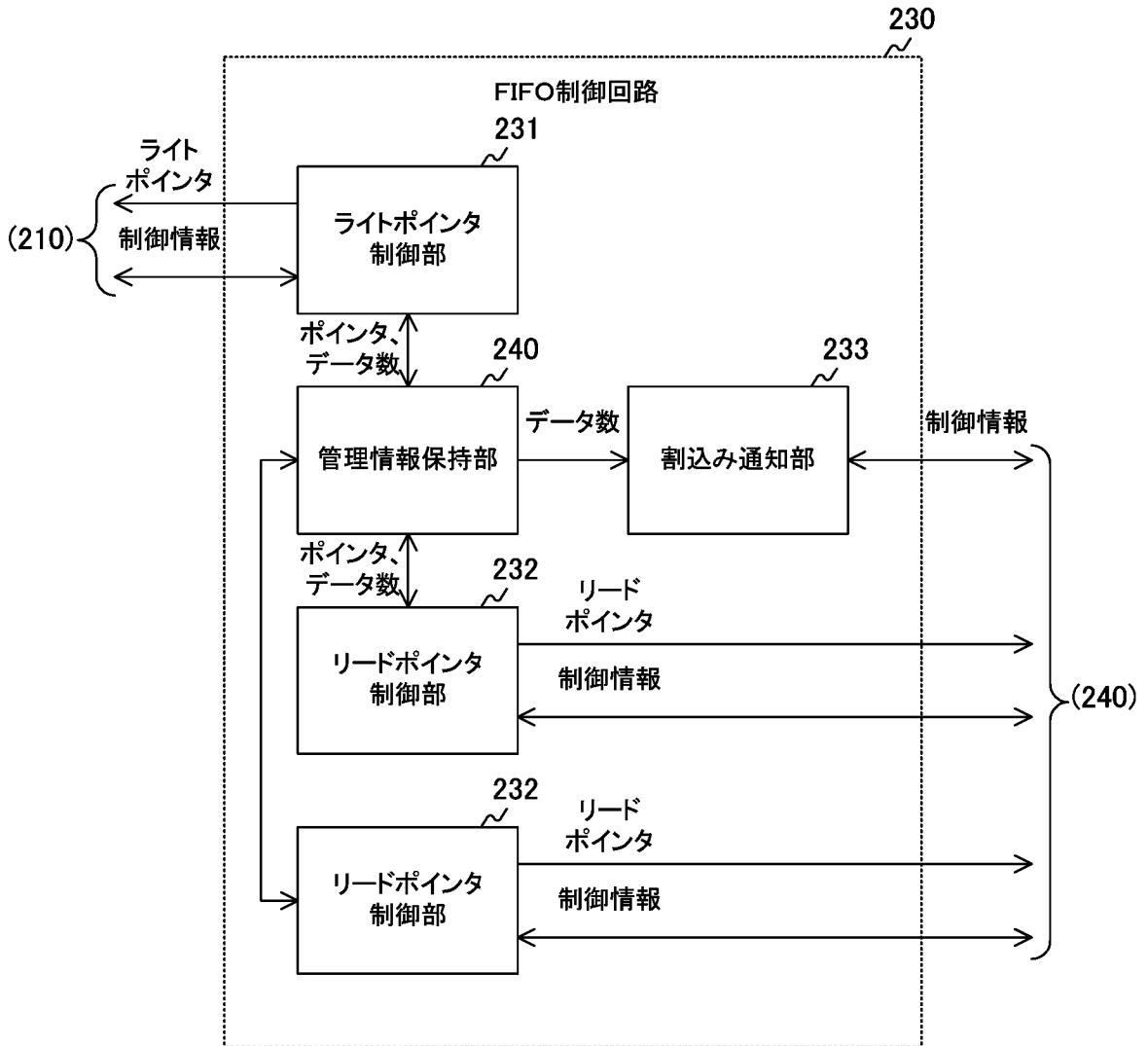
[図22]

要求	対応するデータ数	リードポインタ制御部の動作
初期化要求	—	—
リード要求	データ数=0	バッファエンプティの応答
	データ数≠0	対応するリードポインタの生成、 データの読出しおよび 対応するデータ数の減分
無し	—	—

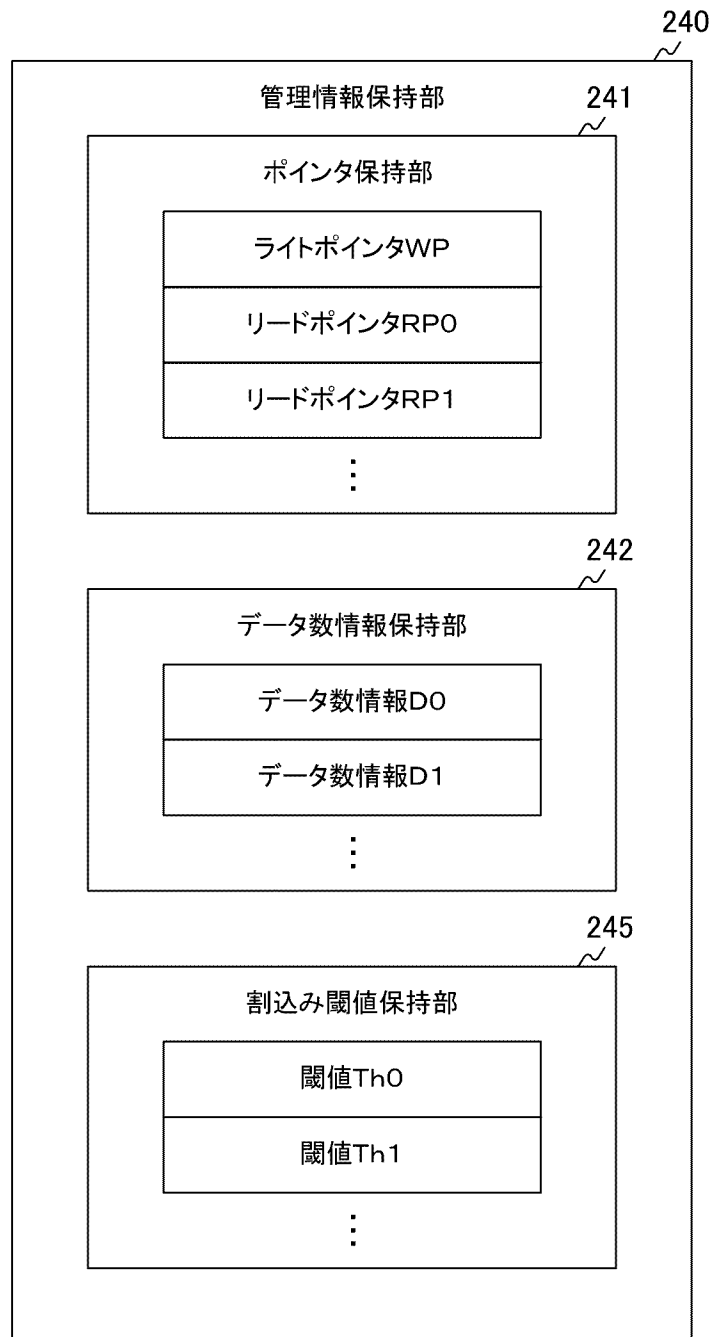
[図23]



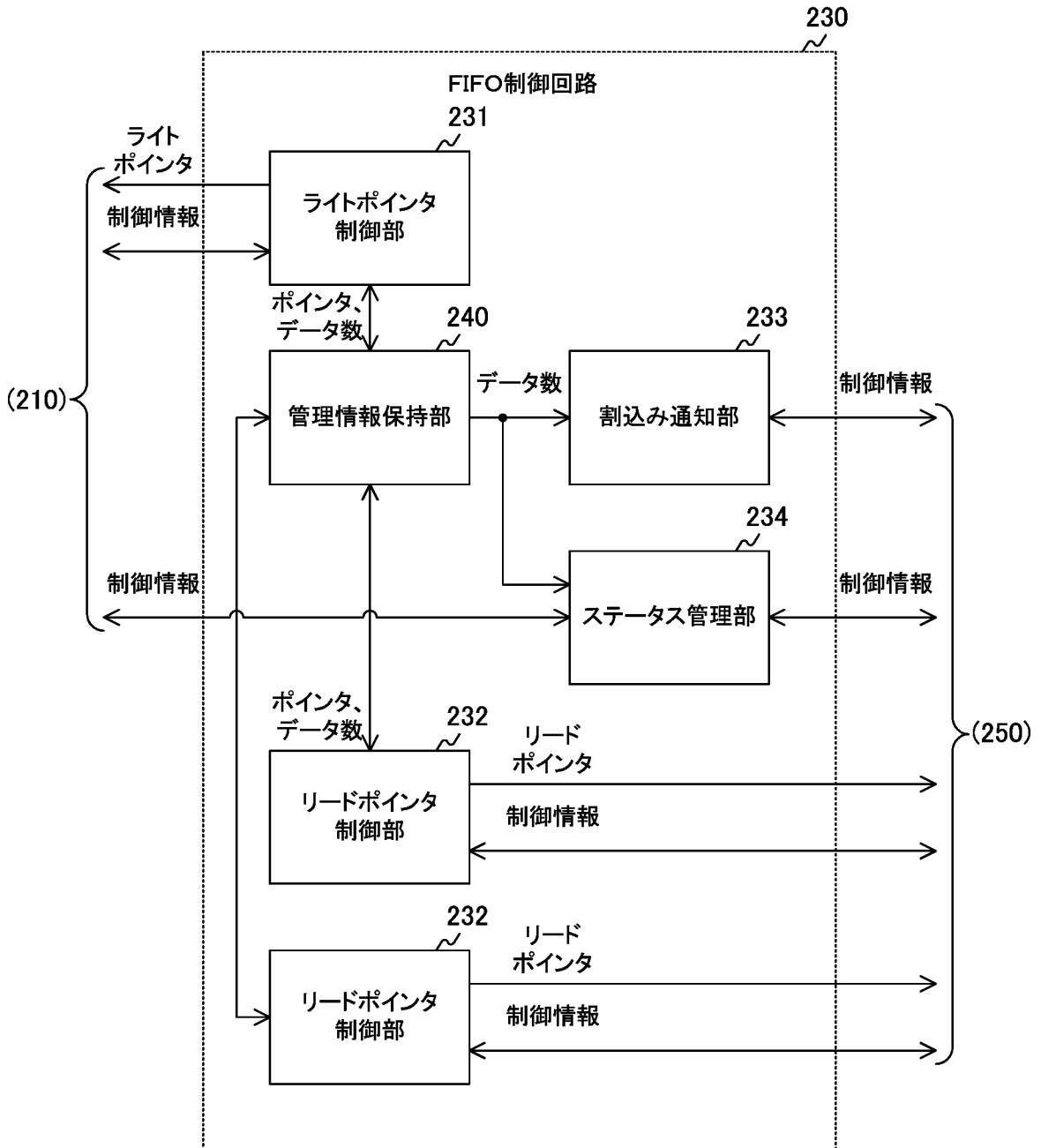
[図24]



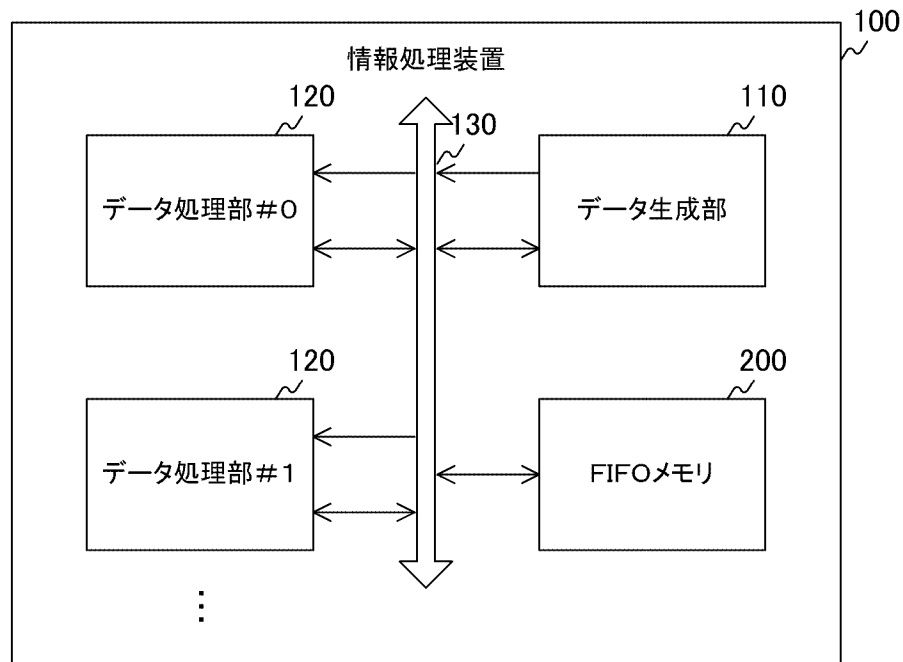
[図25]



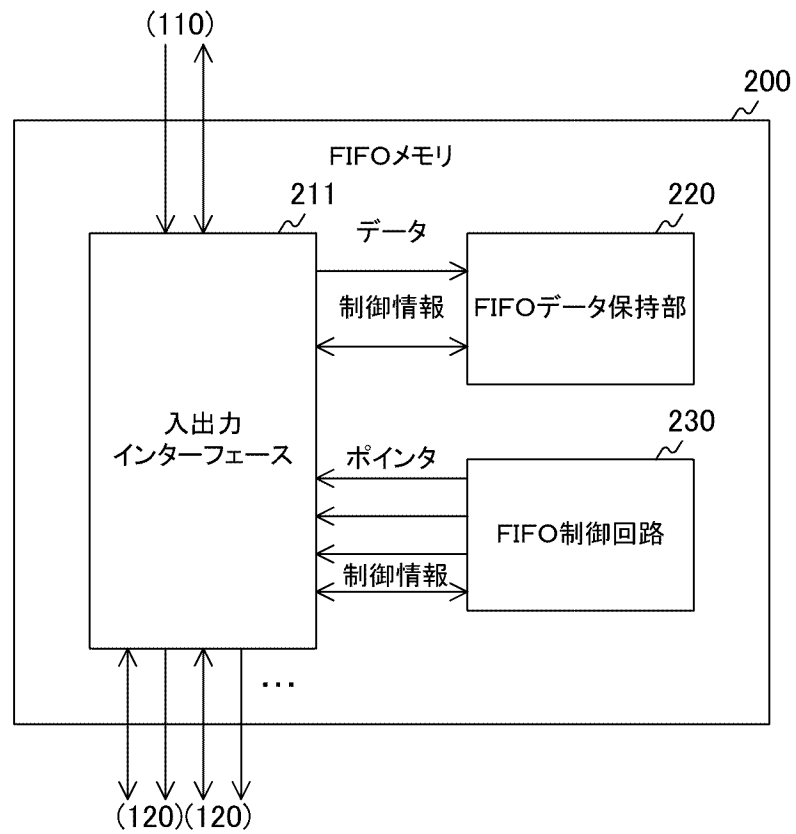
[図26]



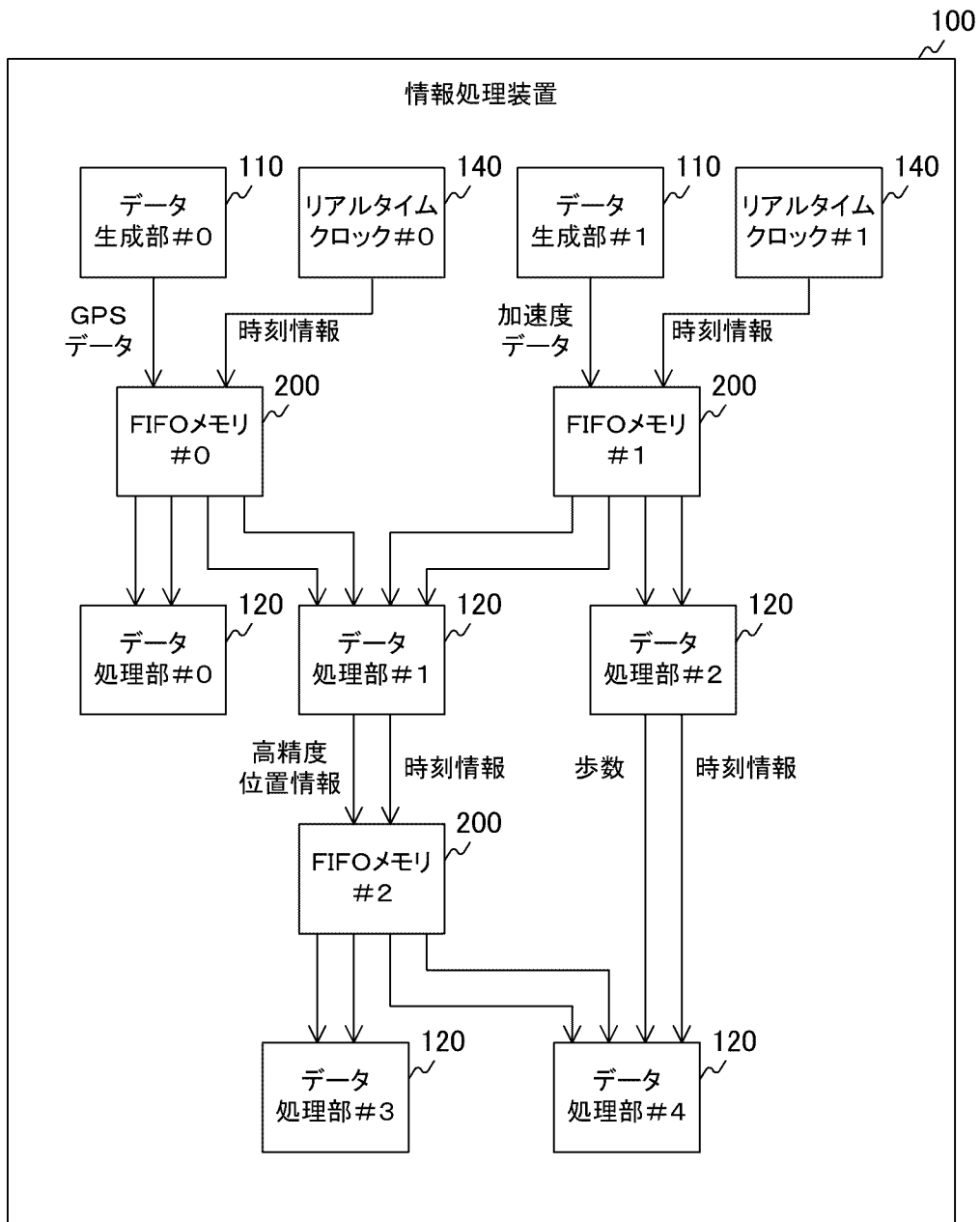
[図27]



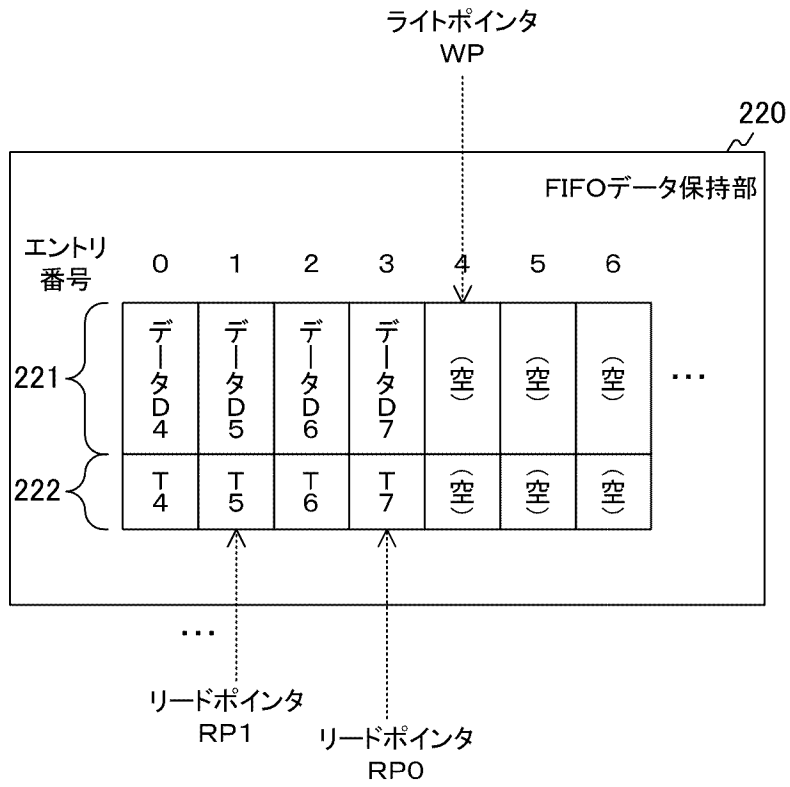
[図28]



[図29]



[図30]



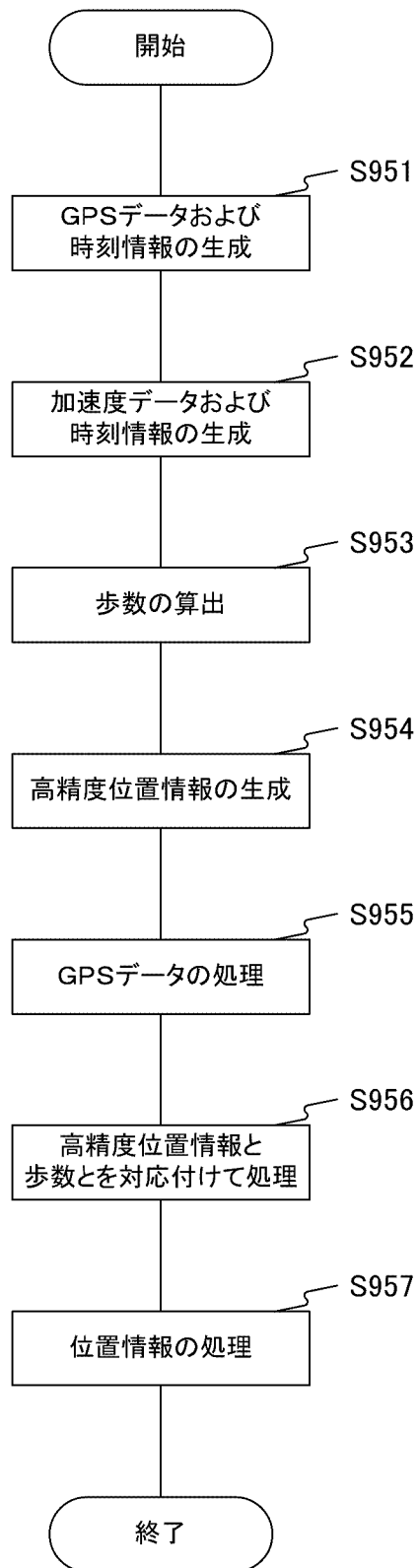
[図31]

要求	データ数	ライトポインタ制御部の動作
初期化要求	—	全データ数およびライトポインタの初期化
ライト要求	いずれかの データ数 = バッファサイズ	データおよび時刻情報を破棄し、 バッファフルの応答
	各データ数 ≠ バッファサイズ	データおよび時刻情報の書込み、 ライトポインタの更新、 全データ数の増分
無し	—	—

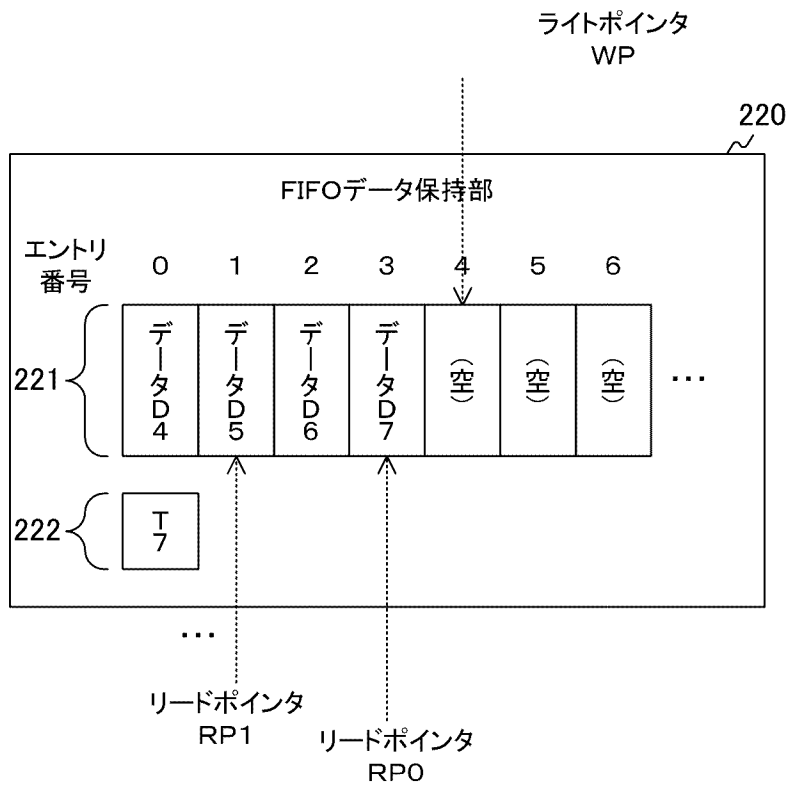
[図32]

要求	対応するデータ数	リードポインタ制御部の動作
初期化要求	—	対応するリードポインタの初期化
リード要求	データ数=0	バッファEMPTYの応答
	データ数≠0	データおよび時刻情報の読出し、 対応するリードポインタの更新、 対応するデータ数の減分
無し	—	—

[図33]



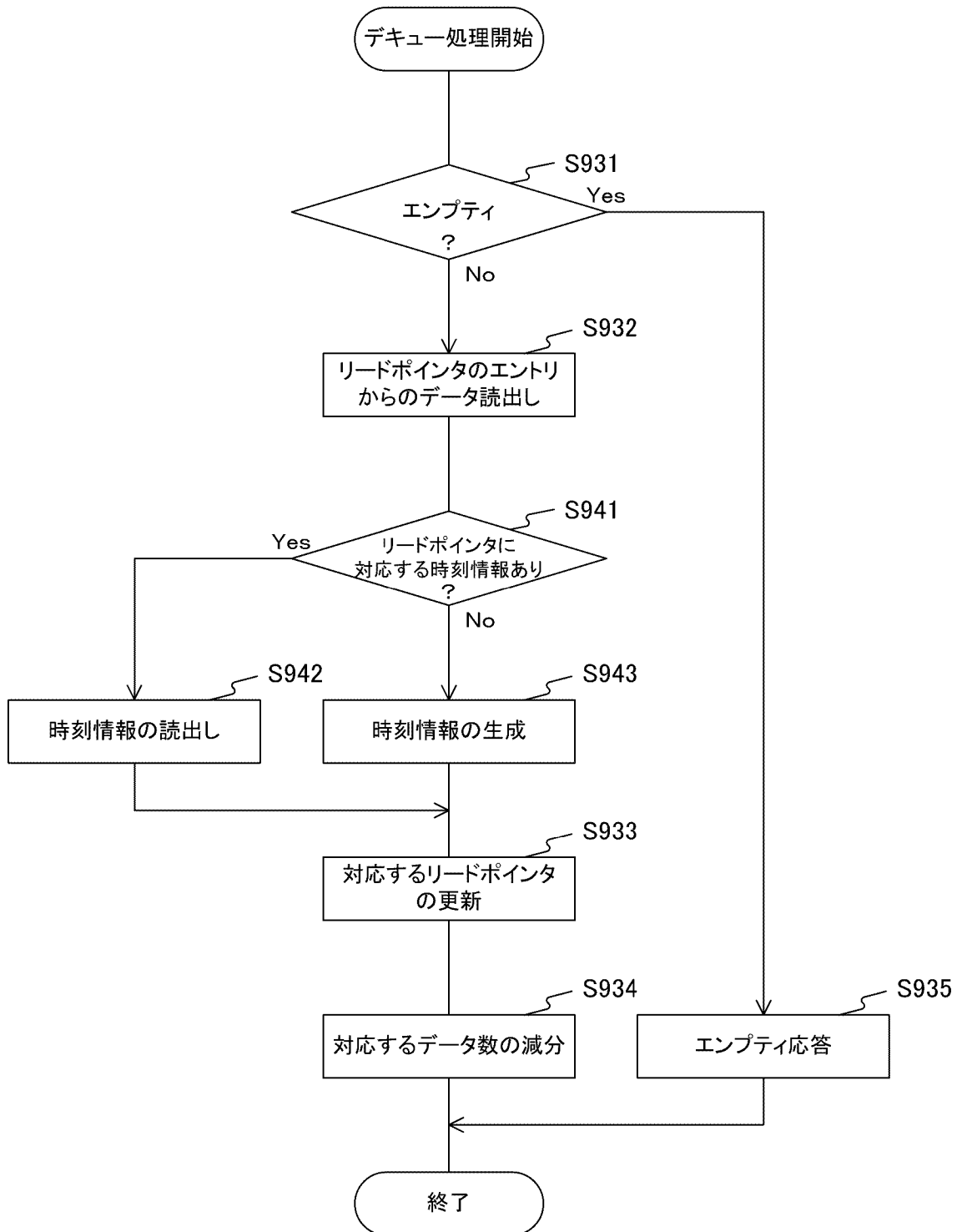
[図34]



[図35]

要求	対応するデータ数	リードポインタ制御部の動作
初期化要求	—	対応するリードポインタの初期化
リード要求	データ数=0	バッファEMPTYの応答
	データ数≠0	データの読出し、 必要に応じて時刻情報の生成、 対応するリードポインタの更新、 対応するデータ数の減分
無し	—	—

[図36]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/064423

A. CLASSIFICATION OF SUBJECT MATTER
G06F13/38(2006.01) i, G06F12/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F13/38, G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-318940 A (Hitachi, Ltd.), 07 November 2003 (07.11.2003), paragraphs [0031] to [0049]; fig. 2	1, 5-6, 9-10, 12-14
Y	& US 2003/0095560 A1 paragraphs [0158] to [0176]; fig. 24 & TW 200302647 A & CN 1420666 A	2-4, 7-8, 11
Y	JP 2009-302677 A (Ricoh Co., Ltd.), 24 December 2009 (24.12.2009), paragraphs [0082] to [0084]; fig. 7 (Family: none)	2-4
Y	JP 2005-216317 A (Fujitsu Ltd.), 11 August 2005 (11.08.2005), paragraphs [0047] to [0088]; fig. 6 (Family: none)	7-8, 11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 June 2016 (30.06.16)	Date of mailing of the international search report 12 July 2016 (12.07.16)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F13/38(2006.01)i, G06F12/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F13/38, G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-318940 A (株式会社日立製作所) 2003. 11. 07, 段落[0031]-[0049], 図2	1, 5-6, 9-10, 12-14
Y	& US 2003/0095560 A1, 段落[0158]-[0176], 図24 & TW 200302647 A & CN 1420666 A	2-4, 7-8, 11
Y	JP 2009-302677 A (株式会社リコー) 2009. 12. 24, 段落[0082]-[0084], 図7 (ファミリーなし)	2-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

30.06.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田上 隆一

5B

4176

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-216317 A (富士通株式会社) 2005. 08. 11, 段落[0047]ー[0088], 図6 (ファミリーなし)	7-8, 11