



(12)发明专利申请

(10)申请公布号 CN 110752847 A

(43)申请公布日 2020.02.04

(21)申请号 201810820578.X

(22)申请日 2018.07.24

(71)申请人 圣邦微电子(北京)股份有限公司
地址 100089 北京市海淀区西三环北路87号13层3-1301

(72)发明人 刘菁

(74)专利代理机构 北京成创同维知识产权代理有限公司 11449
代理人 范芳茗 刘静

(51)Int.Cl.
H03M 1/66(2006.01)

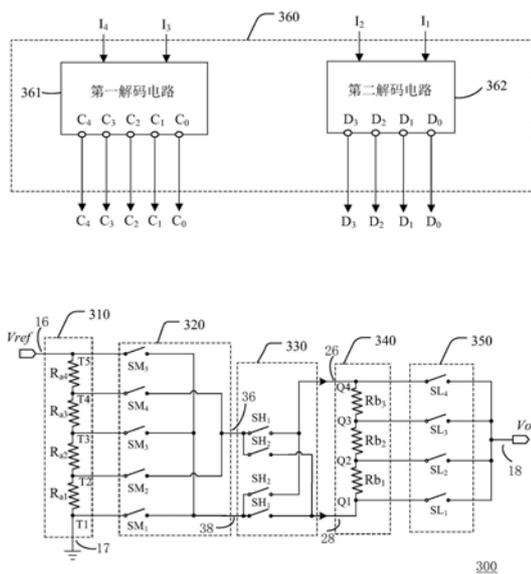
权利要求书2页 说明书8页 附图6页

(54)发明名称

数模转换器

(57)摘要

公开了一种数模转换器,包括:第一电阻串,包括连接在参考电压与参考地之间的多个第一电阻;第二电阻串,包括连接在第一输入端和第二输入端之间的多个第二电阻;第一开关网络,用于根据输入的数字信号的第一有效位在所述第一电阻串中选定至少一个第一电阻;第二开关网络,用于根据输入的所述数字信号的第二有效位在所述第二电阻串中选定至少一个第二电阻,其中,所述数模转换器还包括第三开关网络,用于提供从所述第一开关网络到所述第二电阻串的电流通路。使得第一电阻串进行切换时第二电阻串中的电阻的两端电压变化一致,匹配性大大提高,从而相邻代码的输出模拟信号差不会与绝对代码产生强烈的相关性,影响数模转换的转换精度。



CN 110752847 A

1. 一种数模转换器,包括:

第一电阻串,包括连接在参考电压与参考地之间的多个第一电阻;

第二电阻串,包括连接在第一输入端和第二输入端之间的多个第二电阻;

第一开关网络,用于根据输入的数字信号的第一有效位在所述第一电阻串中选定至少一个第一电阻;

第二开关网络,用于根据输入的所述数字信号的第二有效位在所述第二电阻串中选定至少一个第二电阻,

其中,所述数模转换器还包括第三开关网络,用于提供从所述第一开关网络到所述第二电阻串的电流通路。

2. 根据权利要求1所述的数模转换器,其中,所述第一电阻的两端包括第一端子,所述第二电阻的两端包括第二端子。

3. 根据权利要求2所述的数模转换器,其中,所述第一电阻串中相邻的所述第一电阻共用所述第一端子,所述第二电阻串中相邻的所述第二电阻共用所述第二端子。

4. 根据权利要求2所述的数模转换器,其中,所述第一开关网络包括多个第一开关,所述多个第一开关的第一通路端与所述第一端子对应连接,第二通路端与所述第一开关网络的输出端连接;

所述第二开关网络包括多个第二开关,所述第二开关的第一通路端与所述第二端子对应连接,第二通路端与所述第二开关网络的输出端连接,所述第二开关网络的输出端用于输出与所述数字信号相应的模拟信号。

5. 根据权利要求4所述的数模转换器,其中,所述第一开关网络包括第一输出端和第二输出端,

其中,第偶数个所述第一开关的第二通路端与所述第一输出端连接,第奇数个所述第一开关的第二通路端与所述第二输出端连接。

6. 根据权利要求4所述的数模转换器,其中,所述第一开关网络包括第一输出端和第二输出端,

其中,第奇数个所述第一开关的第二通路端与所述第一输出端连接,第偶数个所述第一开关的第二通路端与所述第二输出端连接。

7. 根据权利要求5或6所述的数模转换器,其中,所述第三开关网络包括第一开关电路和第二开关电路,所述第一开关电路和所述第二开关电路都包括第三开关和第四开关,

其中,所述第一开关电路中的所述第三开关的第一通路端与所述第一输出端连接,第二通路端与所述第一输入端连接,所述第四开关的第一通路端与所述第一输出端连接,第二通路端与所述第二输入端连接,

所述第二开关电路中的所述第三开关的第一通路端与所述第二输出端连接,第二通路端与所述第二输入端连接,所述第四开关的第一通路端与所述第二输出端连接,第二通路端与所述第一输入端连接。

8. 根据权利要求4所述的数模转换器,还包括:

第一解码电路,用于根据所述数字信号的所述第一有效位得到第一控制信号,所述第一控制信号用于控制所述多个第一开关的闭合/断开状态;

第二解码电路,用于根据所述数字信号的所述第二有效位得到第二控制信号,所述第

二控制信号用于控制所述多个第二开关的闭合/断开状态。

9. 根据权利要求7所述的数模转换器,其中,所述第一控制信号和所述第二控制信号相互独立。

10. 根据权利要求1所述的数模转换器,其中,所述第一有效位为最高有效位,所述第二有效位为最低有效位。

数模转换器

技术领域

[0001] 本发明涉及集成电路制造领域,更具体地涉及一种数模转换器。

背景技术

[0002] 随着计算机技术、多媒体技术、信号处理技术迅速发展,先进的电子系统不断涌现,在现代电子系统的前端和后端都将应用到数模转换器(digital to analog converter,DAC)。

[0003] 数模转换器用于将数字信号转换为模拟信号,在集成电路设计中,电阻型数模转换器是较为常见的一种。如图1示出了一种电阻型数模转换器的结构示意图,如图1所示,传统的电阻型数模转换器100将具有相同电阻值的电阻R1-R64彼此串联连接,接入参考电压Vref和参考地之间,由并联的开关S0-S64连接在电阻之间的连接节点上,多个开关S0-S64由经过解码的数字信号控制,选择地输出电阻之间各节点的电压作为相应于数字信号的模拟电压。对于传统结构的数模转换器,当精度N=10位以上时,需要 2^N 个开关,电路会占用更大的面积,同时开关的杂散电容也会限制数模转换的速度。

发明内容

[0004] 有鉴于此,本发明的目的在于提供一种数模转换器,数模转换的效率和精度更高。

[0005] 根据本发明提供一种数模转换器,包括:第一电阻串,包括连接在参考电压与参考地之间的多个第一电阻;第二电阻串,包括连接在第一输入端和第二输入端之间的多个第二电阻;第一开关网络,用于根据输入的数字信号的第一有效位在所述第一电阻串中选定至少一个第一电阻;第二开关网络,用于根据输入的所述数字信号的第二有效位在所述第二电阻串中选定至少一个第二电阻,其中,所述数模转换器还包括第三开关网络,用于提供从所述第一开关网络到所述第二电阻串的电流通路。

[0006] 优选地,所述第一电阻的两端包括第一端子,所述第二电阻的两端包括第二端子。

[0007] 优选地,所述第一电阻串中相邻的所述第一电阻共用所述第一端子,所述第二电阻串中相邻的所述第二电阻共用所述第二端子。

[0008] 优选地,所述第一开关网络包括多个第一开关,所述多个第一开关的第一通路端与所述第一端子对应连接,第二通路端与所述第一开关网络的输出端连接;所述第二开关网络包括多个第二开关,所述第二开关的第一通路端与所述第二端子对应连接,第二通路端与所述第二开关网络的输出端连接,所述第二开关网络的输出端用于输出与所述数字信号相应的模拟信号。

[0009] 优选地,所述第一开关网络包括第一输出端和第二输出端,其中,第偶数个所述第一开关的第二通路端与所述第一输出端连接,第奇数个所述第一开关的第二通路端与所述第二输出端连接。

[0010] 优选地,所述第一开关网络包括第一输出端和第二输出端,其中,第奇数个所述第一开关的第二通路端与所述第一输出端连接,第偶数个所述第一开关的第二通路端与所述

第二输出端连接。

[0011] 优选地,所述第三开关网络包括第一开关电路和第二开关电路,所述第一开关电路和所述第二开关电路都包括第三开关和第四开关,其中,所述第一开关电路中的所述第三开关的第一通路端与所述第一输出端连接,第二通路端与所述第一输入端连接,所述第四开关的第一通路端与所述第一输出端连接,第二通路端与所述第二输入端连接,所述第二开关电路中的所述第三开关的第一通路端与所述第二输出端连接,第二通路端与所述第二输入端连接,所述第四开关的第一通路端与所述第二输出端连接,第二通路端与所述第一输入端连接。

[0012] 优选地所述的数模转换器还包括:第一解码电路,用于根据所述数字信号的所述第一有效位得到第一控制信号,所述第一控制信号用于控制所述多个第一开关的闭合/断开状态;第二解码电路,用于根据所述数字信号的所述第二有效位得到第二控制信号,所述第二控制信号用于控制所述多个第二开关的闭合/断开状态。

[0013] 优选地,所述第一控制信号和所述第二控制信号相互独立。

[0014] 优选地,所述第一有效位为最高有效位,所述第二有效位为最低有效位。

[0015] 综上所述,本发明的数模转换器包括第三开关网络,用于在数模转换器工作过程中将第一电阻串中被选定的电阻的两端耦合到第二电阻串的第一输入端和第二输入端,当第一电阻串上的电阻进行切换时,第二电阻串的第一输入端和第二输入端同时进行切换。因此当第一电阻串上的电阻进行切换时,第二电阻串的第一输入端和第二输入端对地升高相同的电压。所以每次第一电阻串进行切换时第二电阻串中的电阻的两端电压变化一致,匹配性大大提高,从而不会由于代码不同而造成输出模拟信号的不同,影响数模转换的转换精度。

[0016] 同时因为在第一电阻串的电阻进行切换过程中,第二电阻串中电流的方向一直是固定的,不会随着第一电阻串中电阻的切换而改变,所以第二开关网络的逻辑切换和第一开关网络的切换逻辑之间是相互独立的,最终第一控制信号和第二控制信号相互独立,使得第一解码电路和第二解码电路之间相互独立,从而使得解码的复杂度大大减小,提高工作效率,减小功耗。

[0017] 同时第三开关网络中的第三开关和第四开关由于只是随第一电阻串的电阻的选择顺序依次切换,复杂度也不高。因此,在高比特下的本发明的数模转换器的转换效率更高,面积更小。

附图说明

[0018] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚。

[0019] 图1示出传统的电阻型数模转换器的结构示意图。

[0020] 图2示出一种典型的由主、从电阻串组成的4比特数模转换器的结构示意图。

[0021] 图3示出输入数字信号为0011时现有的数模转换器的结构示意图。

[0022] 图4示出根据本发明实施例的数模转换器的结构示意图。

[0023] 图5示出图4中数字信号I4I3I2I1的位与开关SM1-SM5、开关SH1 和开关SH2以及开关SL1-SL4的闭合/断开状态之间的关系示意图。

[0024] 图6示出当输入的数字信号为0000时本发明第一实施例的数模转换器的结构示意图。

[0025] 图7示出当输入的数字信号为0100时本发明第一实施例的数模转换器的结构示意图。

具体实施方式

[0026] 以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，在图中可能未示出某些公知的部分。

[0027] 在下文中描述了本发明的许多特定的细节，例如部件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

[0028] 应当理解，在以下的描述中，“电路”是指由至少一个元件或子电路通过电气连接或电磁连接构成的导电回路。当称元件或电路“连接到”另一元件或称元件/电路“连接在”两个节点之间时，它可以直接耦合或连接到另一元件或者可以存在中间元件，元件之间的连接可以是物理上的、逻辑上的、或者其结合。相反，当称元件“直接耦合到”或“直接连接到”另一元件时，意味着两者不存在中间元件。

[0029] 图2示出的是一个典型的由主、从电阻串组成的4比特数模转换器 200，包括第一电阻串210、第二电阻串230、第一开关网络220、第二开关网络240以及解码模块260。

[0030] 解码模块260用于根据接收到的数字信号得到M个控制信号，其中，所述M个控制信号分为第一控制信号和第二控制信号。例如在本实施例中，解码模块260根据四位数字信号I4I3I2I1得到第一控制信号C0-C4 和第二控制信号D0-D3。其中，I4和I3表示最高有效位(Most Significant Bit,MSB)，第一控制信号C0-C4例如为高阶位控制信号；I1和I2 表示最低有效位(Least Significant Bit,LSB)，第二控制信号D0-D3 例如为低阶位控制信号。

[0031] 具体地，解码模块260包括第一解码电路261和第二解码电路262，第一解码电路261用于根据四位数字信号I4、I3、I2、I1中的两个最高有效位I4和I3产生第一控制信号C0-C4。在本实施例中，第一解码电路461例如使用第一解码器实现，通过使用格雷码进行解码。

[0032] 第二解码电路262用于根据四位数字信号I4、I3、I2、I1中的I3、I2和I1产生第二控制信号D0-D3。第二解码电路262包括第二解码器 263和选择电路264。

[0033] 第二解码器263接收两个最低有效位I2和I1，并根据I2和I1在输出端子A0、A1、A2和A3处产生二进制信号。选择电路264包括第一输入端A和第二输入端B，第一输入端A与输出端子A0、A1、A2和 A3连接，第二输入端B通过多个反相器51与输出端子A0、A1、A2和 A3连接，输出端子A0、A1、A2和A3与多个反相器51的输入端对应连接，反相器51的输出端与选择电路264的第二输入端B连接。选择电路264例如为多路复用器，用于根据位I3将第一输入端A或第二输入端B中的一个选择性地耦合到选择电路264的输出端。更具体地说，当位I3的二进制信号为逻辑0时，选择电路264将输出端子A0、A1、A2和A3分别耦合到输出端，如图2中所示的实线52，将第二解码器 263在输出端子A0、A1、A2和A3处产生二进制信号直接输出为第二控制信号D0-D3。当位I3的二进制信号为逻辑1时，输出端子A0、A1、A2和A3分别在通过反相器51后，与选择电路264的输出端相连，如图2中的虚线54所示，将第二解码器263在输

出端子A0、A1、A2和 A3处产生二进制信号的反相信号输出为第二控制信号D0-D3。

[0034] 第一电阻串210由阻值相等的多个电阻Ra4-Ra1串联组成，多个电阻Ra4-Ra1连接在参考电压Vref和参考地之间。第二电阻串230由阻值相等的多个电阻Rb3-Rb1串联组成。第一开关网络220包括多个开关 SM0-SM4，第二开关网络包括多个开关SL0-SL3。第一开关网络220受控于第一解码电路261产生的第一控制信号C0-C4，第二开关网络240 受控于第二解码电路产生的第二控制信号D0-D3。假设参考电压Vref等于1V，表1示出在理想情况下DAC的输出结果与第一开关网络220和第二开关网络240之间的关系。

[0035] 表1

第一开关网络					第二开关网络				DAC 输出
SM4	SM3	SM2	SM1	SM0	SL3	SL2	SL1	SL0	电压 (V)
断开	断开	断开	闭合	闭合	断开	断开	断开	闭合	0
断开	断开	断开	闭合	闭合	断开	断开	闭合	断开	1/15
断开	断开	断开	闭合	闭合	断开	闭合	断开	断开	2/15
断开	断开	断开	闭合	闭合	闭合	断开	断开	断开	3/15
断开	断开	闭合	闭合	断开	闭合	断开	断开	断开	4/15
断开	断开	闭合	闭合	断开	断开	闭合	断开	断开	5/15
...
闭合	闭合	断开	断开	断开	断开	断开	断开	闭合	15/15

[0037] 图3示出当数字信号为0011时现有的数模转换器的结构示意图。如图3所示，当输入为0011时，开关SM1、SM0以及SL3闭合，假设第一电阻串上的电阻Ra4-Ra1的阻值都是R1，第二电阻串上的电阻Rb3-Rb1的阻值都是R2，则可以得到从参考电压Vref接入电路的总电阻 $R_t = 3R_1 + \frac{R_1 \cdot 3R_2}{R_1 + 2R_2}$ ，则在电阻Ra1上产生的电压为

$$[0038] \quad V_{a1} = V_{ref} * \frac{\frac{R_1 \cdot 3R_2}{R_1 + 3R_2}}{3R_1 + \frac{R_1 \cdot 3R_2}{R_1 + 3R_2}} = V_{ref} * \frac{1}{4 + R_1/R_2}$$

[0039] 在一个理想的4比特的数模转换器中： $R_1 = R_2$ ，则可以根据上面的公式得到Ra1上的电压 $V_{a1} = 3/15V_{ref}$ ，而并联在Ra1上有电阻Rb1-Rb3，即3个LSB (Least Significant Bit, 最低有效位)，因此我们可以得到该 4比特数模转换器的一个LSB是 $1/15V_{ref}$ 。当然，这只是一种理想情况，在实际的电阻型数模转换器的电路设计中，主、第二电阻串的阻值大小往往是不相等的。

[0040] 现有技术的数模转换器存在以下的缺点：1、为了消除第二电阻串 230上闭合电流对于第一电阻串210的干扰，引起每一个LSB的误差，现有的数模转换器在主、第二电阻串之间插入电压缓冲器。但是由于电压缓冲器自身的误差，这样反而会增加输出电压的误差，而且电压缓冲器会消耗额外的功耗和芯片面积。2、从表1可以看出，当在第一电阻串中选中不同的电阻时，第二电阻串的第二开关网络的逻辑是不同的，例如：开关SM0和开关SM1闭合，即在第一电阻串选中电阻Ra1时，对应于DAC输出电压为0-3/15V，第二开关网络闭合的开关依次为 SL0-SL3；而当开关SM1和开关SM2闭合，即在第一电阻串选中电阻 Ra2时，对应于

DAC输出电压为 $4/15V-7/15V$,第二开关网络闭合的开关依次为SL3-SL0,如表1所示。所以现有的数模转换器中第二开关网络的解码逻辑根据第一电阻串选中的电阻而变化,增加了数模转换器数字解码的复杂程度,提高了解码的工作量。3、第二电阻串上每个电阻的电压的变化与第一电阻串上选中的电阻有关。例如:第一电阻串由电阻 Ra1切换到电阻Ra2时,第二电阻串的电阻Rb3的顶端电压不变,但是电阻Rb1的底端电压升高;而当第一电阻串从电阻Ra2切换到电阻Ra3 时,第二电阻串230的电阻Rb3的顶端电压升高,但是电阻Rb1的底端电压不变。在同样的1LSB变化下,由于第一电阻串210中选择的电阻的不同,第二电阻串230的首端和尾端的电压变化发生改变,从而导致在不同的代码下数模转换器的输出可能会出现不同的变化,从而影响输出电压值,影响数模转换的转换精度。

[0041] 图4示出本发明实施例提供的数模转换器300的结构示意图。数模转换器300用于将N位的数字信号转换为模拟信号。数模转换器300可由集成电路实施为独立模块或者与其他模块组合。

[0042] 数模转换器300的外围包括第一参考输入端16、第二参考输入端17 以及模拟信号输出端18。第一参考输入端16用于接收参考电压Vref,第二参考输入端17用于接收模拟接地信号。参考电压Vref使得数模转换器300能够根据参考框架产生模拟输出。

[0043] 如图4所示,数模转换器300包括第一电阻串310、第一开关网络 320、第二电阻串340、第二开关网络350以及解码模块360。其中,第一电阻串310包括串联连接的 $2^{N/2}$ 个电阻,第二电阻串340包括串联连接的 $(2^{N/2}-1)$ 个电阻,N为大于0的偶数。在本实施例中,以数模转换器300转换4位数字信号为例进行说明,因此第一电阻串310包括 4个电阻串联连接,第二电阻串包括3个电阻串联连接。

[0044] 解码模块360用于根据接收到的数字信号得到M个控制信号,其中,所述M个控制信号分为第一控制信号和第二控制信号。例如在本实施例中,解码模块360根据四位数字I4、I3、I2和I1得到第一控制信号C0-C4 和第二控制信号D0-D3。其中,I4和I3表示最高有效位(Most Significant Bit,MSB),第一控制信号C0-C4例如为高阶位控制信号;I1和I2 表示最低有效位(Least Significant Bit,LSB),第二控制信号D0-D3 例如为低阶位控制信号。

[0045] 具体地,解码模块360包括第一解码电路361和第二解码电路362,第一解码电路361用于根据四位数字信号I4、I3、I2、I1中的两个最高有效位I4和I3产生第一控制信号C0-C4。在本实施例中,第一解码电路361例如使用解码器实现,通过使用格雷码进行解码。

[0046] 第二解码电路362用于根据四位数字信号I4、I3、I2、I1中的两个最低有效位I2和I1产生第二控制信号D0-D3。第二解码电路362例如使用解码器实现,通过使用格雷码进行解码。

[0047] 第一电阻串310包括串联于参考电压Vref和地之间的电阻Ra4-Ra1。其中,电阻Ra1-Ra4的阻值相等。值得注意的是,电阻Ra1,Ra2,Ra3 和Ra4的两端分别具有连接端子,例如:电阻Ra1两端分别具有端子T1和端子T2,电阻Ra2具有端子T2和端子T3,电阻Ra3具有端子T3 和端子T4,电阻Ra4具有端子T4和端子T5,如图4所示。响应于参考电压Vref馈送的电流,第一电阻串310中的电阻Ra1-Ra4在端子T1-T5 处产生电压。

[0048] 第二电阻串340包括串联连接在第二电阻串340的第一输入端26 与第二输入端28之间的电阻Rb1,Rb2和Rb3,电阻Rb1,Rb2和Rb3 的阻值基本相等。同样的,电阻器Rb1,Rb2和Rb3的两端分别具有连接端子,例如:电阻Rb1具有端子Q1和端子Q2,电阻Rb2具有端子 Q2和

端子Q3,电阻Rb3分别具有端子Q3和Q4,如图4所示。端子 Q3与第二电阻串340的第一输入端26连接,端子Q0与第二电阻串340 的第二输入端28连接。

[0049] 第一开关网络320包括 $(2^{N/2}+1)$ 个开关,N为大于0的偶数,所述多个开关与第一电阻串310中的多个连接端子对应连接。例如,在本实施例中,第一开关网络320包括开关SM1-SM5,如图4所示,开关 SM1、SM2、SM3、SM4和SM5的第一通路端分别连接到端子T1,T2, T3,T4和T5。第偶数个开关SM2和SM4的第二通路端连接到第一开关网络320的第一输出端36;第奇数个开关SM1、SM3和SM5的第二通路端连接到第一开关网络320的第二输出端38。当然,在本发明其他的实施例中,第奇数个开关SM2和SM4的第二通路端连接到第一开关网络320的第一输出端36;第偶数个开关SM1、SM3和SM5的第二通路端连接到第一开关网络320的第二输出端38。本发明不以此为限制,本领域的技术人员可以根据具体情况进行选择。

[0050] 此外,开关SM1、SM2、SM3、SM4和SM5的闭合和断开状态分别由第一控制信号C0-C4控制。

[0051] 第二开关网络350包括 $2^{N/2}$ 个开关,N为大于0的偶数,所述多个开关与第二电阻串340中的多个连接端子对应连接。例如,如图4所示,第二开关网络350包括开关SL1、SL2、SL3和SL4。开关SL1、SL2、SL3、SL4的第一通路端分别连接到端子Q1、Q2、Q3和Q4。开关SL1、SL2、SL3、SL4的第二通路端与模拟信号输出端18连接。开关SL1、SL2、SL3、SL4的闭合和断开状态由第二控制信号D0-D3控制。

[0052] 数模转换器300还包括第三开关网络330,第三开关网络330用于提供第一开关网络320到第二电阻串340的电流路径。第三开关网络330 包括第一开关电路和第二开关电路,第一开关电路和第二开关电路都包括开关SH1和SH2。其中,第一开关电路的第一通路端与第一开关网络 320的第一输出端36连接,第一开关电路的第二通路端与第二电阻串340的第一输入端26和第二输入端28连接。第二开关电路的第一通路端与第一开关网络320的第二输出端38连接,第二开关电路的第二通路端与第二电阻串340的第一输入端26和第二输入端28连接。具体地,第一开关电路的开关SH1和SH2的第一通路端与第一开关网络320的第一输出端36连接,开关SH1的第二通路端与第二电阻串340的第一输入端26连接,开关SH2的第二通路端与第二电阻串340的第二输入端28 连接。第二开关电路的开关SH1和SH2的第一通路端与第一开关网络 320的第二输出端38连接,开关SH1的第二通路端与第二电阻串340 的第二输入端28连接,开关SH2的第二通路端与第二电阻串340的第一输入端连接。

[0053] 第一开关网络320用于根据数字信号中的最高有效位I4和I3在第一电阻器串310的电阻Ra1-Ra4中选定一个电阻,第三开关网络330用于将被选定的电阻的两端耦合到第二电阻串340的第一输入端26和第二输入端28。响应于通过第一开关网络320和第三开关网络330在第一电阻器串310和第二电阻器串340之间流过的电流,第二电阻器串340中的电阻Rb1-Rb4在端子Q1-Q4处产生电压。第二开关网络350用于在第二电阻器串340的电阻Rb1-Rb3中选定的一个电阻,并将该电阻的端子上产生的电压耦合到数模转换器300的模拟信号输出端18。

[0054] 图5示出四位数字信号I4I3I2I1的位与开关SM1-SM5、开关SH1 和开关SH2以及开关SL1-SL4的闭合/断开状态之间的关系。

[0055] 在实际操作中,如图5所示,当第一电阻串310中选中的电阻为第奇数个电阻时,第三开关网络330中的开关SH1闭合;当第一电阻串310 中选中的电阻为第偶数个电阻时,第

三开关网络330中的开关SH2闭合。基于此,第二开关网络350的开关顺序始终跟随数字信号I4I3I2I1的位从小到大,由开关SL1-SL4依次切换。这样第二开关网络350的逻辑切换和第一开关网络320的切换逻辑之间是相互独立的,最终第一控制信号和第二控制信号相互独立,从而使得解码的复杂度大大减小,提高工作效率,减小功耗。

[0056] 另外,作为第一个例子,当输入的数字信号为0000时,在第一开关网络320中将开关SM1和开关SM2闭合,在第三开关网络330中将开关SH1闭合,在第二开关网络350中将开关SL1闭合。电阻Ra1的端子T2通过开关SM2和第三开关网络330中第一开关电路的开关SH1耦合到第二电阻串340的第一输入端26,如图6中的虚线61所示。电阻Ra1的端子T1通过开关SM1和第三开关网络330中第二开关电路的开关SH1耦合到第二电阻串340的第二输入端28,如图6中的虚线62所示。

[0057] 当输入为0100时,在第一开关网络320中将开关SM2和SM3闭合,在第三开关网络330中将开关SH2闭合,在第二开关网络350中将开关SL1闭合。电阻Ra2的端子T3通过开关SM3和第三开关网络330中第二开关电路的开关SH2耦合到第二电阻串340的第一输入端26,如图7中的虚线71所示。电阻Ra2的端子T2通过开关SM2和第三开关网络330中第一开关电路的开关SH2耦合到第二电阻串340的第二输入端28,如图7中的虚线72所示。

[0058] 根据上述两个具体的例子我们可以得到,在本发明实施例中,当第一电阻串310上的电阻进行切换时,第二电阻串340的第一输入端26和第二输入端28同时进行切换。因此当第一电阻串310上的电阻进行切换时,第二电阻串340的第一输入端26和第二输入端28对地升高相同的电压。例如:当第一电阻串310从Ra1切换到电阻Ra2时,第二电阻串340上每个电阻两端的对地电压升高均为 $1/4V_{ref}$;当第一电阻串310由电阻Ra2切换到电阻Ra3时,第二电阻串340上的每个电阻两端的对地升高的电压同样为 $1/4V_{ref}$ 。所以每次第一电阻串310进行切换时第二电阻串340中的电阻的两端电压变化一致,从而不会由于代码不同而造成输出模拟信号的不同,影响数模转换的转换精度。

[0059] 其中,在上述实施例中提到的“电阻”,可以为单个物理电阻器或者电阻元件,也可以为多个物理电阻器或电阻元件的组合。换言之,本发明所示的电阻型数模转换器适用于各种类型的阻抗元件,每个阻抗元件的阻抗对应于要求的电阻。因此,这里所指的“电阻”进一步是根据电路布局的任何数量不同类型的电阻元件,诸如精确薄膜电阻器,这些精确薄膜电阻器是以SiCr或其它材料、或在集成电路情况中以(掺杂p-或n-)的多晶硅形成的。还可以理解,这里描述的“电阻”可以包括任何电路元件,这些电路元件可以跨越它的端子产生与通过它的电流成正比的电压。

[0060] 在上述实施例中,以4位数模转换器为例对本发明进行了详细说明,但是,正如本领域的技术人员所知,本发明公开的数模转换器也适用于转换其他位的数字信号,本发明不以此为限制。

[0061] 综上所述,本发明的数模转换器包括第三开关网络,用于在数模转换器工作过程中将第一电阻串中被选定的电阻的两端耦合到第二电阻串的第一输入端和第二输入端,当第一电阻串上的电阻进行切换时,第二电阻串的第一输入端和第二输入端同时进行切换。因此当第一电阻串上的电阻进行切换时,第二电阻串的第一输入端和第二输入端对地升高相同的电压。所以每次第一电阻串进行切换时第二电阻串中的电阻的两端电压变化一致,匹配性大大提高,从而不会由于代码不同而造成输出模拟信号的不同,影响数模转换的转

换精度。

[0062] 同时因为在第一电阻串中的电阻进行切换过程中,第二电阻串中电流的方向一直是固定的,不会随着第一电阻串中电阻的切换而改变,所以第二开关网络的逻辑切换和第一开关网络的切换逻辑之间是相互独立的,最终第一控制信号和第二控制信号相互独立,使得第一解码电路和第二解码电路之间相互独立,从而使得解码的复杂度大大减小,提高工作效率,减小功耗。

[0063] 同时第三开关网络中的开关SH1和SH2由于只是随第一电阻串中的电阻的选择顺序依次切换,复杂度也不高。因此,在高比特下的本发明的数模转换器的转换效率更高,面积更小。

[0064] 应当说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0065] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

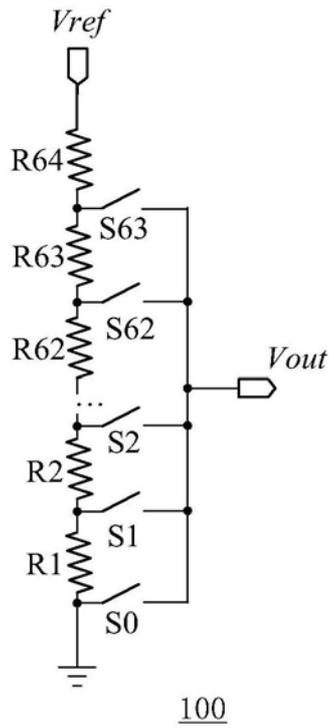


图1

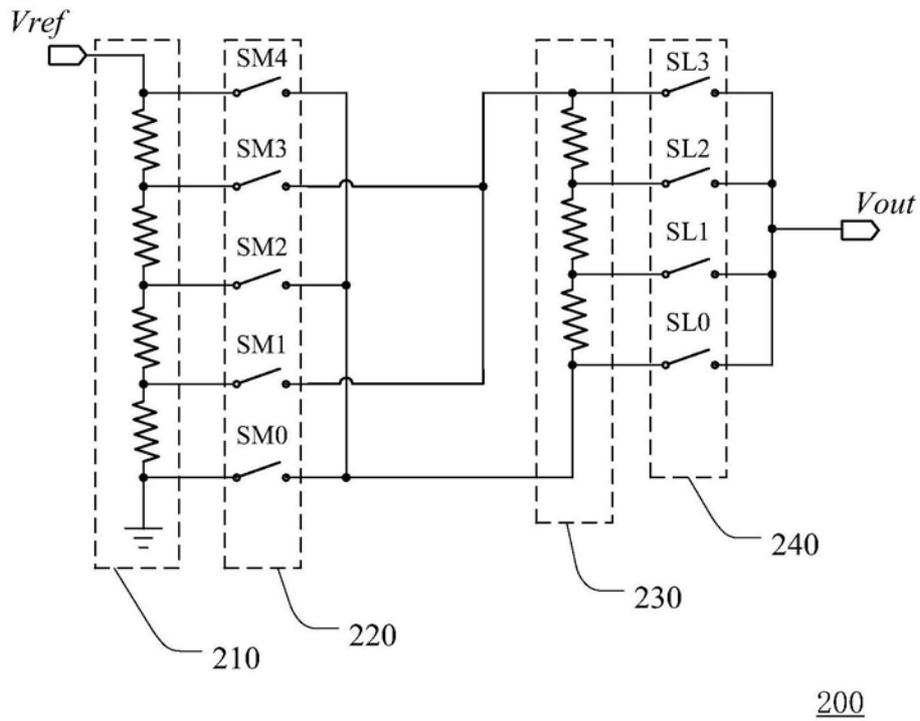
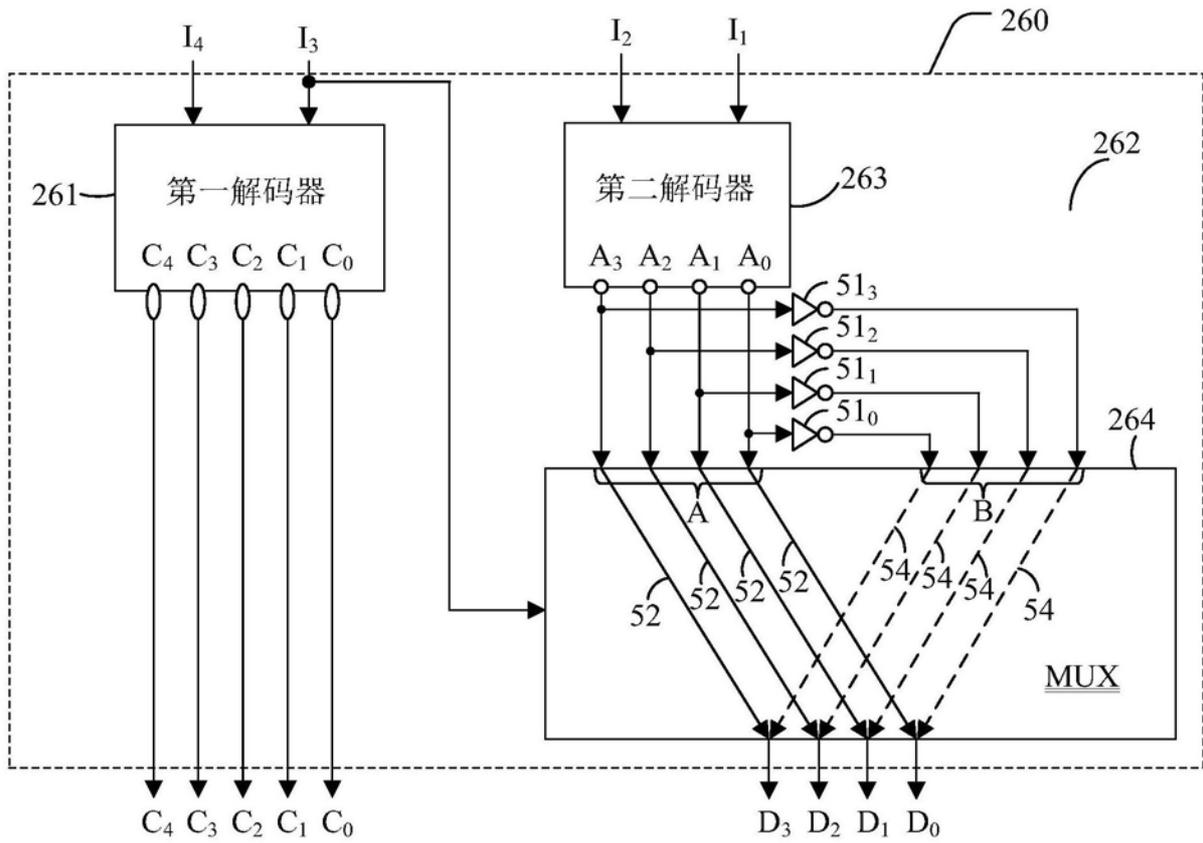


图2

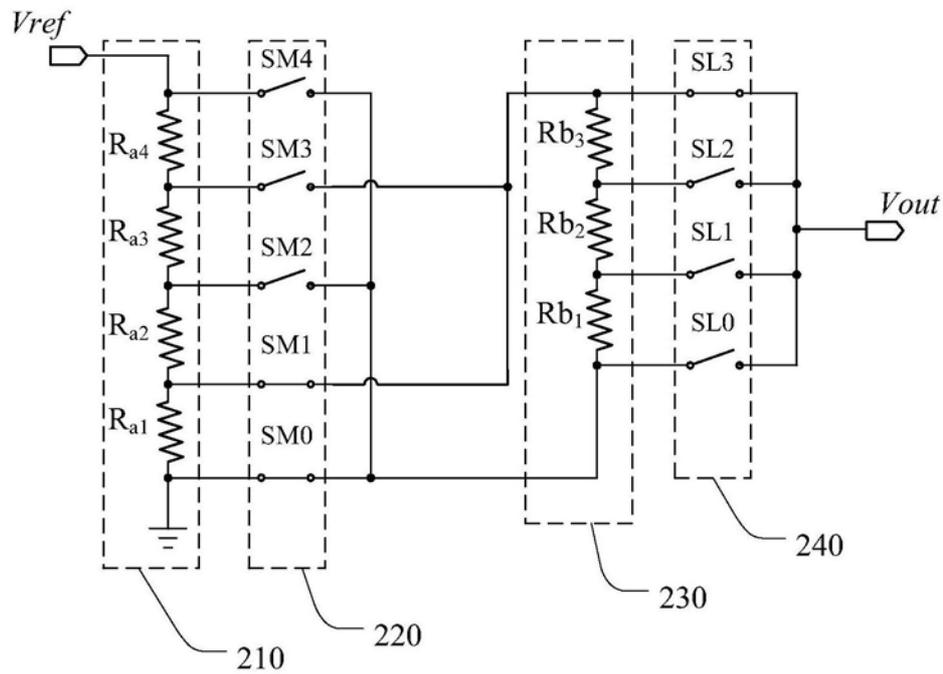
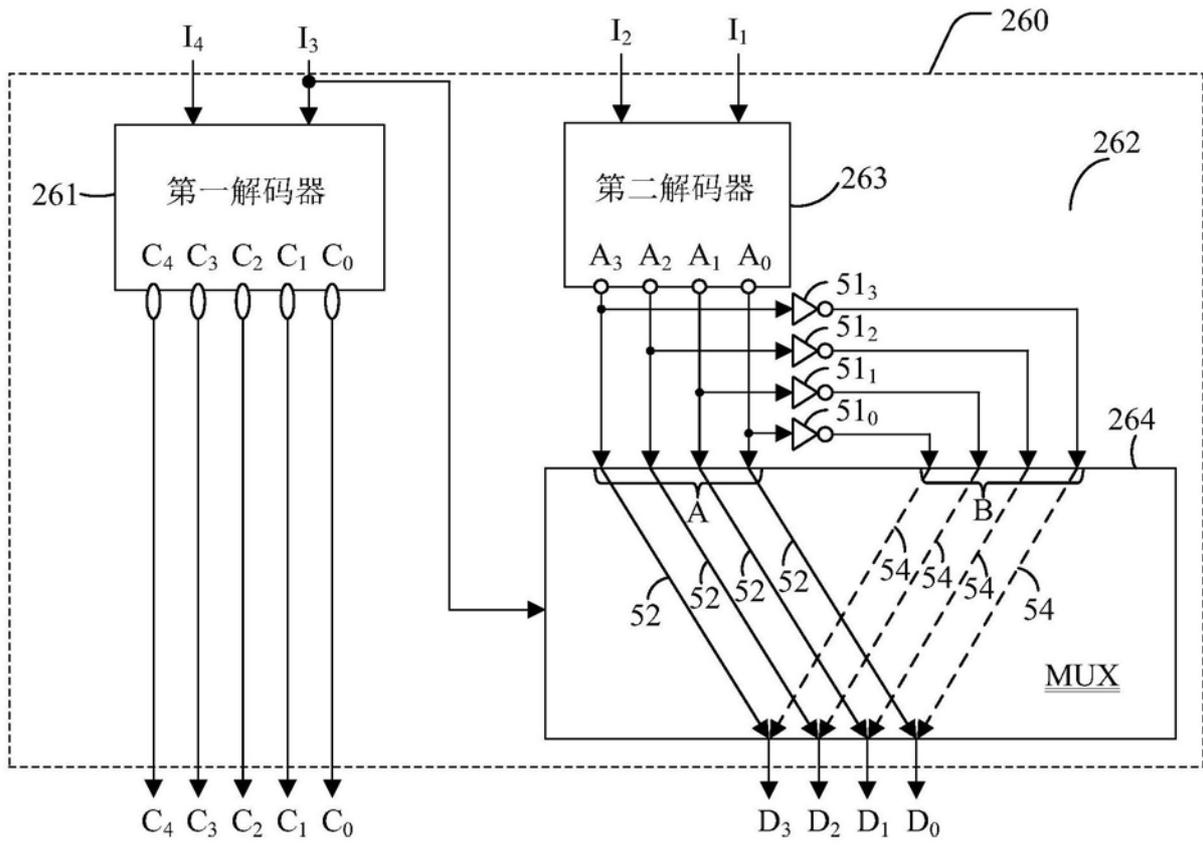


图3

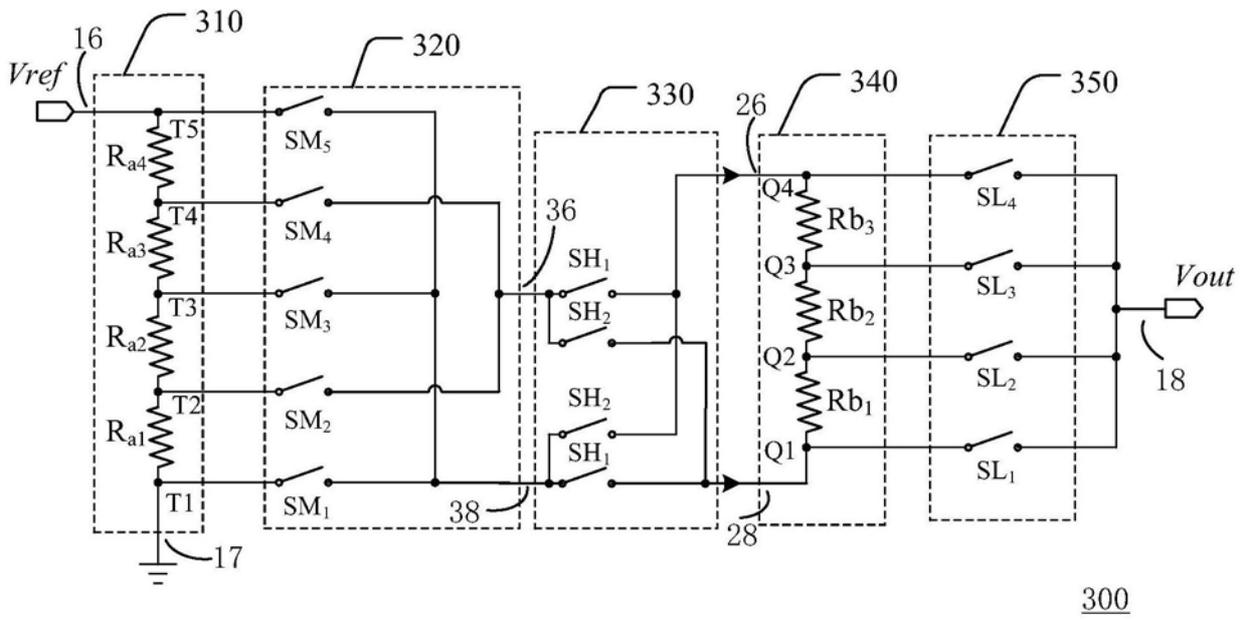
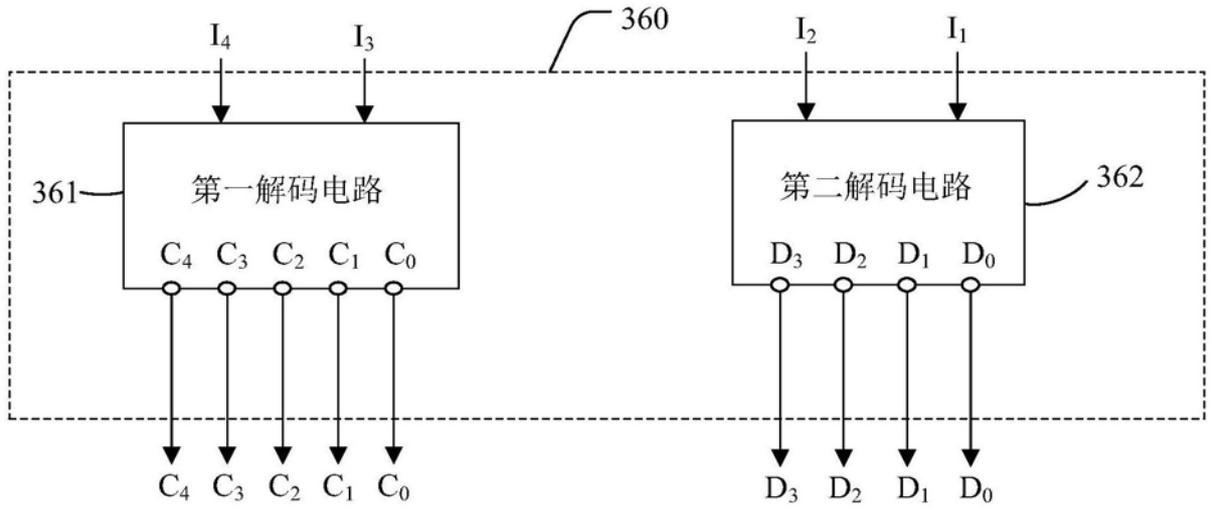


图4

$I_4 I_3 I_2 I_1$	闭合的开关				打开的开关			
0 0 0 0	SM1, SM2	SH1	SL1	SM3, SM4, SM5	SH2	SL2, SL3, SL4		
0 0 0 1	SM1, SM2	SH1	SL2	SM3, SM4, SM5	SH2	SL1, SL3, SL4		
0 0 1 0	SM1, SM2	SH1	SL3	SM3, SM4, SM5	SH2	SL1, SL2, SL4		
0 0 1 1	SM1, SM2	SH1	SL4	SM3, SM4, SM5	SH2	SL1, SL2, SL3		
0 1 0 0	SM2, SM3	SH2	SL1	SM1, SM4, SM5	SH1	SL2, SL3, SL4		
0 1 0 1	SM2, SM3	SH2	SL2	SM1, SM4, SM5	SH1	SL1, SL3, SL4		
0 1 1 0	SM2, SM3	SH2	SL3	SM1, SM4, SM5	SH1	SL1, SL2, SL4		
0 1 1 1	SM2, SM3	SH2	SL4	SM1, SM4, SM5	SH1	SL1, SL2, SL3		
1 0 0 0	SM3, SM4	SH1	SL1	SM1, SM2, SM5	SH2	SL2, SL3, SL4		
1 0 0 1	SM3, SM4	SH1	SL2	SM1, SM2, SM5	SH2	SL1, SL3, SL4		
1 0 1 0	SM3, SM4	SH1	SL3	SM1, SM2, SM5	SH2	SL1, SL2, SL4		
1 0 1 1	SM3, SM4	SH1	SL4	SM1, SM2, SM5	SH2	SL1, SL2, SL3		
1 1 0 0	SM4, SM5	SH2	SL1	SM1, SM2, SM3	SH1	SL2, SL3, SL4		
1 1 0 1	SM4, SM5	SH2	SL2	SM1, SM2, SM3	SH1	SL1, SL3, SL4		
1 1 1 0	SM4, SM5	SH2	SL3	SM1, SM2, SM3	SH1	SL1, SL2, SL4		
1 1 1 1	SM4, SM5	SH2	SL4	SM1, SM2, SM3	SH1	SL1, SL2, SL3		

图5

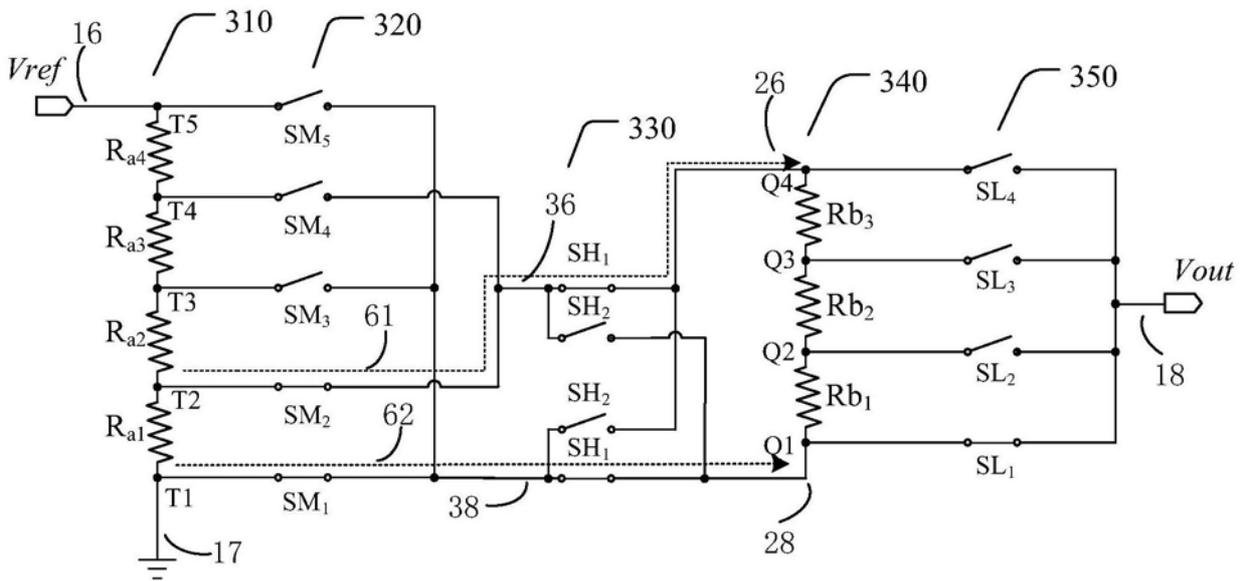


图6

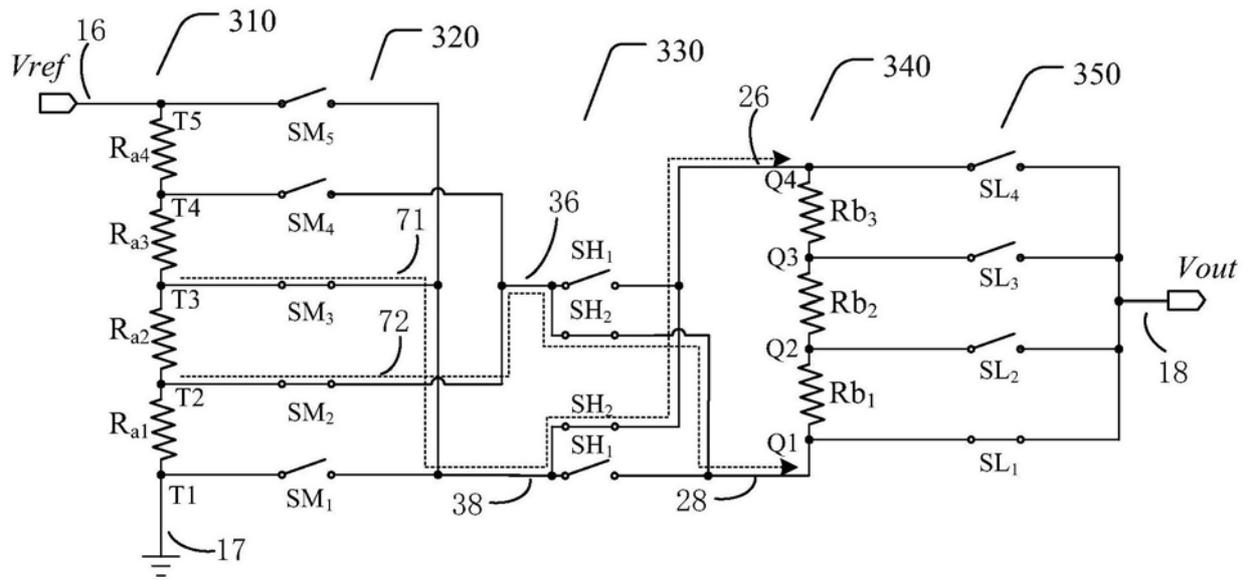


图7