

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128155
(P2004-128155A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.⁷

H01L 25/10
H01L 25/11
H01L 25/18

F I

H01L 25/14 Z

テーマコード (参考)

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号	特願2002-288967 (P2002-288967)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成14年10月1日(2002.10.1)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

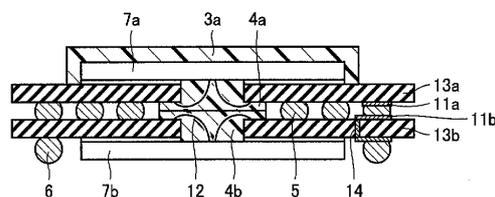
(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 パッケージ全体のサイズを小さく抑えつつ、メモリ容量の大容量化を図り、なおかつ、上段下段間での伝送遅れのない半導体パッケージを提供する。

【解決手段】 半導体パッケージは、開口部を有する上段基板13aと、上段基板13aの下側に配置された基板間接続用の半田ボール5と、そのさらに下側に配置され、開口部を有する下段基板13bと、下段基板13bの下面に接続された外部接続用の半田ボール6と、各基板に貼り付けられた半導体チップ7a, 7bとを備え、半導体チップ7a, 7bは、各基板の開口部を通じて半田ボール5に電気的に接続されており、基板間接続用の半田ボール5は、外部接続用の半田ボール6に電気的に接続されている。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

開口部を有する上段基板と、
前記上段基板の下側に配置された基板間接続用半田ボールと、
前記基板間接続用半田ボールの下側に配置され、開口部を有する下段基板と、
前記下段基板の下面に接続された外部接続用半田ボールと、
前記上段基板の上面に配置された第 1 半導体チップと、
前記下段基板の下面に配置された第 2 半導体チップとを備え、
前記第 1 半導体チップは、前記上段基板の開口部を通じて前記基板間接続用半田ボールに電氣的に接続されており、前記第 2 半導体チップは、前記下段基板の開口部を通じて前記基板間接続用半田ボールに電氣的に接続されており、前記基板間接続用半田ボールは、前記外部接続用半田ボールに電氣的に接続されている、半導体パッケージ。 10

【請求項 2】

前記上段基板の下面の配線パターンを下方から見たものと、前記下段基板の上面の配線パターンを上方から見たものとは、互いに鏡像関係にある領域を含む、請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記第 1 半導体チップと前記基板間接続用半田ボールとの電氣的接続、および、前記第 2 半導体チップと前記基板間接続用半田ボールとの電氣的接続は、それぞれワイヤによって半導体チップ側ボンディングパッドと、基板側ボンディングパッドとを接続することによって行なわれており、前記第 1 半導体チップと前記基板間接続用半田ボールとの間の前記ワイヤの接続パターンを下から見たものと、前記第 2 半導体チップと前記基板間接続用半田ボールとの間の前記ワイヤの接続パターンを上から見たものとは、互いに逆になっている領域を含む、請求項 2 に記載の半導体パッケージ。 20

【請求項 4】

前記外部接続用半田ボールは片側当たり 2 列でジグザグ状に配置されている、請求項 3 に記載の半導体パッケージ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体パッケージに関するものである。 30

【0002】**【従来の技術】**

パーソナルコンピュータの高機能化に伴い、半導体パッケージにはメモリの大容量化および高速化が要求される。高速化に対応した半導体パッケージとしては、パッケージ内の配線距離が短く済む BGA (Ball Grid Array) パッケージが一般的である。

【0003】

メモリとして使用される半導体チップの代表的なものとして DRAM (Dynamic Random Access Memory) がある。DRAM は一般的にチップの主表面の中央部にボンディングパッドが配置されている。そのため、DRAM を基板に搭載する際には、基板に窓枠のような開口部を設け、この開口部から DRAM のボンディングパッドの配置された部分が見えるように DRAM を基板に接合する。ここで説明の便宜のために、DRAM は基板の上側に重ねられていてボンディングパッドを下に向けて基板の開口部から露出させていると仮定する。基板の下面のうち開口部の周囲にもボンディングパッドが設けられている。この開口部を通じて、DRAM 側のボンディングパッドと基板側のボンディングパッドとをワイヤで接続する。その後、DRAM の下面のボンディングパッドが配置された部分とワイヤとを共に包み込むように開口部を樹脂で封止する。また、DRAM の上側も保護のために樹脂で封止する。基板の下面には外部接続用の半田ボールが設けられている。この状態のものを一般に BGA パッケージと呼んでいる。 40 50

【 0 0 0 4 】

【 特許文献 1 】

特開平 6 - 2 1 6 1 8 2 号公報

【 0 0 0 5 】

【 特許文献 2 】

特開平 4 - 3 4 0 2 6 7 号公報

【 0 0 0 6 】

【 特許文献 3 】

特開平 5 - 8 2 7 1 9 号公報

【 0 0 0 7 】

【 特許文献 4 】

特開 2 0 0 0 - 3 4 0 7 3 7 号公報

【 0 0 0 8 】

【 発明が解決しようとする課題 】

メモリ容量の大容量化を図るためには、上述の B G A パッケージを積層実装するという手法が考えられる。2つの B G A パッケージを単純に積層して積層パッケージとすることを考えた場合、上段の B G A パッケージの下面にはワイヤボンディング部の保護のための樹脂封止部が突出しており、下段の B G A パッケージの上面には D R A M 本体の保護のための樹脂封止部が突出している。このため、2つの B G A パッケージを積み重ねた場合、上下の基板からそれぞれ突出する樹脂封止部の高さ起因して基板同士の間隔がどうしても広くならざるを得ない。上下の基板同士を上段の B G A パッケージの外部接続用の半田ボールで接続しようとした場合、径の大きな半田ボールを使用する必要性が生じる。積層パッケージが占める面積の小型化のためには、半田ボールの配列は、基板間接続用の半田ボールといえども片側当たり 1 列であることが好ましい。ただし、1 列とすると、半田ボール同士の間隔が狭くなり、短絡しやすくなる。さらに、このような積層パッケージの場合、外部接続用の半田ボールから上下の各々の B G A パッケージに含まれる D R A M までの配線距離を考えると、上段のものの方が下段のものに比べて大幅に長いことになり、信号の伝送遅れが生じるようになる。

【 0 0 0 9 】

そこで、本発明は、パッケージ全体のサイズを小さく抑えつつ、メモリ容量の大容量化を図り、なおかつ、上段下段間での伝送遅れの少ない半導体パッケージを提供することを目的とする。

【 0 0 1 0 】

【 課題を解決するための手段 】

上記目的を達成するため、本発明に基づく半導体パッケージは、開口部を有する上段基板と、上記上段基板の下側に配置された基板間接続用半田ボールと、上記基板間接続用半田ボールの下側に配置され、開口部を有する下段基板と、上記下段基板の下面に接続された外部接続用半田ボールと、上記上段基板の上面に配置された第 1 半導体チップと、上記下段基板の下面に配置された第 2 半導体チップとを備える。上記第 1 半導体チップは、上記上段基板の開口部を通じて上記基板間接続用半田ボールに電氣的に接続されている。上記第 2 半導体チップは、上記下段基板の開口部を通じて上記基板間接続用半田ボールに電氣的に接続されている。上記基板間接続用半田ボールは、上記外部接続用半田ボールに電氣的に接続されている。

【 0 0 1 1 】

【 発明の実施の形態 】

(実施の形態 1)

(構成)

〔 全体 〕

図 1 ~ 図 8 を参照して、本発明に基づく実施の形態 1 における半導体パッケージについて説明する。この半導体パッケージの平面図を図 1 に示し、裏面図を図 3 に示す。同じく正

10

20

30

40

50

面図を図4に示し、側面図を図2に示す。このうち図1または図2におけるV-V線に関する矢視断面図を模式化して図5に示す。図5に示されるように、この半導体パッケージは、上段基板13aと、その上側に半田ボール5を介して接続された下段基板13bとを備えている。上段基板13aおよび下段基板13bはそれぞれ中央に開口部を有している。上段基板13aおよび下段基板13bは開口部の周囲の表面にボンディングパッドを有している。図5の姿勢においては、上段基板13aおよび下段基板13bはボンディングパッドをお互いに対向させる向きに配置されている。

【0012】**〔半導体チップ〕**

半導体チップ7a, 7bは、たとえばDRAMであり、それぞれ主表面の中央に複数のボンディングパッドが配置された構造をしている。半導体チップ7aは、上段基板13aの開口部から下向きにボンディングパッドを露出させるように、上段基板13aの上面に貼り付けられている。半導体チップ7bは、下段基板13bの開口部から上向きにボンディングパッドを露出させるように、下段基板13bの下面に貼り付けられている。すなわち、半導体チップ7a, 7bは、ボンディングパッドをお互いに対向させる向きに配置されている。

10

【0013】**〔樹脂封止部〕**

半導体チップ7a, 7bのボンディングパッドと、上段基板13aおよび下段基板13bのボンディングパッドとの間は、図5に示すようにワイヤ12によって電氣的に接続されている。このワイヤボンディングが行なわれている部分は、樹脂によって封止され、上下それぞれ樹脂封止部4a, 4bとなっている。樹脂封止部4aと樹脂封止部4bとは、上下に近接しているが繋がっていないわけではなく別々に形成された樹脂部分である。

20

【0014】

上段基板13aの上側においては、半導体チップ7aの本体を保護する目的で、半導体チップ7aの本体を覆うように樹脂封止部3aが形成されている。下段基板13bの下側においては、半導体チップ7bの本体を覆う樹脂部は存在しない。

【0015】

下段基板13bの下面の外縁付近においては、外部接続用の半田ボール6が配置されている。

30

【0016】**〔ランドの配置〕**

上段基板13aの下面には複数のランド11aが配置され、下段基板13bの上面にも複数のランド11bが配置されている。本実施の形態における半導体パッケージを上下のBGAパッケージに分割した状態で、上段基板13aの下面を下から見たところを図6に示し、下段基板13bの上面を上から見たところを図7に示す。図6と図7とを比較すると、ランド11aとランド11bとは、互いに鏡像関係、すなわちいわゆるミラー対称になるように配置されている。したがって、上段基板13aと下段基板13bとを貼り合せたときに、ランド同士がそれぞれ対向することとなる。ランド同士がそれぞれ向かい合う箇所においては、間に半田ボール5を挟みこむ形でランド同士の電氣的接続が行なわれる。この様子は、図5においては右端の半田ボール5を例にとって部分的に詳しく図示されている。ランド11bから延びる信号経路は、下段基板13bの中を貫通するスルーホール14を介して下段基板13bの下面に電氣的に引き出されており、いずれかの半田ボール6に接続されている。

40

【0017】

各ランド11a, 11bは、図6および図7に示すように、基板表面に配置された基板配線10a, 10bによってそれぞれいずれかのボンディングパッド9a, 9bと電氣的に接続されている。

【0018】

なお、すべてのランドがミラー対称であるとは限らない。ミラー対称な関係にあるランド

50

が複数のランドのうち一部であって、他の一部のランドが上下で異なっているような配置であってもよい。

【0019】

〔ワイヤの接続パターン〕

図6に示すように、上側の半導体チップ7aのボンディングパッド8aが上段基板13aの開口部15aから露出しており、図7に示すように、下側の半導体チップ7bのボンディングパッド8bが下段基板13bの開口部15bから露出している。図6に示すように、ボンディングパッド8aとボンディングパッド9aとがワイヤ12で接続され、図7に示すように、ボンディングパッド8bとボンディングパッド9bとがワイヤ12で接続されている。図6と図7とを見比べればわかるように、ワイヤ12の接続パターンは、上段と下段とで互いに逆となっている。このようにワイヤ12の接続パターンを上下段で変えることによって、半導体チップのボンディングパッドの配置パターンを上下段共通としたまま、上下段で互いにミラー対称な配置になっているランドに適正に対応した接続を実現している。

10

【0020】

〔具体的な寸法〕

本実施の形態の一例として、具体的な寸法を示す。この例では、樹脂封止部4a, 4bの基板表面からの突出する高さは、0.15mm以下とする。半田ボール5を接続するために各基板に設けるランドの配置ピッチは0.8mmとする。半田ボール5の径は0.45mmとする。ただし、これは、樹脂封止部4a, 4bの基板表面からの高さの合計が0.3mmの場合の話であり、樹脂封止部4a, 4bの基板表面からの高さの合計がこれより小さければ、半田ボール5の径をより小さくすることも可能である。

20

【0021】

外部接続用の半田ボール6はピッチ0.5mmで片側当たり1列の配置とする。ピッチが0.5mmという場合、短絡を起こさないためには半田ボール6の径は0.3mm前後であってもよい。したがって、下段基板13bの下側における半導体チップ7bの基板表面から突出する高さは0.25mm以下とする。

【0022】

〔作用・効果〕

本実施の形態における半導体パッケージでは、ワイヤ接続部の樹脂封止部4a, 4bが互いに対向する向きに配置して積層している。ワイヤ12を覆う樹脂封止部が基板表面から突出する高さは、半導体チップ7a, 7bの本体を覆う樹脂封止部が基板表面から突出する高さより一般に低いため、本実施の形態における半導体パッケージでは、従来の積層構造に比べて上下の基板間の距離を小さくすることができる。したがって、基板間の接続に用いる半田ボール5として径の小さなものを使用することができる。そのため、半田ボール5の配置ピッチを小さくすることができる。その結果、半田ボール5の配置に必要な面積を小さく抑えることができる。

30

【0023】

本実施の形態における半導体パッケージでは、下段基板13bの下側に突出する半導体チップ7bの本体は、半田ボール6よりも低くしか突出しておらず、あえて保護する必要性が低いため、樹脂封止していない。そのため、下段基板13bの下面に配置する外部接続用の半田ボール6としても径の小さなものを使用することができる。そのため、半田ボール6の配置ピッチを小さくすることができる。その結果、半田ボール6の配置に必要な面積を小さく抑えることができる。

40

【0024】

本実施の形態における半導体パッケージでは、ワイヤ12の接続パターンを上下段で変えることによって、半導体チップのボンディングパッドの配置パターンを上下段共通としたまま、上下段で互いにミラー対称な配置になっているランドに適正に対応した接続を実現しているので、半導体チップに関してはミラー対称な製品を用意する必要がなく、共通のものを使用することができ、効率的である。

50

【0025】

本実施の形態における半導体パッケージでは、図8における太線C、Dで示すように、上下の半導体チップとも、外部接続用の電極までの配線距離がほぼ等しくなる。したがって、上下間での伝送遅れの問題を解消することができる。

【0026】

(実施の形態2)

(構成)

図9～図11を参照して、本発明に基づく実施の形態2における半導体パッケージについて説明する。本実施の形態における半導体パッケージは、基本的構造は実施の形態1で説明したものと同様であるが、いくつかの点において異なる。まず、外部接続用の半田ボール6の配置が異なる。すなわち、図9に示すように片側当たり2列となっており、ジグザグ状に配置されている。具体的寸法は、図9に示したように、長手方向のピッチが0.8mm、外側の列と内側の列との間の中心間距離が0.69mmとなっている。外側の列と内側の列との間では配置は0.4mmずれている。

10

【0027】

次に、半導体チップ7bを覆う樹脂封止部3bが設けられている点も実施の形態1とは異なる。

【0028】

(作用・効果)

このように外部接続用の半田ボール6を片側当たり2列でジグザグ状に配置することとすれば、パッケージ幅をわずかに広げるだけで配置できる半田ボールの数を大幅に増やすことができる。

20

【0029】

また、上述したように半田ボール6の長手方向のピッチが0.8mmの場合、短絡を起こさないためには半田ボール6の径は0.45mm前後であってもよい。したがって、実施の形態1で0.3mm前後の径の半田ボールを用いたのに対して、本実施の形態では、より大きな0.45mm前後の径の半田ボールを用いることができる。外部接続用の半田ボールの径が大きくなることにより、下段基板13bの下側において許される樹脂封止部の突出高さの上限は実施の形態1の0.25mmから0.35mmへと緩和される。したがって、下方に突出する半導体チップ7bにおいてもその本体を保護するために樹脂で覆うこととしてもよい。図11において樹脂封止部3bが設けられているのはこのような理由からである。

30

【0030】

なお、外部接続用の半田ボールを片側当たり2列とした場合であっても、ジグザグ状とする以外の配列であってもよい。ただし、ジグザグ状とすればより高密度に配置できるので好ましい。

【0031】

また、本実施の形態のように外部接続用の半田ボールを片側当たり2列とした場合であっても、下方に突出する半導体チップ7bに樹脂封止部3bを設けるか否かは適宜選択してよい。

40

【0032】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0033】

【発明の効果】

本発明によれば、従来のBGAパッケージを同じ向きで積層しただけの構造に比べて上下の基板間の距離を小さくすることができる。したがって、基板間の接続に用いる半田ボールとして径の小さなものを使用することができる。そのため、半田ボールの配置ピッチを小さくすることができる。その結果、半田ボールの配置に必要な面積を小さく抑えること

50

ができる。

【図面の簡単な説明】

【図 1】本発明に基づく実施の形態 1 における半導体パッケージの平面図である。

【図 2】本発明に基づく実施の形態 1 における半導体パッケージの側面図である。

【図 3】本発明に基づく実施の形態 1 における半導体パッケージの裏面図である。

【図 4】本発明に基づく実施の形態 1 における半導体パッケージの正面図である。

【図 5】図 1 の V - V 線に関する矢視断面図である。

【図 6】本発明に基づく実施の形態 1 における半導体パッケージを上下 2 つの B G A パッケージに分割し、表示の便宜のために樹脂封止部を取り去った状態の上側の B G A パッケージの裏面図である。

【図 7】本発明に基づく実施の形態 1 における半導体パッケージを上下 2 つの B G A パッケージに分割、表示の便宜のために樹脂封止部を取り去った状態の下側の B G A パッケージの平面図である。

【図 8】本発明に基づく実施の形態 1 における半導体パッケージの上下の半導体チップに関する配線長さの説明図である。

【図 9】本発明に基づく実施の形態 2 における半導体パッケージの裏面図である。

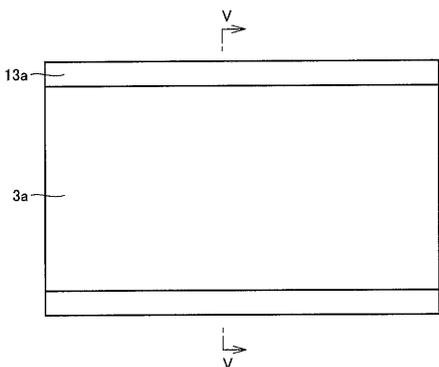
【図 10】本発明に基づく実施の形態 2 における半導体パッケージの正面図である。

【図 11】本発明に基づく実施の形態 2 における半導体パッケージの断面図である。

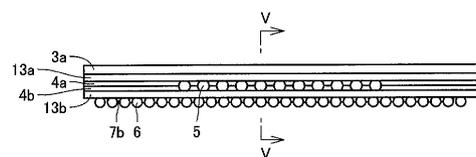
【符号の説明】

3 a , 3 b , 4 a , 4 b 樹脂封止部、5 (基板間を接続する)半田ボール、6 (外部接続用の)半田ボール、7 a (上段の)半導体チップ、7 b (下段の)半導体チップ、8 a , 8 b (半導体チップ側の)ボンディングパッド、9 a , 9 b (基板側の)ボンディングパッド、10 a , 10 b 基板配線、11 a , 11 b ランド、12 ワイヤ、13 a 上段基板、13 b 下段基板、14 スルーホール、15 a , 15 b 開口部。

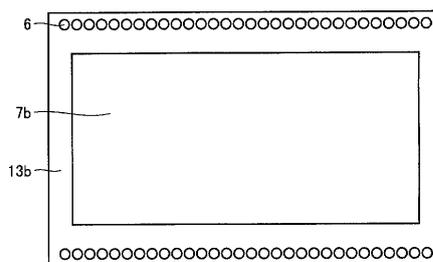
【図 1】



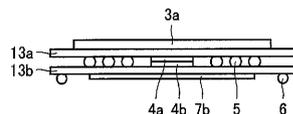
【図 2】



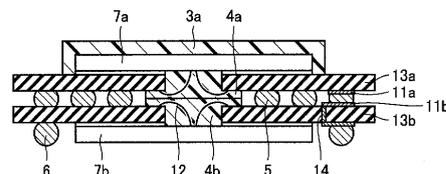
【図 3】



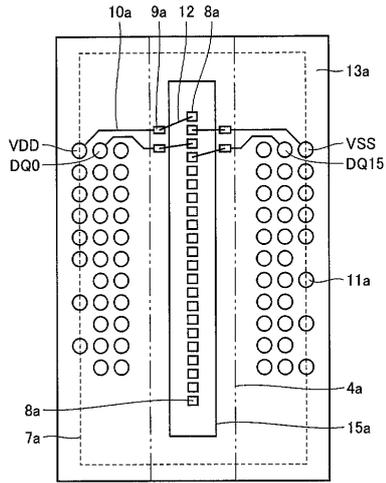
【図 4】



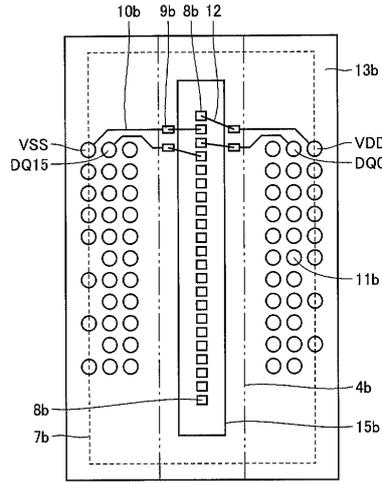
【図 5】



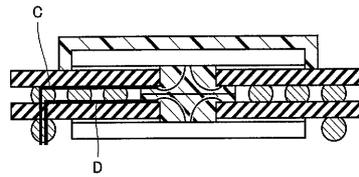
【 図 6 】



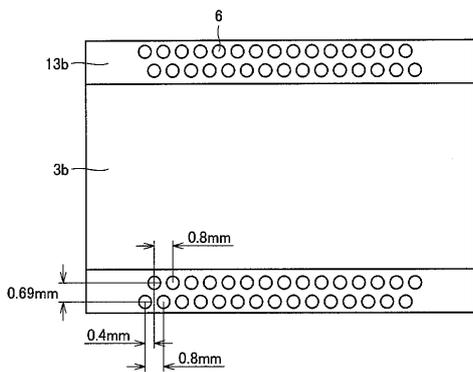
【 図 7 】



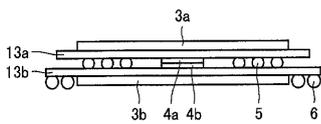
【 図 8 】



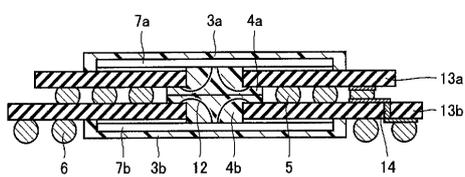
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 道井 一成

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 柴田 潤

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内