

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 7/00

(45) 공고일자 2000년01월 15일

(11) 등록번호 10-0240419

(24) 등록일자 1999년10월27일

(21) 출원번호 10-1997-0009190

(65) 공개번호 특1998-0073725

(22) 출원일자 1997년03월 18일

(43) 공개일자 1998년11월05일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이진영
서울특별시 종로구 행촌동 37-32번지
(74) 대리인 임창현

심사관 : 신준호

(54) 반도체 메모리 장치 및 그것의 데이터 독출 방법

요약

본 발명은 반도체 메모리 장치에서 어드레싱된 메모리 셀의 관점에서 한 쌍의 입/출력라인들 상의 각 전압 레벨이 유효한 데이터로서 감지될 수 있는 n 개의 전압 레벨들로 발전될 때 검출 신호를 발생하는 열 검출 회로가 제공된다. 블록 선택 회로 및 감지 제어 신호 발생 회로가 검출 신호들에 의해서 각각 비활성화되고, 그것에 의해서 비트 라인 프리차지 동작이 독출 동작 동안에 수행되도록 한다. 그러므로, 독출 동작 구간 동안에 감지 증폭기들에 의해서 소모되는 전류가 감소될 수 있다. 추가로, 비트라인 프리차지 동작이 독출 동작 구간 내에서 수행되기 때문에 비트라인 프리차지 시간이 단축될 수 있다..

대표도

도 14

명세서

도면의 간단한 설명

도 1은 종래 반도체 메모리 장치의 구성을 보여주는 블록도;
도 2는 도1에 도시된 종래 반도체 장치의 데이터 독출 동작을 설명하기 위한 타이밍도;
도 3은 본 발명의 일예에 따른 반도체 메모리 장치의 구성을 보여주는 블록도;
도 4는 도 3의 비트 라인 프리차지/감지 증폭 회로를 보여주는 회로도;
도 5는 도 3에 도시된 반도체 메모리 장치의 행/열 프리디코더를 보여주는 상세회로도;
도 6은 도 3에 도시된 반도체 메모리 장치의 블록 선택 회로를 보여주는 상세 회로도;
도 7은 도3에 도시된 반도체 메모리 장치의 행 디코더 및 비트라인 프리차지 신호 발생 회로를 보여주는 상세 회로도;
도 8은 도3에 도시된 반도체 메모리 장치의 감지 제어 신호를 발생 회로를 보여주는 상세 회로도;
도 9도는 도3에 도시된 반도체 메모리 장치의 감지 활성화 신호 발생회로를 보여주는 회로도;
도 10은 도 3에 도시된 반도체 메모리 장치의 열 메인 디코더를 보여주는 상세 회로도
도 11은 도3에 도시된 반도체 메모리 장치의 열 디코더를 보여주는 상세 회로도;
도 12는 도3에 도시된 반도체 메모리 장치의 열 검출 회로를 보여주는 상세 회로도;
도 13은 도3에 도시된 반도체 메모리 장치의 지연 회로를 보여주는 상세회로도;
도 14는 본 발명에 따른 반도체 메모리 장치의 독출 동작을 설명하기 위한 타이밍도; 그리고,
도 15는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 독출 동작의 처리 단계들을 보여주는 흐름도이다.

* 도면의 주요 부분에 대한 부호 설명

100 : 셀 어레이 110 : 로우 어드레스 버퍼
120 : 로우 프리디코더 130 : 블록 선택 회로

140 : 로우 디코더 150 : 프리차지 신호 발생회로
 160 : 마스터 클럭 발생회로 170 : 감지 제어 신호 발생회로
 180 : 감지 활성화 신호 발생회로 190 : 열 어드레스 버퍼용 어드레스 버퍼
 200 : 열 메인 디코더 210 : 열 프리디코더
 220 : 열 디코더 230 : 비트 라인 프리차지/감지증폭부
 240 : 입/출력 게이트 회로 300 : 열 검출 회로
 400 : 지연 회로 1000 : 반도체 메모리 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 상기 반도체 메모리 장치의 독출 동작 동안에 소모되는 감지 전류를 줄이기 위한 그것을 독출 방법에 관한 것이다.

도1에서, 메모리 셀 어레이(100)는, 도시되지 않았지만, 복수 개의 블록들을 가지며, 상기 각 블록은 복수 개의 행들, 복수 개의 열들, 그리고 행들과 열들로 배열된 복수 개의 메모리 셀들을 가진다. 상기 행들과 열들은 복수개의 워드라인들과 비트 라인들을 각각 의미한다. 일례로서, 메모리 셀들은 다이내믹 랜덤 액세스 메모리(DRAM)셀들이고, 그리고 워드 라인들은 이 분야에 숙련된 자들에게 잘 알려진 계층적인 워드 라인 스킴에 따라 배열된다. 상기 워드 라인들은 서브-워드 라인들과 메인 워드 라인들로 분리될 것이며, 메인 워드 라인들 대 서브 워드 라인들의 비는 1:y(y는 정수).

기입 동작시 데이터 입출력 패드를 통해 인가된 외부 데이터는 상기 데이터 입출력 버퍼를 통해 데이터 라인들로 전달되며, 입출력 드라이버(I/O driver)를 통해 상기 외부 데이터가 입출력 라인들에 전달된다. 상기 입출력 라인들에 전달된 외부 데이터를 상기 칼럼 선택 신호(CSL)에 의해 제어되는 칼럼 패스 트랜지스터들을 턴-온시킴으로써 외부 데이터가 한쌍의 비트 라인들로 전달한다. 그리고, 상기 외부 데이터는 비트 라인 센스앰프를 통해 전원전압 레벨과 접지전압 레벨로 증폭되

어 선택된 메모리 셀 트랜지스터에 저장된다.

도 1에는 종래 기술에 따른 반도체 메모리 장치의 개략적인 구성을 보여주는 블록도가 도시되어 있다. 그리고, 도 2에는 종래 기술에 따른 데이터 독출 동작시의 동작 타이밍도가 도시되어 있다. 종래 기술에 따른 데이터 독출 동작은 도 1 내지 도 2를 참조하여 이하 설명될 것이다.

도 1에 도시된 복수 개의 메모리 셀 블록들로 구성되는 셀 어레이(100)에는 행 방향으로 복수 개의 워드 라인들이 그리고 열 방향으로 복수 개의 비트 라인들이 전기적으로 접속되어 있다. 로우 어드레스 버퍼(110)는 외부로부터 인가되는 로우 어드레스 스트로브 신호(row address strobe signal)(\overline{RAS})에 동기되어 TTL 레벨의 외부 어드레스 신호들(A_n)(여기서, m 은 양의 정수)을 입력받아 CMOS 레벨의 로우 어드레스 신호들(RA_m)(여기서, m 은 양의 정수)을 발생한다. 상기 로우 어드레스 버퍼(110)로부터 발생된 상기 로우 어드레스 신호들(RA_m)이 인가되는 로우 프리디코더(120)는 상기 로우 어드레스 신호들(RA_m)을 프리 디코딩(pre-decoding)한다. 그리고, 블록 선택 회로(130)는 복수 개의 메모리 셀 블록들을 선택하기 위한 블록 선택 신호들(BLS_k)(여기서, k 는 양의 정수)중 상기 프리 디코딩된 로우 어드레스 신호들(DRA_{ij})(여기서, i, j 는 양의 정수이며, m 의 짝수번째 어드레스들과 m 의 홀수번째 어드레스들 중 각각 어느 하나에 해당된다)에 의해서 선택되는 메모리 셀 블록에 해당되는 블록 선택 신호를 활성화시킨다. 로우 디코더(140)는 선택된 메모리 셀 블록에 해당되는 블록 선택 신호와 상기 로우 프리디코더(120)로부터 발생되는 프리 디코딩된 로우 어드레스 신호들(DRA_{ij})에 의해서 선택되는 워드 라인을 활성화시킨다. 이로인해, 선택된 메모리 셀 트랜지스터에 의해 유지되는 정보에 따라 비트 라인들 사이에 차지 세어링이 생긴다. 아울러, 프리차지 신호 발생회로(150)는 활성화된 블록 선택 신호가 인가될 때 프리차지 신호(PEQ)를 비활성화시킨다. 즉, 선택된 워드 라인에 의해서 한쌍의 비트 라인들 사이에 차지 세어링이 발생하기 이전에 한쌍의 비트 라인들을 소정 레벨로 프리차지한 후 상기 활성화된 블록 선택 신호가 인가될 때 프리차지 동작을 중지하게 된다.

또한, 상기 로우 어드레스 스트로브 신호(\overline{RAS})가 활성화됨에 따라 마스터 클럭 발생회로(160)로부터 마스터 클럭신호(PRD)가 발생되며 상기 마스터 클럭신호(PRD)가 인가되는 센싱 코트를 클럭 발생회로(170)는 센싱 코트를 클럭신호(PS)를 발생하여 센스앰프 베어회로(180)를 구동시킨다. 이에 의해, 상기 센스앰프 제어회로(180)는 서로 상반된 제 1 및 제 2 센스앰프 제어신호들($LANG, LAPG$)을 발생한다. 이로인해, 센스앰프(230)의 미도시된 N래치 및 P래치 센스앰프들이 활성화되며, 센스앰프를 통해 한쌍의 비트 라인들 사이의 차지 세어링에 의한 전압차가 전원전압 레벨과 접지전압 레벨로 감지 증폭된다.

다음, 칼럼 어드레스 버퍼(190)는 칼럼 어드레스 스트로브 신호(column address strobe signal)(\overline{CAS})에 동기되어 외부로부터 인가되는 TTL 레벨의 외부 어드레스 신호들(A_n)을 입력받아 CMOS 레벨의 칼럼 어드레스 신호들(CA_1)(여기서, 1 은 양의 정수)을 발생한다. 계속해서, 칼럼 프리디코더(200), 칼럼 메인 디코더(210), 그리고 칼럼 디코더(220)를 통해 복수 개의 칼럼 선택 라인들 상의 칼럼 선택 신호들(CSL_x)(여기서, x 는 양의 정수) 중 어느 하나의 칼럼 선택 신호가 활성화됨으로써, 한쌍의 비트 라인들과 입출력 라인들을 전기적으로 연결시키기 위한 칼럼 패스 트랜지스터들(도 4 참조)이 턴-온된다. 따라서, 상기 칼럼 패스 트랜지스터들을 통해 상기 N래치 및 P래치 센스앰프들에 의해 감지 증폭된 셀 데이터는 입

출력 라인들로 전달된다. 계속해서, 상기 칼럼 어드레스 스트로브 신호 ($\overline{\text{CAS}}$)가 비활성화됨에 따라 상기 활성화된 칼럼 선택 신호가 비활성화되어 한쌍의 비트 라인들과 입출력 라인들을 전기적으로 분리시킨다. 그리고, 상기 로우 어드레스 스트로브 신호($\overline{\text{RAS}}$)가 비활성화됨에 따라 상기 제 1 및 제 2 센스앰프 제어신호들(LANG, LAPG)이 비활성화되고, 상기 프리차지 신호(PEQ)가 활성화되어 한쌍의 비트라인들이 소정 레벨로 프리차지됨과 아울러 활성화된 워드 라인이 비활성화되어 일련의 데이터 독출 동작이 완료된다.

그러나, 상술한 바와같은 종래 반도체 메모리 장치의 독출 방법에 의하면, 로우 어드레스 스트로브 신호($\overline{\text{RAS}}$)가 활성화됨에 따라 로우 어드레스 신호들(Ram)에 의해서 선택된 워드 라인이 활성화되고 선택된 메모리 셀 트랜지스터에 의해서 유지되는 셀 데이터에 따라 비트 라인들 사이에 전압차가 발생하게 된다.

그리고, 상기 로우 어드레스 스트로브 신호($\overline{\text{RAS}}$)에 의해 센스앰프 제어신호들(LANG, LAPG)이 활성화됨에 따라 비트 라인 센스앰프를 통해 상기 비트 라인들 사이의 전압차를 센싱한다. 그리고, 칼럼 어드레스 스트로브 신호($\overline{\text{CAS}}$)에 동기되어 인가되는 칼럼 어드레스 신호들(CA1)에 의해서 어느 하나의 칼럼 어드레스 신호가 활성화되며, 이에 따라 활성화되는 칼럼 선택부(240)를 통해 센싱된 셀 데이터를 외부로 전달하게 된다. 그러나, 상기 로우 어드레스 스트로브 신호($\overline{\text{RAS}}$)가 활성 상태에 있는 동안, 상기 센스앰프 제어신호들(LANG, LAPG)이 활성화되어 있기 때문에, 계속해서 센싱 동작을 수행하게 된다. 이로써, 데이터 독출 동작시 비트 라인 프리차지 및 감지증폭부(230)의 감지증폭기들에 의해 전류가 많이 소모되는 문제점이 생겼다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 데이터 독출 동작시 비트 라인 센스앰프들에 의해 소모되는 전류를 줄일 수 있는 반도체 메모리 장치와 이의 데이터 독출 방법을 제공하는 데 있다.

본 발명의 다른 목적은 로우 어드레스 스트로브 신호가 활성 상태에 있는 동안 비트 라인을 소정 레벨로 프리차지함으로써 프리차지 시간(tRP)을 단축시킬 수 있는 반도체 메모리 장치와 이의 데이터 독출 방법을 제공하는 데 있다.

발명의 구성 및 작용

상술한 바와같은 목적을 달성하기 위한 본 발명의 일특지에 의하면, 복수 개의 워드 라인들과, 복수 개의 비트 라인들과, 메모리 셀들의 어레이와, 각각이 소정의 제 1 및 제 2 제어 신호들에 의해 제어되어서 두 개의 대응하는 비트라인들 간의 전위차를 증폭하는 복수 개의 감지 증폭기들과 복수 개의 입출력 라인들과, 복수 개의 칼럼 선택 라인들 상의 칼럼 선택 신호들에 응답하여 선택적으로 상기 비트 라인들과 상기 입출력 라인들을 전기적으로 연결하는 칼럼 선택 회로를 구비하는 반도체 메모리 장치로부터 데이터를 독출하는 방법에 있어서, 로우 어드레스 신호들의 유효를 나타내는 로우 어드레스 스트로브 신호에 응답하여, 상기 워드 라인들 중 상기 로우 어드레스 신호들에 의해 선택된 하나를 활성화시키는 단계와; 상기 로우 어드레스 스트로브 신호에 동기된 소정의 펄스 신호에 응답하여, 상기 제 1 및 제 2 제어 신호들을 발생하는 단계와; 칼럼 어드레스 신호들의 유효를 나타내는 칼럼 어드레스 스트로브 신호에 응답하여, 상기 칼럼 선택 라인들 중 상기 칼럼 어드레스 신호들에 의해 선택된 적어도 하나를 활성화시키는 단계 및; 상기 로우 및 칼럼 어드레스 스트로브 신호들이 활성 상태에 있는 동안, 상기 입출력 라인들 상의 전위들이 충분히 발전될 때 상기 선택된 워드 라인 및 적어도 하나의 칼럼 선택 라인을 비활성화시키는 단계를 포함한다.

이 실시예에 있어서, 상기 입출력 라인들 상의 전위들이 충분히 발전되고 그리고 상기 로우 및 칼럼 어드레스 스트로브 신호들이 활성 상태에 있는 동안에, 상기 비트 라인들을 프리차지 시키는 단계를 부가적으로 포함한다.

본 발명의 다른 특징에 의하면, 복수 개의 워드 라인들과; 복수 개의 비트 라인들과; 메모리 셀들의 어레이와; 외부로부터 인가되는 로우 어드레스 스트로브 신호에 동기된 로우 어드레스 신호들을 입력받아 상기 복수 개의 워드 라인들 중 상기 로우 어드레스 신호들에 의해서 선택되는 워드 라인을 구동하는 워드 라인 제어부와; 상기 로우 어드레스 스트로브 신호를 입력받아 마스터 클럭신호, 센싱 콘트롤 클럭신호, 그리고 센스앰프 제어신호들을 발생하는 센스앰프 제어부와; 외부로부터 인가되는 칼럼 어드레스 스트로브 신호에 동기된 칼럼 어드레스 신호들을 입력받아, 메인 칼럼 어드레스 신호들을 발생함과 아울러 복수 개의 칼럼 선택라인들 상의 칼럼 선택 신호들 중 상기 칼럼 어드레스 신호들에 의해서 선택되는 칼럼 선택 라인 상의 상기 칼럼 선택 신호를 활성화시키는 칼럼 제어부와; 상기 마스터 클럭신호, 상기 센싱 콘트롤 클럭신호, 그리고 상기 메인 칼럼 어드레스 신호들을 입력받아, 상기 메인 칼럼 어드레스 신호들 중 어느 하나라도 활성화되는 것을 검출하여 소정 레벨의 제 1 검출 신호와 제 2 검출 신호를 발생함에 따라 상기 칼럼 어드레스 스트로브 신호가 활성 상태에 있는 동안 상기 센스앰프 제어부, 상기 워드 라인 제어부, 그리고 상기 칼럼 제어부를 비활성화시키는 칼럼 검출부와; 외부로부터 프리차지 신호가 인가될 때 상기 로우 어드레스 신호들에 의해서 선택된 비트 라인들을 소정 레벨로 프리차지하거나, 상기 센스앰프 제어신호들이 인가될 때 상기 로우 어드레스 신호들에 의해서 선택된 상기 에레이의 메모리 셀에 저장된 소정의 셀 데이터를 감지하고 증폭하는 비트 라인 프리차지 및 감지증폭부 및; 상기 칼럼 제어부로부터 상기 칼럼 어드레스 신호들에 의해서 선택되는 칼럼 선택 라인상의 상기 칼럼 선택 신호가 인가될 때, 상기 비트 라인 프리차지 및 감지증폭부에 의해서 증폭된 상기 소정의 셀 데이터를 외부로 전달하는 칼럼 선택부를 포함한다.

이 실시예에 있어서, 상기 칼럼 검출부는; 상기 메인 칼럼 어드레스 신호들과 상기 마스터 클럭신호를 입력받아 이를 디코딩하여 소정 레벨의 디코딩 신호를 발생하는 디코딩수단과, 상기 센싱 콘트롤 클럭신호에 응답하여 상기 디코딩수단으로부터 인가되는 상기 디코딩 신호를 전달하거나 차단하는 스위칭 수단과,

상기 스위칭 수단을 통해 전달된 상기 디코딩 신호를 래치하는 래치수단과, 상기 래치수단에 의해 유지되는 상기 디코딩 신호를 입력받아, 상기 마스터 클럭신호에 응답하여 소정 레벨의 상기 제 1 검출 신호를 발생하는 출력수단과, 상기 출력수단으로부터 인가되는 상기 제 1 검출 신호와 동일한 위상을 갖고 소정 시간 지연된 상기 제 2 검출 신호를 발생하는 지연수단으로 구성된다.

이 실시예에 있어서, 상기 디코딩 수단은; 상기 메인 칼럼 어드레스 신호들 중 어느 두 개의 메인 칼럼 어드레스 신호들을 입력받는 제 1 NOR 게이트와, 상기 메인 칼럼 어드레스 신호들 중 나머지 두 개의 메인 칼럼 어드레스 신호들을 입력받는 제 2 NOR 게이트와, 상기 제 1 및 제 2 NOR 게이트들의 출력단들에 각 입력단자가 연결된 제 1 NAND 게이트와, 상기 제 1 NAND 게이트의 출력단에 일 입력단자가 연결되고, 타 입력단자로 상기 마스터 클럭신호가 인가되는 제 2 NAND 게이트로 구성된다.

이 실시예에 있어서, 상기 스위칭 수단은; 제 1 노드와, 제 2 노드와, 상기 센싱 콘트를 클럭신호의 위상을 반전시켜 출력하는 제 1 인버터와, 게이트로 상기 센싱 콘트를 클럭신호가 인가되고 소오스-드레인 채널이 상기 제 1 노드와 상기 제 2 노드 사이에 연결된 NMOS 트랜지스터와, 게이트가 상기 제 1 인버터의 출력단에 연결되고 소오스-드레인 채널이 상기 제 1 노드와 상기 제 2 노드 사이에 연결된 PMOS 트랜지스터로 구성된다.

이 실시예에 있어서, 상기 래치수단은; 상기 제 1 노드에 입력단자 연결된 제 2 인버터와, 상기 제 2 인버터의 출력단자에 입력단자가 연결되고 상기 제 1 노드에 출력단자가 연결된 제 3 인버터로 구성된다.

이 실시예에 있어서, 상기 출력수단은; 상기 래치수단의 출력단에 일 입력단자가 연결되고, 타 입력단자로 상기 마스터 클럭신호가 인가되는 제 3 NAND 게이트와, 상기 제 3 NAND 게이트의 출력단자에 입력단자가 연결되며, 상기 제 1 검출 신호를 출력하는 제 4 인버터로 구성된다.

이 실시예에 있어서, 상기 지연수단은; 직렬 연결된 적어도 두 개 이상으로 구성됨에 따라 소정 시간 지연되고 상기 제 1 검출 신호와 동일 위상을 갖는 상기 제 2 검출 신호를 발생하는 복수 개의 인버터들로 구성된다.

이와같은 방법에 의해서, 데이터 독출 동작시 비트 라인 센스앰프들에 의해 소모되는 전류를 줄일 수 있을 뿐만아니라, 비트 라인 프리차지 시간을 줄일 수 있다.

이하 본 발명의 실시예에 따른 참조도면 도 3 내지 도 14에 의거하여 상세히 설명한다.

도 3 및 도 4를 참조하면, 본 발명의 신규한 반도체 메모리 장치와 이의 데이터 독출 방법에 의하면, 로우 어드레스 스트로브 신호(\overline{RAS})에 동기되어 외부로부터 인가되는 로우 어드레스 신호들(RAm)에 의해서 선택되는 소정 워드 라인을 활성화시킴과 아울러 센스앰프 제어신호들(LANG, LAPG)을 활성화시킨다. 이에 따라, N래치 및 P래치 센스앰프들(234a, 234b)이 활성화되어 선택된 메모리 셀 트랜지스터에 의해 유지되는 셀 데이터를 활성화된 상기 N래치 및 P래치 센스앰프들(234a, 234b)을 통해 감지 증폭한다. 그리고, 칼럼 어드레스 스트로브 신호(\overline{CAS})에 동기되어 외부로부터 인가되는 칼럼 어드레스 신호들(CA1)에 의해서 어느 하나의 칼럼 선택 신호를 활성화시킴으로써 센싱된 셀 데이터를 외부로 전달한다. 그리고, 상기 로우 어드레스 스트로브 신호(\overline{RAS})가 활성화 상태에 있는 동안, 외부적으로 유효한 데이터로서 감지될 수 있을 만큼의 전압 레벨 이상으로 입출력 라인들(10, 10B)이 발전될 때, 칼럼 검출 회로(300)를 통해 메인 칼럼 어드레스 신호(DCA01)가 활성화되었는지 여부를 검출하여 하이 레벨의 검출 신호(DET10)를 발생한다. 상기 칼럼 검출 회로(300)를 통해 발생된 상기 검출 신호(DET10)에 의해 데이터 독출 동작시 활성화되는 상기 센스앰프 제어신호들(LANG, LAPG), 워드 라인, 그리고 칼럼 선택 신호와 같은 센싱시 관련된 제어 신호들을 비활성화시키게 된다. 이로써, 센싱 동작시 상기 N래치 및 P래치 센스앰프들(234a, 234b)에 의해 소모되는 센싱 전류를 줄일 수 있다. 뿐만아니라, 워드 라인을 비활성화시키는 과정에서 활성화된 블록 선택 신호가 비활성화될 때 활성화되는 프리차지 신호(PEQ)에 의해 독출 동작 구간에서 미리 비트 라인들 및 이에 관련된 소정 신호들을 프리차지함으로써 프리차지 시간(tRP)을 단축할 수 있게 되었다.

도 3에는 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 구성을 보여주는 블록도가 도시되어 있다. 도 4에는 도 3의 비트 라인 프리차지 및 센스앰프 회로를 보여주는 회로도가 도시되어 있다.

도 4에서, 제 1 및 제 2 비트 라인들(BL, BLB)이 전기적으로 접속된 셀 어레이(100) 내의 메모리 셀은 메모리 셀 트랜지스터(M1)와 커패시터(C1)로 구비되며, 그것의 게이트는 워드 라인(WL)에 접속되고 그것의 채널과 상기 커패시터가 상기 제 1 비트 라인(BL)과 셀 플레이트(VP) 사이에 직렬로 접속되어 있다. 프리차지 및 등화수단(232)은 독출/기입 동작이 수행되기 이전에 프리차지 신호 발생회로(150)로부터 인가되는 프리차지 신호(PEQ)에 응답하여 외부로부터 인가되는 구동전압(VBL)으로 상기 제 1 및 제 2 비트 라인들(BL, BLB)을 프리차지한다. 즉, 상기 프리차지 신호(PEQ)가 하이 레벨로 인가될 때, NOS 트랜지스터들(MN1 - MN3)이 턴-온되어 상기 구동전압(VBL)이 MOS 트랜지스터들(MN1, MN2)을 통해 상기 제 1 및 제 2 비트 라인들(BL, BLB)으로 전달되고, MOS 트랜지스터(MN3)를 통해 동일한 전압레벨로 등화된다. 센스앰프수단(234)은 도 3의 센스앰프 제어신호 발생회로(180)부터 하이 레벨의 제 1 센스앰프 제어신호(LANG)와 로우 레벨의 제 2 센스앰프 제어신호(LAPG)가 인가될 때, 상기 제 1 및 제 2 비트 라인들(BL, BLB)에 전달되는 셀 데이터에 의한 전압차를 전원전압(Vcc) 레벨과 접지전압(Vss) 레벨로 감지 증폭하여 준다. 그리고, 상기 센스앰프수단(234)은 상기 제 1 센스앰프 제어신호(LANG)에 의해 제어되는 N래치 센스앰프(234a)와 상기 제 2 센스앰프 제어신호(LAPG)에 의해 제어되는 P래치 센스앰프(234b)로 구비되어 있다. 상기 제 1 비트 라인(BL)에 연결된 메모리 셀에 데이터 '1'이 저장되어 있을 경우[이때, 제 2 비트 라인(BLB)의 전압레벨은 로우 레벨로 설정된다.]의 센싱 동작시 상기 제 1 비트 라인(BL)에 게이트가 접속된 상기 N래치 센스앰프(234a)의 NMOS 트랜지스터(MN5)는 턴-온되고 P래치 센스앰프(234b)의 PMOS 트랜지스터(MP2)는 턴-오프된다. 그리고, 상기 제 2 비트 라인(BLB)에 게이트가 접속된 상기 N래치 센스앰프(234a)의 NMOS 트랜지스터(MN4)는 턴-오프되고, 상기 P래치 센스앰프(234b)의 PMOS 트랜지스터(MP1)는 턴-온 된다. 따라서, 상기 제 1 센스앰프 제어신호(LANG)에 제어되는 NMOS 트랜지스터(MN6)와 제 1 비트 라인(BL)에 제어되는 상기 NMOS 트랜지스터(MN5)를 통해 제 2 비트 라인(BLB)은 접지전압(Vss) 레벨로 증

폭된다. 그리고, 상기 제 2 센스앰프 제어신호(LAPG)에 제어되는 PMOS 트랜지스터(MP3)와 제 2 비트 라인(BLB)에 제어되는 PMOS 트랜지스터(MP1)를 통해 상기 제 1 비트 라인(BL)은 전원전압(Vcc) 레벨로 증폭된다. 칼럼 선택부(240)는 도 3의 칼럼 디코더(220)로부터 인가되는 칼럼 선택 신호(CSL)에 응답하여 제 1 및 제 2 입출력 라인들(10/10B)과 제 1 및 제 2 비트 라인들(BL, BLB)을 전기적으로 연결하거나 분리시킨다. 상기 칼럼 선택부(240)는 상기 칼럼 선택 신호(CSL)가 각 게이트로 인가되고 각 채널이 제 1 및 제 2 비트 라인들(BL, BLB)과 제 1 및 제 2 입출력 라인들(10, 10B) 사이에 접속된 NMOS 트랜지스터들(MN7, MN8)로 구성되어 있다. 하이 레벨의 상기 칼럼 선택 신호(CSL)가 인가될 때, 상기 NMOS 트랜지스터들(MN7, MN8)이 턴-온되어 독출/기입 동작시 상기 센스앰프들(234a, 234b)을 통해 증폭된 셀 데이터를 대응되는 제 1 및 제 2 입출력 라인들(10/10B)로 전달하거나 외부로부터 제 1 및 제 2 비트 라인들(10/10B)로 전달된 외부 데이터를 대응되는 제 1 및 제 2 비트 라인들(10/10B)로 전달한다.

도 5에는 도 3의 로우 및 칼럼 프리디코더를 보여주는 회로도가 도시되어 있다. 도 5에서, 로우 및 칼럼 프리디코더는 인버터들(I10, I11)을 통해 인가되는 1번째 로우/컬럼 어드레스 신호들(RA_i/CA_i)(여기서, i는 양의 정수)과 인버터들(I12, I13)을 통해 인가되는 j번째 로우/컬럼 어드레스 신호들(RA_j/CA_j)(여기서, j는 양의 정수)을 입력으로 하는 낸드 게이트(G2)와 이의 출력을 반전시켜 디코딩된 로우/컬럼 어드레스 신호들(DRA_{ij}/DCA_{ij})을 출력하는 인버터(I14)로 구비되어 있다. 여기서, 첨자 i와 j는 로우 어드레스 신호들(RA)과 칼럼 어드레스 신호들(CA)의 짝수번째 어드레스 신호들과 홀수번째 어드레스 신호들의 어느 하나에 각각 해당된다.

도 6에는 도 3의 블록 선택 회로를 보여주는 회로도가 도시되어 있다. 도 6에 도시된 바와같은 본 발명의 실시예에 따른 블록 선택 회로는 도 7에 도시된 로우 프리디코더(170)로부터 인가되는 디코딩된 로우 어드레스 신호들(DRA_{ij}) ALC 로우 어드레스 신호들(RA) 중 LSB의 로우 어드레스 신호들(RA0, RA1)을 디코딩한 메인 로우 어드레스 신호(DRA01)와 도 3의 지연 회로(400)로부터 인가되는 지연 신호(DET10D)를 입력받아 블록 선택 신호들(BLSK) 중 어느 하나를 활성화시킨다. 상기 블록 선택 신호들(BLSK)은 상기 DRA_{ij}와 상기 DRA01이 하이 레벨이 되고 상기 지연 신호(DET10D)가 로우 레벨일 때 활성화되어 대응되는 소정 메모리 셀 블록을 선택하게 되며, 상기 지연 신호(DET10D)가 하이 레벨로 인가될 때 상기 블록 선택 신호들(BLSK)은 비활성화된다.

도 7에는 도 3의 로우 디코더 및 프리차지 신호 발생회로를 보여주는 회로도가 도시되어 있다. 도 7의 로우 디코더 및 프리차지 신호 발생회로는 도 7의 로우 프리디코더(120)부터 인가되는 디코딩된 로우 어드레스 신호들(DRA_{ij})과 도 8의 블록 선택 회로(130)로부터 인가되는 활성화된 블록 선택 신호를 입력받아 워드 라인(WL)을 활성화시킴과 아울러 프리차지 신호(PEQ)를 비활성화시키기 위한 회로로서 도 9에 도시된 바와같이 구성되어 있다.

도 8에는 도 3의 센싱 콘트를 클럭 발생회로를 보여주는 회로도가 도시되어 있다. 도 8에서, 본 발명의 실시예에 따른 센싱 콘트를 클럭 발생회로는 인버터들(I11, I12)을 통해 인가되는 마스터 클럭신호(PRD)와 인버터(I13)를 통해 인가되는 검출 신호(DET10)를 각각 입력받는 낸드 게이트(G1)와 이의 출력을 반전시킨 센싱 콘트를 클럭신호(PS)를 발생하는 인버터(I14)로 구비되어 있다. 상기 마스터 클럭 신호(PRD)는 로우 어드레스 스트로브 신호($\overline{\text{RAS}}$)가 지연된 신호이며, 상기 검출 신호(DET10)는 도 3의 검출 회로(300)로부터 인가되는 신호로서 칼럼 어드레스 스트로브 신호($\overline{\text{CAS}}$)가 인가되고 입출력 라인들(10, 10B) 사이의 전압차가 유효한 데이터로 독출될 수 있을 만큼 발전될 때 활성화된다. 따라서, 상기 센싱 콘트를 클럭 신호(PS)는 상기 칼럼 어드레스 스트로브 신호($\overline{\text{CAS}}$)가 활성화되기 이전까지 하이 레벨로 설정되어 있고, 상기 검출 신호(DET10)가 하이 레벨로 인가될 때 로우 레벨로 설정된다.

도 9에는 도 3의 센스앰프 제어회로를 보여주는 회로도가 도시되어 있다. 도 9를 참조하면, 본 발명의 실시예에 따른 센스앰프 제어회로를 직렬 연결된 인버터들(I15 - I19)로 구비되어 있고, 도 8의 센싱 콘트를 클럭 발생회로(170)로부터 하이 레벨의 센싱 콘트를 클럭신호(PS)가 인가될 때 하이 레벨의 제 1 센스앰프 제어신호(LANG)와 로우 레벨의 제 2 센스앰프 제어신호(LAPG)를 발생한다.

도 3의 칼럼 메인 디코더를 보여주는 회로도도 도 10에 도시된 바와같이 구성되어 있다. 도 10에서, 칼럼 메인 디코더는 칼럼 어드레스들(CA) 중 LSB의 칼럼 어드레스 신호들(CA0, CA1)과 도 3의 칼럼 검출 회로(300)로부터 발생하는 검출 신호(DET10)를 입력받아 메인 칼럼 어드레스 신호(DCA01)를 발생한다. 상기 메인 칼럼 어드레스 신호(DCA01)는 상기 검출 신호(DET10)가 로우 레벨로 인가될 때 활성화되고 하이 레벨로 인가될 때 비활성화된다. 도 11에는 도 3의 칼럼 디코더를 보여주는 회로도도 도시되어 있다. 도 11에 도시된 바와같이, 칼럼 디코더는 인버터들(I136, I137)을 통해 인가되는 메인 칼럼 어드레스 신호(DCA01)와 도 7의 칼럼 프리디코더(200)로부터 인가되는 디코딩된 칼럼 어드레스 신호들(DCA_{ij})을 입력받는 낸드 게이트(G7)와 이의 출력을 반전시킨 칼럼 선택 신호들(CSL_x)을 출력하는 인버터(I138)로 구비되어 있다.

도 12는 본 발명의 실시예에 따른 칼럼 검출 회로를 보여주고 있다. 도 12에서, 제 1 검출 신호(DET10)는 마스터 클럭 신호 발생회로(160)부터 발생하는 마스터 클럭신호(PRD)가 하이 레벨에 있는 동안 칼럼 메인 디코더(210)로부터 인가되는 메인 칼럼 어드레스 신호(DCA01)의 상태에 따라 활성화된다. 상기 메인 칼럼 어드레스 신호(DCA01)는 DCA0, DCA0B, DCA1, 그리고 DCA1B를 조합한 신호들(DCA0B1B, DCA01B, DCA0B1, DCA01)로 나뉘지며, 상기 조합된 신호들(DCA0B1B, DCA01B, DCA0B1, DCA01)은 각각 NOR 게이트들(G8, G9)에 인가된다. 상기 NOR 게이트들(G8, G9)의 각 출력을 입력받는 낸드 게이트(G10)는 이를 논리합하며, 상기 낸드 게이트(G10)의 출력과 상기 마스터 클럭신호(PRD)를 입력으로 하는 낸드 게이트(G11)는 상기 낸드 게이트(G10)의 출력과 상기 마스터 클럭신호(PRD)를 논리합한 소정 레벨의 디코딩 신호(D)를 발생한다. 그리고, 전달 게이트(T1)는 센싱 콘트를 클럭신호(PS)가 하이 레벨로 인가될 때 상기 낸드 게이트(G11)로부터 인가되는 상기 디코딩 신호(D)를 병렬 연결된 인버터들(I140, I141)로 이루어진 래치단(306)으로 전달한다.

마지막으로, 상기 래치수단(306)에 의해 유지되는 상기 디코딩 신호(D)와 상기 마스터 클럭신호(PRD)를 인가받는 출력수단(308)의 낸드 게이트(G12)와 인버터(I142)를 통해 상기 제 1 검출 신호(DET10)를 발생한다. 상기 메인 칼럼 어드레스 신호(DCA01)를 조합한 신호들(DCA0B1B, DCA01B, DCA0B1, DCA01) 중 어느

하나라도 하이레벨이 되면 상기 낸드 게이트(G10)의 출력은 하이 레벨로 설정되며, 이를 일 입력으로 하는 상기 낸드 게이트(G11)의 출력은 하이 레벨의 상기 마스터 클럭신호(G11)를 입력받아 로우 레벨로 설정된다. 이때, 센싱 콘트롤 클럭신호(PS)가 하이레벨로 인가되기 때문에, 상기 전달 게이트(T1)를 통해 상기 낸드 게이트(G11)로부터 발생하는 상기 디코딩 신호(D)를 상기 래치수단(306)으로 전달하고, 상기 출력 수단(308)에 의해 하이 레벨의 상기 제 1 검출 신호(DET10)를 출력한다. 다음, 칼럼 어드레스 스트로브 신호(\overline{CAS})가 활성화 상태에 있는 동안 하이 레벨의 상기 제

1 검출 신호(DET10)에 의해서 상기 센싱 콘트롤 클럭신호(PS)가 비활성화되어 상기 전달 게이트(T1)의 전류 통로가 차단된다. 따라서, 상기 제 1 검출 신호(DET10)는 더 이상 상기 메인 칼럼 어드레스 신호(DCA01)에 의해서 비활성화되는 것이 아니라 상기 마스터 클럭신호(PRD)에 의해서 비활성화된다.

도 13에는 발명의 실시예에 따른 지연 회로를 보여주는 회로도도 도시되어 있다. 도 13에 도시된 지연 회로는 도 12의 칼럼 검출 회로로부터 인가되는 제 1 검출 신호(DET10)와 동일한 위상을 갖고 소정 시간 지연시킨 제 2 검출 신호(DET10D)를 발생한다. 상기 지연 회로는 직렬 연결된 적어도 두 개 이상의 인버터들(144, 145)로 구성되며, 도 13의 참조번호 143과 146의 인버터들은 회로 설계시 드라이버(driver)로서 상기 인버터들(144, 145)의 사이즈와 다르게 구성됨은 주의해야 한다.

도 14에는 본 발명의 바람직한 실시예에 따른 데이터 독출 동작시의 동작 타이밍도가 도시되어 있다. 본 발명에 따른 데이터 독출 동작은 도 3 내지 도 14를 참조하여 이하 설명될 것이다.

도 3에 도시된 복수 개의 메모리 셀 블록들로 구성되는 셀 어레이(100)에는 행방향으로 복수 개의 워드 라인들이 그리고 열 방향으로 복수 개의 비트 라인들이 전기적으로 접속되어 있다. 로우 어드레스 버퍼(110)는 외부로부터 인가되는 로우 어드레스 스트로브 신호(row address strobe signal)(\overline{RAS})에 동기되어 TTL 레벨의 외부 어드레스 신호들(A_n)(여기서, n은 양의 정수)을 입력받아 CMOS 레벨의 로우 어드레스 신호들(RA_m)(여기서, m은 양의 정수)을 발생한다. 상기 로우 어드레스버퍼(110)로부터 발생된 상기 로우 어드레스 신호들(RA_m)이 인가되는 로우 프리 디코더(120)는 상기 로우 어드레스 신호들(RA_m)을 프리 디코딩(pre-decoding)한다.

그리고, 블록 선택 회로(130)는 복수 개의 메모리 셀 블록들을 선택하기 위한 블록 선택 신호들(BLSk)(여기서, k는 양의 정수) 중 상기 프리 디코딩된 로우 어드레스 신호들(DRA_{ij})(여기서, i, j는 양의 정수이며, m의 짝수번째 어드레스들과 m의 홀수번째 어드레스들 중 각각 어느 하나에 해당된다)에 의해서 선택되는 메모리 셀 블록에 해당되는 블록 선택 신호를 활성화시킨다. 로우 디코더(140)는 선택된 메모리 셀 블록에 해당되는 블록 선택 신호와 상기 로우 프리 디코더(120)로부터 발생하는 프리 디코딩된 로우 어드레스 신호들(DRA_{ij})에 의해서 선택되는 워드 라인을 활성화시킨다. 이로 인해, 선택된 메모리 셀 트랜지스터에 의해 유지되는 정보에 따라 비트 라인들 사이에 차지 세어링이 생긴다. 아울러, 프리차지 신호 발생회로(150)는 활성화된 블록 선택 신호가 인가될 때 프리차지 신호(PEQ)를 비활성화시킨다. 즉, 선택된 워드 라인에 의해서 한쌍의 비트 라인들 사이에 차지 세어링이 발생하기 이전에 한쌍의 비트 라인들을 소정 레벨로 프리차지한 후 상기 활성화된 블록 선택 신호가 인가될 때 프리차지 동작을 중지하게 된다.

또한, 상기 로우 어드레스 스트로브 신호(\overline{RAS})가 활성화됨에 따라 마스터 클럭 발생회로(160)로부터 마스터 클럭신호(PRD)가 발생되며 상기 마스터 클럭신호(PRD)가 인가되는 센싱 콘트롤 클럭 발생회로(170)는 센싱 콘트롤 클럭신호(PS)를 발생하여 센스앰프 제어회로(180)를 구동시킨다. 이에 의해, 상기 센스앰프 제어회로(180)는 서로 상반된 제 1 및 제 2 센스앰프 제어신호들(LANG, LAPG)을 발생한다. 이로 인해, 비트 라인 프리차지 및 센스앰프(230)의 도 4에 도시된 N래치 및 P래치 센스앰프들(234a, 234b)이 활성화되며, 상기 센스앰프들을 통해 한쌍의 비트라인들(BL, BLB) 사이의 차지 세어링에 의한 전압차가 전원전압 레벨과 접지전압 레벨로 감지 증폭된다.

다음, 칼럼 어드레스 버퍼(190)는 칼럼 어드레스 스트로브 신호(column address strobe signal)(\overline{CAS})에 동기되어 외부로부터 인가되는 TTL 레벨의 외부 어드레스 신호들(A_n)을 입력받아 CMOS 레벨의 칼럼 어드레스 신호들(CA1)(여기서, 1은 양의 정수)을 발생한다. 계속해서, 칼럼 프리 디코더(200), 칼럼 메인 디코더(210), 그리고 칼럼 디코더(220)를 통해 복수 개의 칼럼 선택 라인들 상의 칼럼 선택 신호들(CSL_x)(여기서, x는 양의 정수) 중 어느 하나의 칼럼 선택 신호가 활성화됨으로써, 한쌍의 비트 라인들(BL, BLB)과 입출력 라인들(10, 10B)을 전기적으로 연결시키기 위한 칼럼 패스 트랜지스터들(M7, M8)이 턴-온된다. 따라서, 상기 칼럼 패스 트랜지스터들(M7, M8)을 통해 N래치 및 P래치 센스앰프들(234a, 234b)에 의해 감지 증폭된 셀 데이터는 입출력 라인들(10, 10B)로 전달된다.

이때, 상기 활성화된 칼럼 선택 신호(CSL)에 의하여 제어되는 도 4의 칼럼 선택부(240)의 NMOS 트랜지스터들(MN7, MN8)이 턴-온되어 제 1 및 제 2 비트 라인들(BL, BLB)과 제 1 및 제 2 입출력라인들(10, 10B)이 전기적으로 접속된다. 이로 인해, 상기 N래치 및 P래치 센스앰프들(234a, 234b)에 의해 증폭된 셀 데이터는 활성화된 칼럼 선택 신호에 의해 제어되는 상기 NMOS 트랜지스터들(MN7, MN8)을 통해 상기 제 1 및 제 2 비트 라인들(BL, BLB)으로부터 상기 제 1 및 제 2 입출력라인들(10, 10B)로 전달된다. 상기 제 1 및 제 2 입출력라인들(10, 10B)이 일정 레벨 이상 즉, 외부적으로 유효한 데이터로 감지될 수 있는 전압 레벨로 발전(develop)될 때 도 3의 칼럼 검출 회로(300)로부터 하이 레벨의 제 1 검출 신호(DET10)가 발생된다. 더 상세히 설명하면, 상기 칼럼 어드레스 스트로브 신호(\overline{CAS})가 인가되고 제 1 및 제 2 입출력라인들(10, 10B)이 일정 레벨 이상으로 발전될 때 상기 마스터 클럭신호(PRD)가 활성화 상태에 있는 동안 상기 칼럼 검출 회로(300)는 칼럼 메인 디코더(210)로부터 출력되는 메인 칼럼 어드레스 신호들(DCA0, DCA1)의 상태에 따라 상기 제 1 검출 신호(DET10)를 발생한다. 그리고, 도 3에 도시된 지연 회로(400)는 상기 제 1 검출 신호(DET10)를 입력받아 이를 소정 시간 지연시킨 제 2 검출 신호(DET10D)를 발생한다. 상기 제 1 검출 신호(DET10)와 상기 제 2 검출 신호(DET10D)는 마스터 클럭신호(PRD)가 활성화되어 있는 상태에서 상기 메인 칼럼 어드레스 신호(DCA01)가 조합된 신호들(DCA0B1B, DCA01B, DCA0B1, DCA01) 중 어느 하나의 신호라도 활성화될 때 활성화되며 상기 마스터 클럭신호(PRD)가 비활성화될 때 비활성화된다.

이어, 도 14에 도시된 바와같이, 상기 제 1 검출 신호(DET10)에 의해 센싱 콘트롤 클럭신호(PS)와 복수

개의 칼럼 선택 신호들(CSLk) 중 활성화된 칼럼 선택 신호가 비활성화된다. 이에따라, 상기 제 1 및 제 2 센스앰프 제어신호들(LANG, LAPG)이 비활성화되어 N래치 센스앰프(234a)와 P래치 센스앰프(234b)는 상기 로우 어드레스 스트로브 신호(\overline{CAS})가 활성 상태에 있는 동안 모두 비활성화된다. 또한, 상기 칼럼 선택 신호들(CSLk) 중 활성화된 칼럼 선택 신호가 비활성화되어, 상기 제 1 및 제 2 비트 라인들(BL, BLB)과 제 1 및 제 2 입출력라인들(10, 10B)을 전기적으로 절연시킨다. 계속해서, 상기 제 2 검출 신호(DET10D)에 의해 복수 개의 블록 선택 신호들(BLSk) 중 활성화된 블록 선택 신호가 비활성화됨에 따라 선택된 워드 라인(WL)이 비활성화된다. 그리고, 상기 비활성화된 블록 선택 신호에 의해 프리차지 신호(PFQ)가 활성화되어 상기 제 1 및 제 2 비트 라인들(BL, BLB)을 소정 레벨로 프리차지하고 등화시킨다.

계속해서, 도 14에 도시된 바와같이, 상기 칼럼 어드레스 스트로브 신호(\overline{CAS})가 비활성화됨에 따라 칼럼 어드레스 신호들(CA1)과 메인 칼럼 어드레스 신호(DCA01)가 비활성화된다. 그리고, 상기 로우 어드레스 스트로브 신호(\overline{RAS})가 비활성화됨에 따라 마스터 클럭신호(PRO)가 비활성화되고 로우 어드레스 신호들(RAm)과 디코딩된 로우 어드레스 신호들(DRAij)이 비활성화됨과 아울러 상기 제 1검출 신호(DET10) 및 상기 제 2 검출 신호(DET10D)를 비활성화시켜 일련의 데이터 독출 동작이 완료된다.

발명의 효과

상기한 바와같이, 데이터 독출 동작시 N래치 및 P래치 센스앰프들에 의해서 소모되는 센싱 전류를 줄일 수 있을 뿐만아니라, 비트 라인들과 센스앰프 구동라인들에 대한 등화 동작을 로우 어드레스 스트로브 신호의 상승 에지를 받아 수행하는 것이 아니라 미리 수행하게 됨으로써 프리차지 시간을 줄일 수 있게 되었다.

(57) 청구의 범위

청구항 1

복수 개의 워드 라인들과, 복수 개의 비트 라인들과, 메모리 셀들의 어레이와, 각각이 소정의 제 1 및 제 2 제어 신호들에 의해 제어되어서 두 개의 대응하는 비트라인들 간의 전위차를 증폭하는 복수 개의 감지 증폭기들과 복수 개의 입출력 라인들과, 복수 개의 칼럼 선택 라인들 상의 칼럼 선택 신호들에 응답하여 선택적으로 상기 비트 라인들과 상기 입출력 라인들을 전기적으로 연결하는 칼럼 선택 회로를 구비하는 반도체 메모리 장치로부터 데이터를 독출하는 방법에 있어서,

로우 어드레스 신호들의 유효를 나타내는 로우 어드레스 스트로브 신호에 응답하여, 상기 워드 라인들 중 상기 로우 어드레스 신호들에 의해 선택된 하나를 활성화시키는 단계와;

상기 로우 어드레스 스트로브 신호에 동기된 소정의 펄스 신호에 응답하여, 상기 제 1 및 제 2 제어 신호들을 발생하는 단계와;

칼럼 어드레스 신호들의 유효를 나타내는 칼럼 어드레스 스트로브 신호에 응답하여, 상기 칼럼 선택 라인들 중 상기 칼럼 어드레스 신호들에 의해 선택된 적어도 하나를 활성화시키는 단계 및;

상기 로우 및 칼럼 어드레스 스트로브 신호들이 활성 상태에 있는 동안, 상기 입출력 라인들 상의 전위들이 충분히 발전될 때 상기 선택된 워드 라인 및 적어도 하나의 칼럼 선택 라인을 비활성화시키는 단계를 포함하는 반도체 메모리 장치의 데이터 독출 방법

청구항 2

제 1 항에 있어서,

상기 입출력 라인들 상의 전위들이 충분히 발전되고 그리고 상기 로우 및 칼럼 어드레스 스트로브 신호들이 활성 상태에 있는 동안에, 상기 비트 라인들을 프리차지 시키는 단계를 부가적으로 포함하는 반도체 메모리 장치의 데이터 독출 방법.

청구항 3

복수 개의 워드 라인들과;

복수 개의 비트 라인들과;

메모리 셀들의 어레이와;

외부로부터 인가되는 로우 어드레스 스트로브 신호에 동기된 로우 어드레스 신호들을 입력받아 상기 복수 개의 워드 라인들 중 상기 로우 어드레스 신호들에 의해서 선택되는 워드 라인을 구동하는 워드 라인 제어부와;

상기 로우 어드레스 스트로브 신호를 입력받아 마스터 클럭신호, 센싱 콘트롤 클럭 신호, 그리고 센스앰프 제어신호들을 발생하는 센스앰프 제어부와;

외부로부터 인가되는 칼럼 어드레스 스트로브 신호에 동기된 칼럼 어드레스 신호들을 입력받아, 메인 칼럼 어드레스 신호들을 발생함과 아울러 복수 개의 칼럼 선택라인들 상의 칼럼 선택 신호들 중 상기 칼럼 어드레스 신호들에 의해서 선택되는 칼럼 선택 라인 상의 상기 칼럼 선택 신호를 활성화시키는 칼럼 제어부와;

상기 마스터 클럭신호, 상기 센싱 콘트롤 클럭신호, 그리고 상기 메인 칼럼 어드레스 신호들을 입력받아, 상기 메인 칼럼 어드레스 신호들 중 어느 하나라도 활성화되는 것을 검출하여 소정 레벨의 제 1 검출 신호와 제 2 검출 신호를 발생함에 따라 상기 칼럼 어드레스 스트로브 신호가 활성 상태에 있는 동안 상기 센스앰프 제어부, 상기 워드 라인 제어부, 그리고 상기 칼럼 제어부를 비활성화시키는 칼럼 검출부와;

외부로부터 프리차지 신호가 인가될 때 상기 로우 어드레스 신호들에 의해서 선택된 비트 라인들을 소정 레벨로 프리차지하거나, 상기 센스앰프 제어신호들이 인가될 때 상기 로우 어드레스 신호들에 의해서 선택된 상기 에레이의 메모리 셀에 저장된 소정의 셀 데이터를 감지하고 증폭하는 비트 라인 프리차지 및 감지증폭부 및;

상기 칼럼 제어부로부터 상기 칼럼 어드레스 신호들에 의해서 선택되는 칼럼 선택 라인상의 상기 칼럼 선택 신호가 인가될 때, 상기 비트 라인 프리차지 및 감지증폭부에 의해서 증폭된 상기 소정의 셀 데이터를 외부로 전달하는 칼럼 선택부를 포함하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 칼럼 검출부는;

상기 메인 칼럼 어드레스 신호들과 상기 마스터 클럭신호를 입력받아 이를 디코딩하여 소정 레벨의 디코딩 신호를 발생하는 디코딩수단과,

상기 센싱 콘트롤 클럭신호에 응답하여 상기 디코딩수단으로부터 인가되는 상기 디코딩 신호를 전달하거나 차단하는 스위칭 수단과,

상기 스위칭 수단을 통해 전달된 상기 디코딩 신호를 래치하는 래치수단과,

상기 래치수단에 의해 유지되는 상기 디코딩 신호를 입력받아, 상기 마스터 클럭신호에 응답하여 소정 레벨의 상기 제 1 검출 신호를 발생하는 출력수단과,

상기 출력수단으로부터 인가되는 상기 제 1 검출 신호와 동일한 위상을 갖고 소정 시간 지연된 상기 제 2 검출 신호를 발생하는 지연수단으로 구성되는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 디코딩 수단은;

상기 메인 칼럼 어드레스 신호들 중 어느 두 개의 메인 칼럼 어드레스 신호들을 입력받는 제 1 NOR 게이트와,

상기 메인 칼럼 어드레스 신호들 중 나머지 두 개의 메인 칼럼 어드레스 신호들을 입력받는 제 2 NOR 게이트와,

상기 제 1 및 제 2 NOR 게이트들의 출력단들에 각 입력단자가 연결된 제 1 NAND 게이트와,

상기 제 1 NAND 게이트의 출력단에 일 입력단자가 연결되고, 타 입력단자로 상기 마스터 클럭신호가 인가되는 제 2 NAND 게이트로 구성되는 반도체 메모리 장치.

청구항 6

제 4 항에 있어서,

상기 스위칭 수단은;

제 1 노드와,

제 2 노드와,

상기 센싱 콘트롤 클럭신호의 위상을 반전시켜 출력하는 제 1 인버터와,

게이트로 상기 센싱 콘트롤 클럭신호가 인가되고 소오스-드레인 채널이 상기 제 1 노드와 상기 제 2 노드 사이에 연결된 NMOS 트랜지스터와,

게이트가 상기 제 1 인버터의 출력단에 연결되고 소오스-드레인 채널이 상기 제 1 노드와 상기 제 2 노드 사이에 연결된 PMOS 트랜지스터로 구성되는 반도체 메모리장치.

청구항 7

제 4 항에 있어서,

상기 래치수단은;

상기 제 1 노드에 입력단자 연결된 제 2 인버터와,

상기 제 2 인버터의 출력단자에 입력단자가 연결되고 상기 제 1 노드에 출력단자가 연결된 제 3 인버터로 구성되는 반도체 메모리 장치.

청구항 8

제 4 항에 있어서,

상기 출력수단은;

상기 래치수단의 출력단에 일 입력단자가 연결되고, 타 입력단자로 상기 마스터 클럭신호가 인가되는 제 3 NAND 게이트와,

상기 제 3 NAND 게이트의 출력단자에 입력단자가 연결되며, 상기 제 1 검출 신호를 출력하는 제 4 인버터로 구성되는 반도체 메모리 장치.

청구항 9

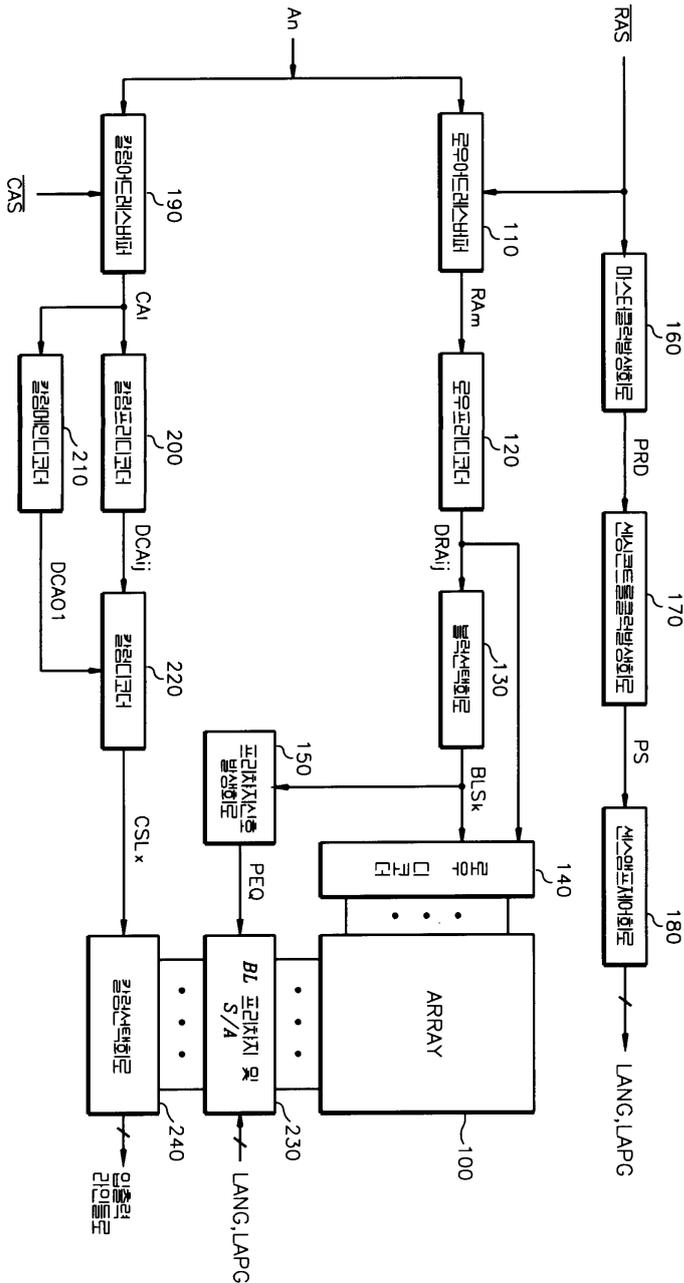
제 4 항에 있어서,

상기 지연수단은;

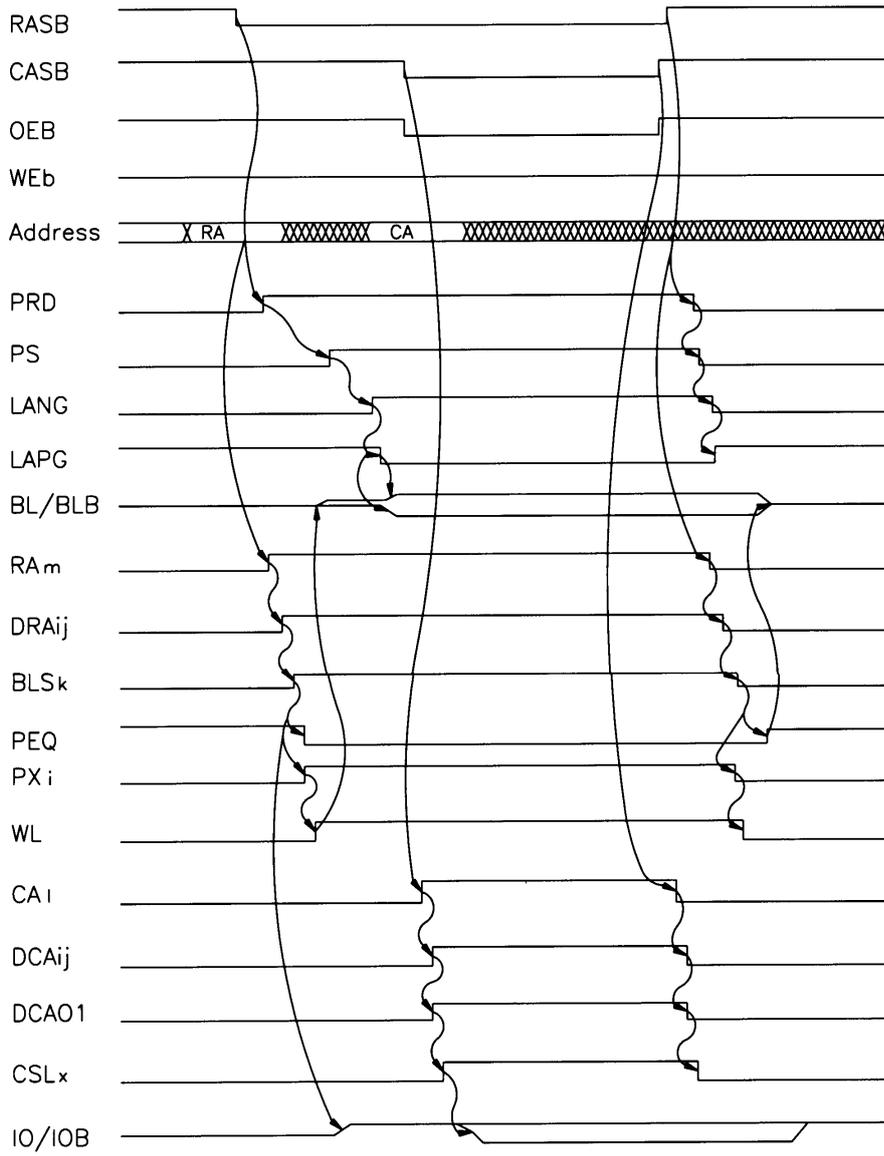
직렬 연결된 적어도 두 개 이상으로 구성됨에 따라 소정 시간 지연되고 상기 제 1 검출 신호와 동일 위상을 갖는 상기 제 2 검출 신호를 발생하는 복수 개의 인버터들로 구성되는 반도체 메모리 장치.

도면

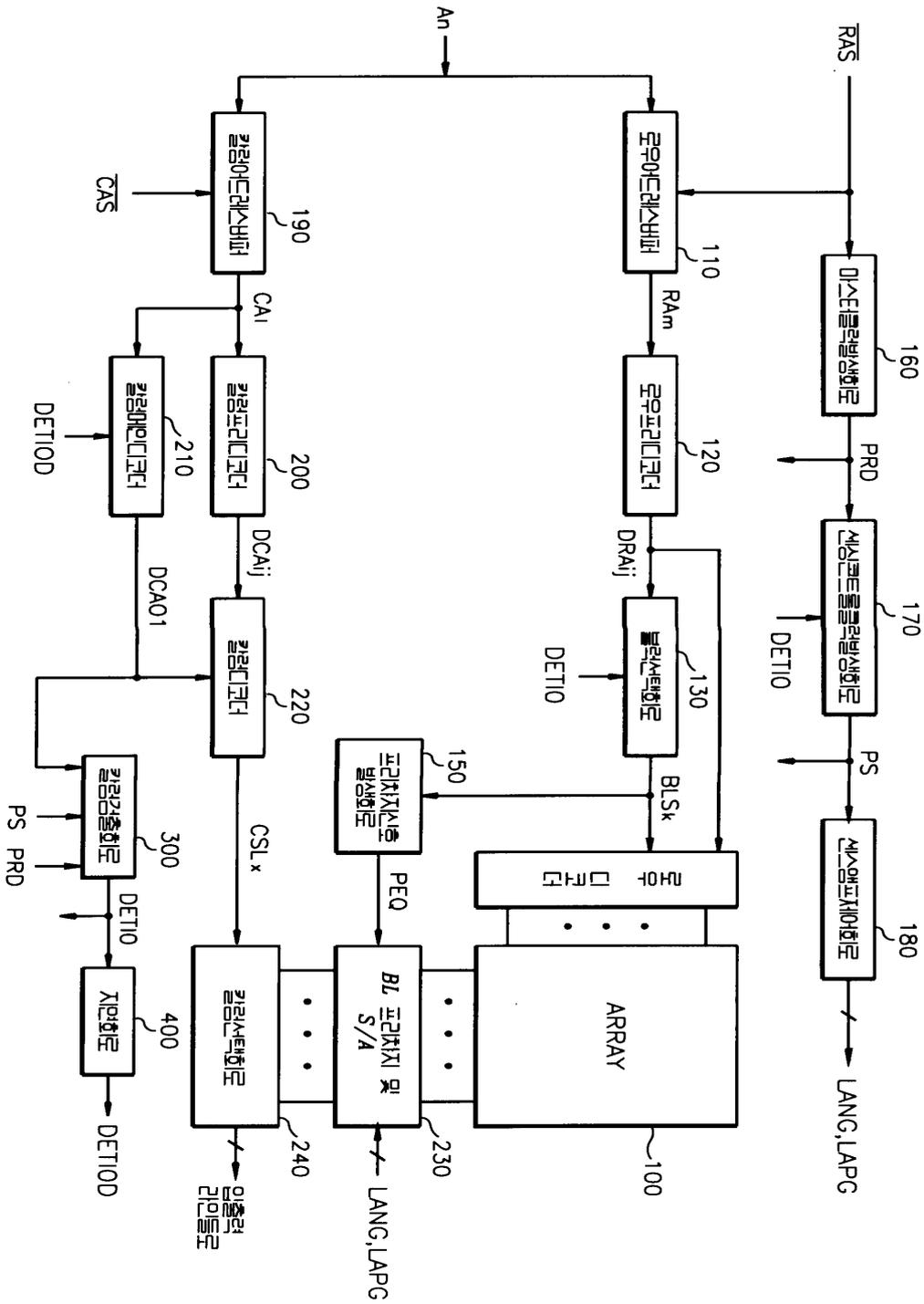
도면1



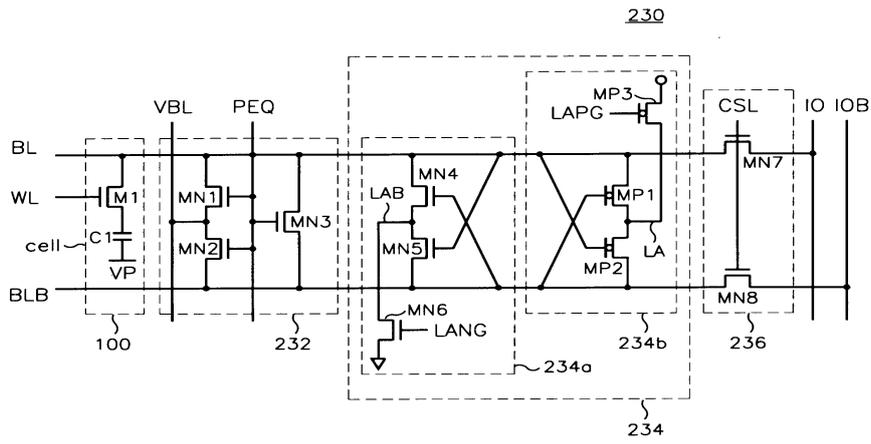
도면2



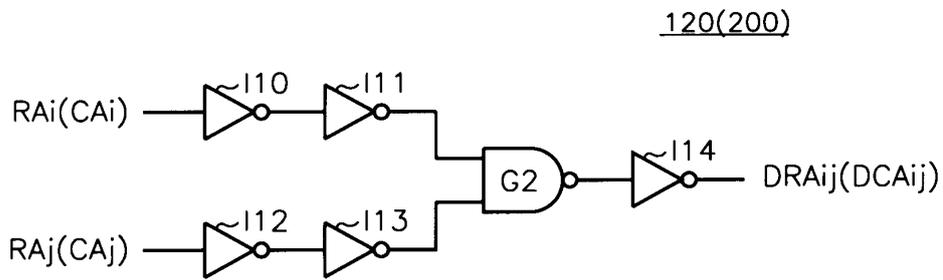
도면3



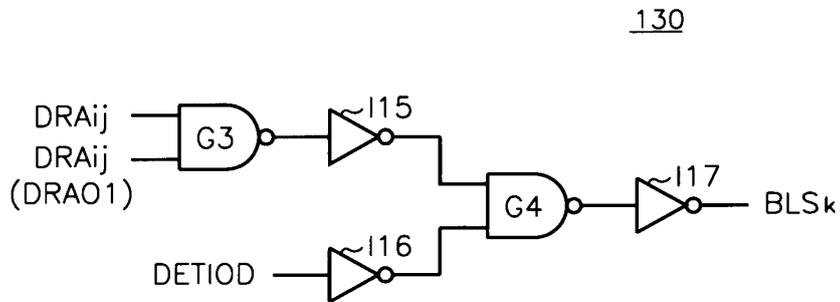
도면4



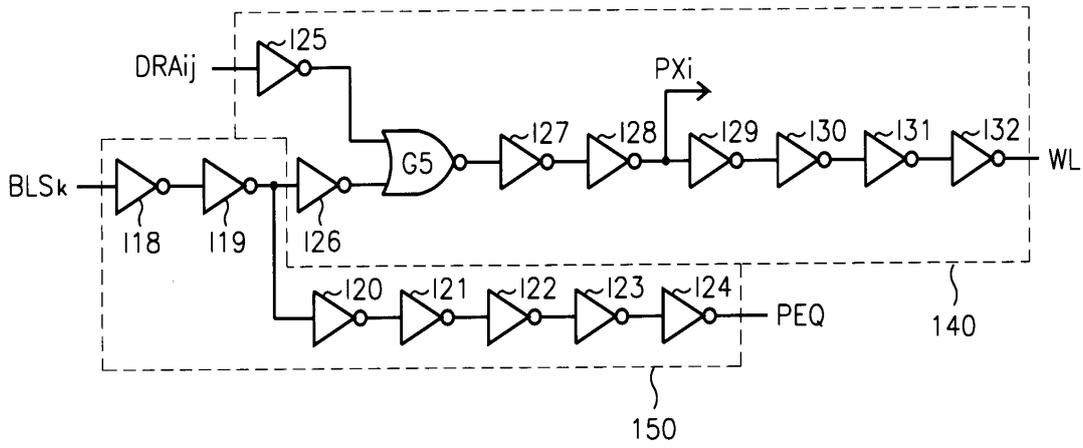
도면5



도면6

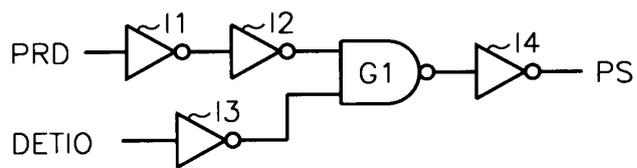


도면7



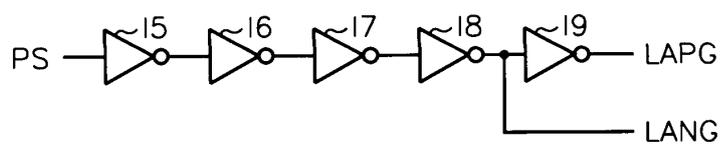
도면8

170

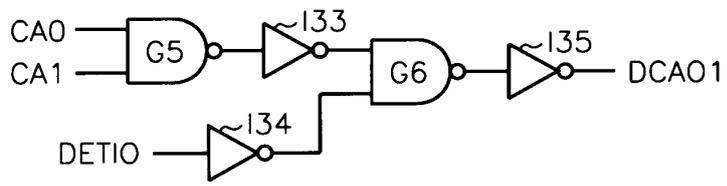


도면9

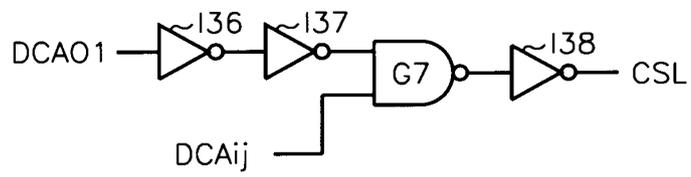
180



도면10

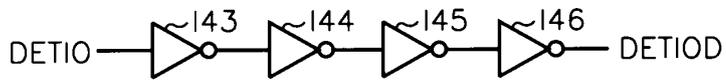
210

도면11

220

도면 13

400



도면 14

