



(12)发明专利

(10)授权公告号 CN 108269812 B

(45)授权公告日 2019.02.15

(21)申请号 201711388186.2

(22)申请日 2017.12.20

(65)同一申请的已公布的文献号
申请公布号 CN 108269812 A

(43)申请公布日 2018.07.10

(73)专利权人 武汉新芯集成电路制造有限公司
地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 曹静 潘震 胡胜

(74)专利代理机构 上海申新律师事务所 31272
代理人 俞涤炯

(51)Int.Cl.
H01L 27/146(2006.01)

(56)对比文件

CN 104658976 A,2015.05.27,
CN 101800233 A,2010.08.11,
CN 100385621 C,2008.04.30,

审查员 王宝林

权利要求书1页 说明书3页 附图5页

(54)发明名称

一种优化的芯片级封装工艺方法

(57)摘要

本发明提供了一种优化的芯片级封装工艺方法,其中,提供一第一晶圆,包括以下步骤:于第一晶圆表面形成第一沟槽结构;于第一晶圆表面形成第二沟槽结构;对第一沟槽结构和第二沟槽结构进行填充;对填充后的第一晶圆表面进行平坦化,至露出第一晶圆表面;于第一晶圆表面形成焊盘结构;将第一晶圆形成有焊盘结构的一面与一第二晶圆相键合;对第一晶圆减薄一预定厚度;于减薄后的第一晶圆表面引出金属线,进行后续封装工艺;有益效果:使用新的工艺后,可以完全屏蔽后续封装工艺金属引线对器件的影响,简化当前的工艺流程,从而减少多道工艺流程,提高产品的可靠性。



1. 一种优化的芯片级封装工艺方法,其特征在于,提供一第一晶圆,包括以下步骤:
步骤S1,于所述第一晶圆表面形成第一沟槽结构;
步骤S2,于所述第一晶圆表面形成第二沟槽结构;
步骤S3,对所述第一沟槽结构和所述第二沟槽结构进行填充;
步骤S4,对填充后的所述第一晶圆表面进行平坦化,至露出所述第一晶圆表面;
步骤S5,于所述第一晶圆表面形成焊盘结构;
步骤S6,将所述第一晶圆形成有所述焊盘结构的一面与一第二晶圆相键合;
步骤S7,对所述第一晶圆减薄一预定厚度;
步骤S8,于减薄后的所述第一晶圆表面引出金属线。
2. 根据权利要求1所述的方法,其特征在于,所述步骤S1中形成所述第一沟槽的步骤为:
步骤S11,于所述第一晶圆表面形成一第一光刻层,图案化所述第一光刻层,于一预定位置形成工艺窗口;
步骤S12,通过所述第一光刻层对所述第一晶圆进行刻蚀,停留于所述第一晶圆内一第一预定深度;
步骤S13,去除所述第一光刻层,形成所述第一沟槽结构。
3. 根据权利要求2所述的方法,其特征在于,所述步骤S2中形成所述第二沟槽结构的步骤为:
步骤S21,于所述第一晶圆表面形成一第二光刻层,图案化所述第二光刻层,于一预定位置形成工艺窗口;
步骤S22,通过所述第二光刻层对所述第一晶圆进行刻蚀,停留于所述第一晶圆内一第二预定深度;
步骤S23,去除所述第二光刻层,形成所述第二沟槽结构。
4. 根据权利要求3所述的方法,其特征在于,所述第一预定深度小于所述第二预定深度。
5. 根据权利要求1所述的方法,其特征在于,所述步骤S3中通过沉积一氧化层进行填充。
6. 根据权利要求1所述的方法,其特征在于,所述第一沟槽结构的深度不大于0.3微米。
7. 根据权利要求1所述的方法,其特征在于,所述步骤S8后,还包括进行后续的封装步骤。
8. 根据权利要求1所述的方法,其特征在于,所述第二沟槽结构形成于所述第一沟槽结构的侧边。
9. 根据权利要求1所述的方法,其特征在于,所述方法适用于背照式图像传感器。

一种优化的芯片级封装工艺方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种优化的芯片级封装工艺方法。

背景技术

[0002] 当前一种背照式(Back Side Illumination,BSI)传感器CSP(Chip Scale Package,芯片级封装)封装工艺,是从承载硅片面做金属线引脚。使用现有工艺制成的焊盘结构示意图如图1a和图1b所示,包括硅基底11,浅沟槽12,金属焊盘13,氧化物层14。为确保金属线能完全导出,深孔会穿透器件(device)芯片和背照式传感器的焊盘(BSI BOND PAD)而停在封装材料上,因为器件沟槽隔离深度只有不到0.3um的深度,后续器件减薄后的厚度大于2um,远大于沟槽的厚度,这就导致封装金属引线会接触Si,对器件可靠性有潜在的影响,需要致力于工艺优化来提高产品质量;

[0003] 另外,因为深孔会穿透器件芯片和背照式传感器的焊盘而停在封装材料上,所以背照式传感器将器件金属引线导出并连通的工艺就显得有点多余了。

发明内容

[0004] 针对上述问题,本发明提供了一种优化的芯片级封装工艺方法,其中,提供一第一晶圆,包括以下步骤:

[0005] 步骤S1,于所述第一晶圆表面形成第一沟槽结构;

[0006] 步骤S2,于所述第一晶圆表面形成第二沟槽结构;

[0007] 步骤S3,对所述第一沟槽结构和所述第二沟槽结构进行填充;

[0008] 步骤S4,对填充后的所述第一晶圆表面进行平坦化,至露出所述第一晶圆表面;

[0009] 步骤S5,于所述第一晶圆表面形成焊盘结构;

[0010] 步骤S6,将所述第一晶圆形成有所述焊盘结构的一面与一第二晶圆相键合;

[0011] 步骤S7,对所述第一晶圆减薄一预定厚度;

[0012] 步骤S8,于减薄后的所述第一晶圆表面引出金属线。

[0013] 其中,所述步骤S1中形成所述第一沟槽的步骤为:

[0014] 步骤S11,于所述第一晶圆表面形成一第一光刻层,图案化所述第一光刻层,于一预定位置形成工艺窗口;

[0015] 步骤S12,通过所述第一光刻层对所述第一晶圆进行刻蚀,停留于所述第一晶圆内一第一预定深度;

[0016] 步骤S13,去除所述第一光刻层,形成所述第一沟槽结构。

[0017] 其中,所述步骤S2中形成所述第二沟槽结构的步骤为:

[0018] 步骤S21,于所述第一晶圆表面形成一第二光刻层,图案化所述第二光刻层,于一预定位置形成工艺窗口;

[0019] 步骤S22,通过所述第二光刻层对所述第一晶圆进行刻蚀,停留于所述第一晶圆内一第二预定深度;

- [0020] 步骤S23,去除所述第二光刻层,形成所述第二沟槽结构。
- [0021] 其中,所述第一预定深度小于所述第二预定深度。
- [0022] 其中,所述步骤3中通过沉积氧化层进行填充。
- [0023] 其中,所述第一沟槽结构的深度不大于0.3微米。
- [0024] 其中,所述步骤S8后,还包括进行后续的封装步骤。
- [0025] 其中,所述第二沟槽结构形成于所述第一沟槽结构的侧边。
- [0026] 其中,所述方法适用于背照式图像传感器。
- [0027] 有益效果:使用新的工艺后,可以完全屏蔽后续封装工艺金属引线对器件的影响,简化当前的工艺流程,从而减少多道工艺流程,提高产品的可靠性。

附图说明

- [0028] 图1a现有技术形成的结构的剖面图;
- [0029] 图1b现有技术形成的结构的俯视图;
- [0030] 图2现有技术中封装后的结构的剖面图;
- [0031] 图3a本发明形成的结构的剖面图;
- [0032] 图3b本发明形成的结构的俯视图;
- [0033] 图4本发明形成的结构封装后的剖面图;
- [0034] 图5本发明总流程图;
- [0035] 图6本发明形成第一沟槽结构的流程图;
- [0036] 图7本发明形成第二沟槽结构的流程图。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0039] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0040] 如图5所示,提出了一种优化的芯片级封装工艺方法,其中,提供一第一晶圆31,包括以下步骤:

- [0041] 步骤S1,于所述第一晶圆31表面形成第一沟槽结构32;
- [0042] 步骤S2,于所述第一晶圆31表面形成第二沟槽结构33;
- [0043] 步骤S3,对所述第一沟槽结构32和所述第二沟槽结构33进行填充;
- [0044] 步骤S4,对填充后的所述第一晶圆31表面进行平坦化,至露出所述第一晶圆31表面,形成如图3a和图3b所示的结构;
- [0045] 步骤S5,于所述第一晶圆31表面形成焊盘结构;
- [0046] 步骤S6,将所述第一晶圆31形成有所述焊盘结构的一面与一第二晶圆相键合;
- [0047] 步骤S7,对所述第一晶圆31减薄一预定厚度;

- [0048] 步骤S8,于减薄后的所述第一晶圆31表面引出金属线。
- [0049] 上述技术方案可以完全屏蔽后续封装工艺金属引线对器件的影响,简化当前的工艺流程,从而减少多道工艺流程,提高产品的可靠性。
- [0050] 在一个较佳的实施例中,如图6所示,所述步骤S1中形成所述第一沟槽32的步骤为:
- [0051] 步骤S11,于所述第一晶圆31表面形成一第一光刻层,图案化所述第一光刻层,于一预定位置形成工艺窗口;
- [0052] 步骤S12,通过所述第一光刻层对所述第一晶圆31进行刻蚀,停留于所述第一晶圆1内一第一预定深度;
- [0053] 步骤S13,去除所述第一光刻层,形成所述第一沟槽结构32。
- [0054] 在一个较佳的实施例中,如图7所示,所述步骤S2中形成所述第二沟槽结构33的步骤为:
- [0055] 步骤S21,于所述第一晶圆31表面形成一第二光刻层,图案化所述第二光刻层,于一预定位置形成工艺窗口;
- [0056] 步骤S22,通过所述第二光刻层对所述第一晶圆31进行刻蚀,停留于所述第一晶圆31内一第二预定深度;
- [0057] 步骤S23,去除所述第二光刻层,形成所述第二沟槽结构33。
- [0058] 在一个较佳的实施例中,第一预定深度小于第二预定深度,即第一沟槽结构32的深度小于第二沟槽结构33的深度。
- [0059] 上述技术方案中两种沟槽结构之间存在高度差可以保证更好地隔离效果。
- [0060] 在一个较佳的实施例中,所述步骤3中通过沉积氧化层进行填充。
- [0061] 上述技术方案中,使用氧化层进行填充可更好地保证隔离效果。
- [0062] 在一个较佳的实施例中,所述第一沟槽结构的深度不大于0.3微米。
- [0063] 在一个较佳的实施例中,所述步骤S8后,还包括进行后续的封装步骤。
- [0064] 上述技术方案中,后续的封装步骤为本领域常用的技术手段,故不在此详述。
- [0065] 在一个较佳的实施例中,所述第二沟槽结构形成于所述第一沟槽结构的侧边。
- [0066] 上述技术方案中,第二沟槽与第一沟槽存在高度差可以起到更好的隔离效果。
- [0067] 在一个较佳的实施例中,所述方法适用于背照式图像传感器。
- [0068] 上述技术方案中,如图2和图4所示,根据本发明方法制作、封装后的传感器剖面图和现有技术制作、封装的传感器剖面图并无显著的区别。
- [0069] 上述技术方案中,本发明的方法在现有技术的基础上减少了多个步骤,在达成相同目的的情况下,大大节约了制造成本。
- [0070] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的实施方式及保护范围,对于本领域技术人员而言,应当能够意识到凡运用本发明说明书及图示内容所作出的等同替换和显而易见的变化所得到的方案,均应当包含在本发明的保护范围内。

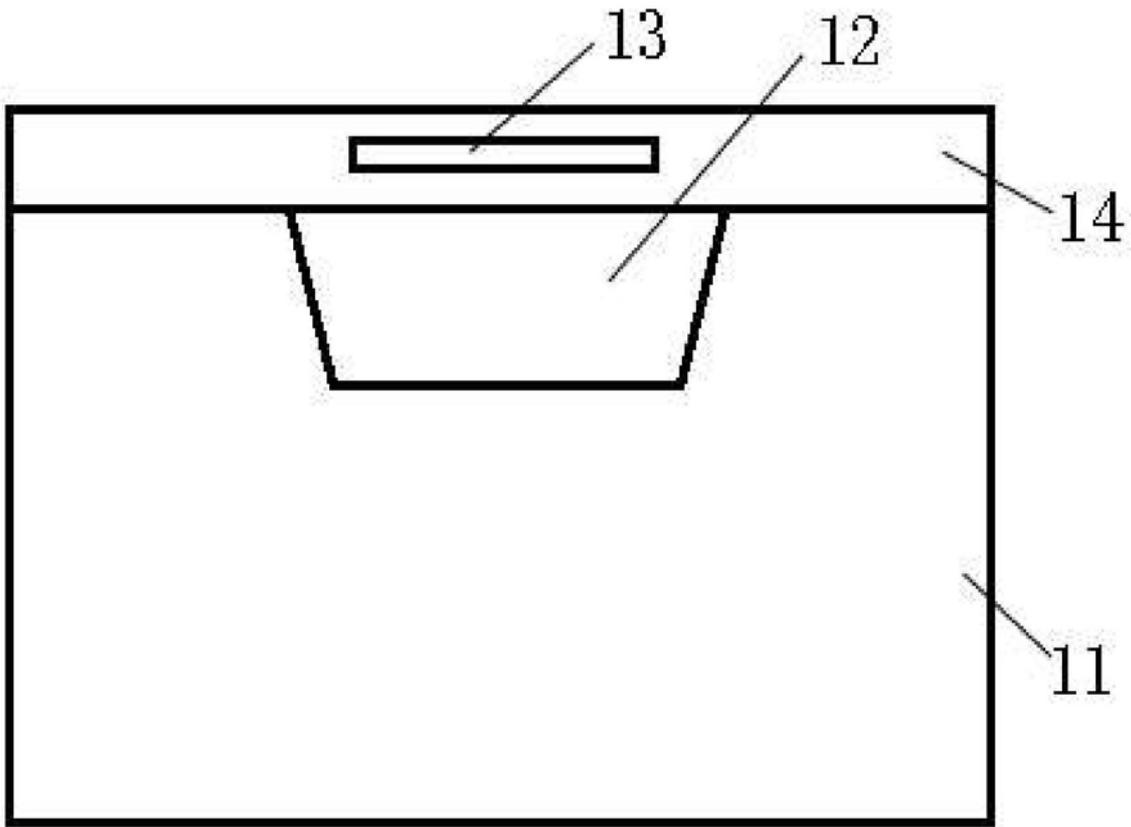


图1a

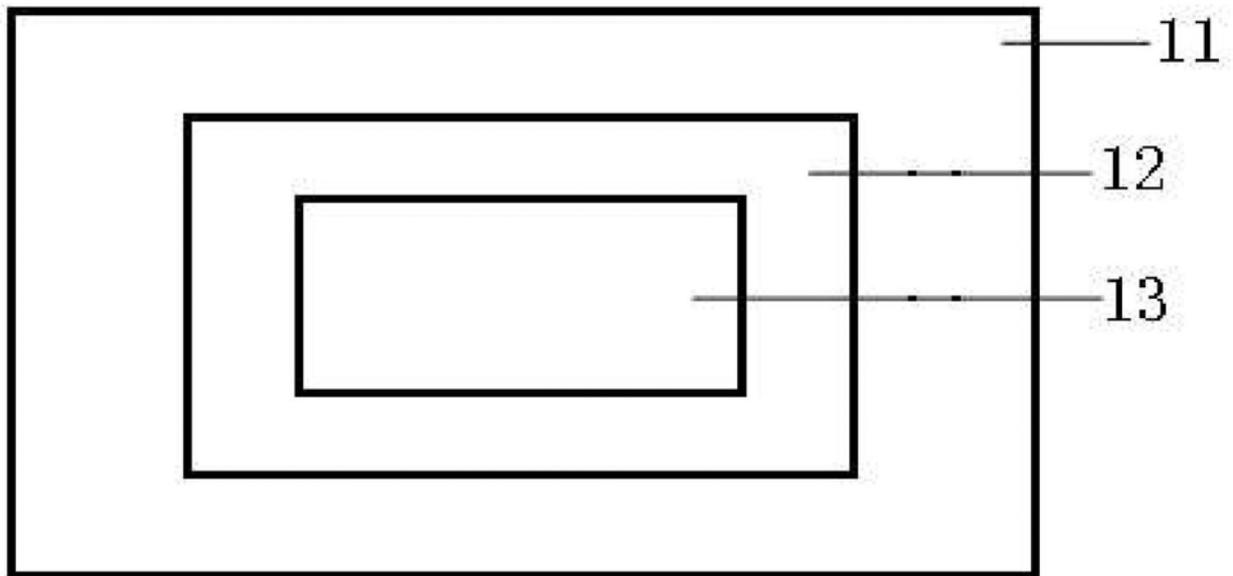


图1b

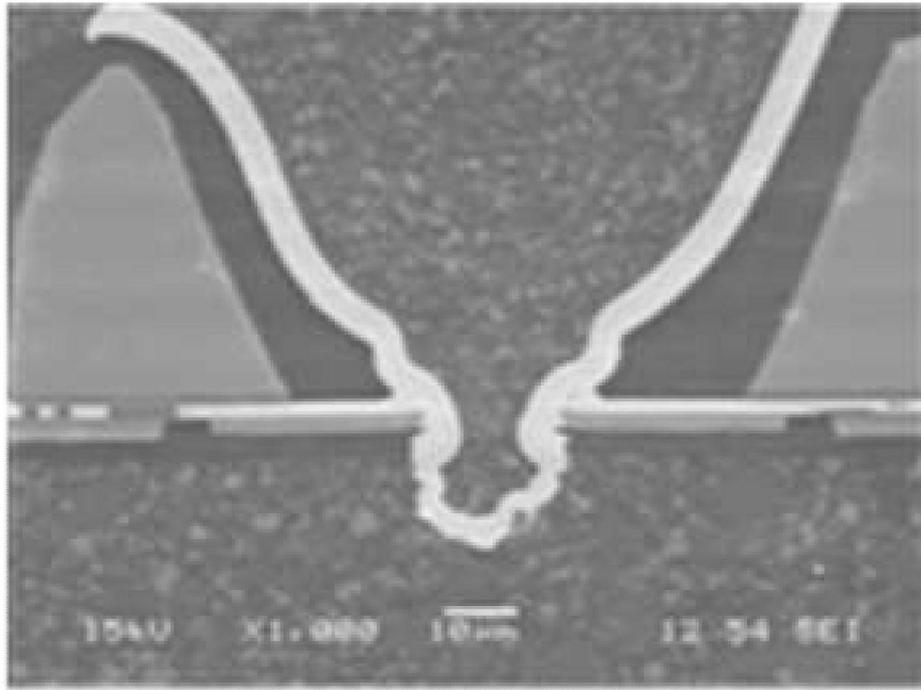


图2

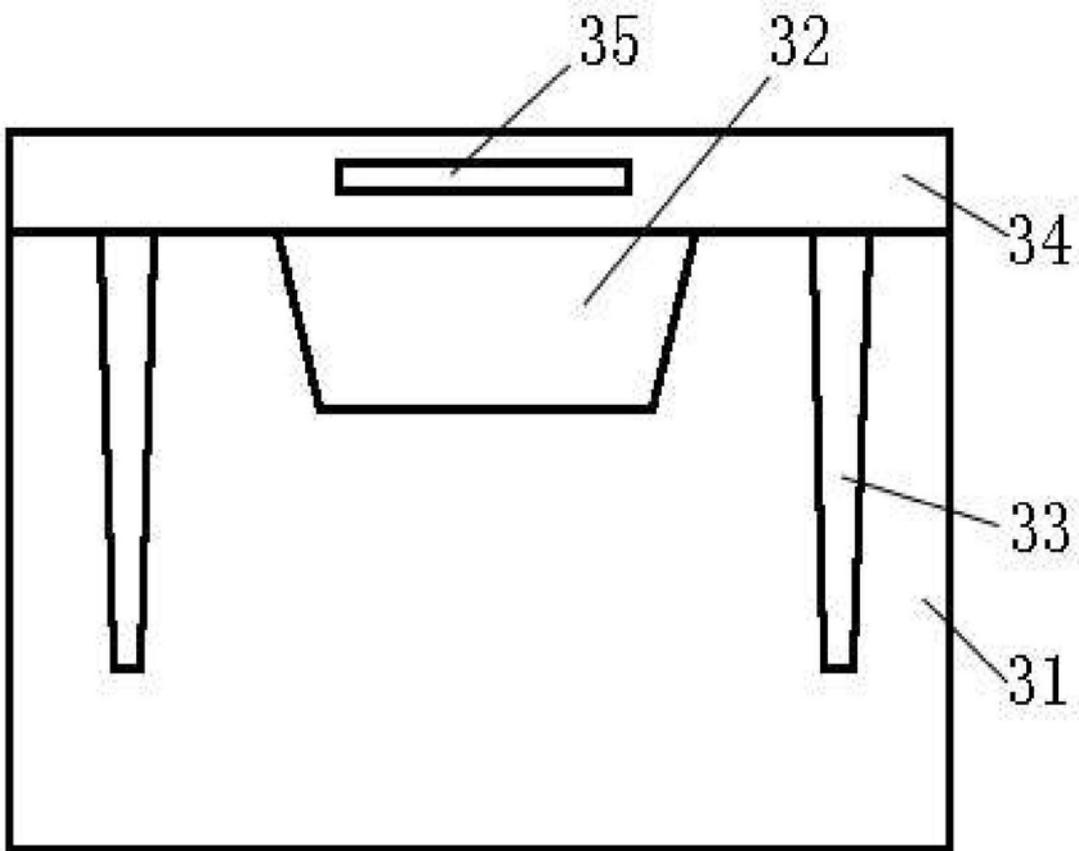


图3a

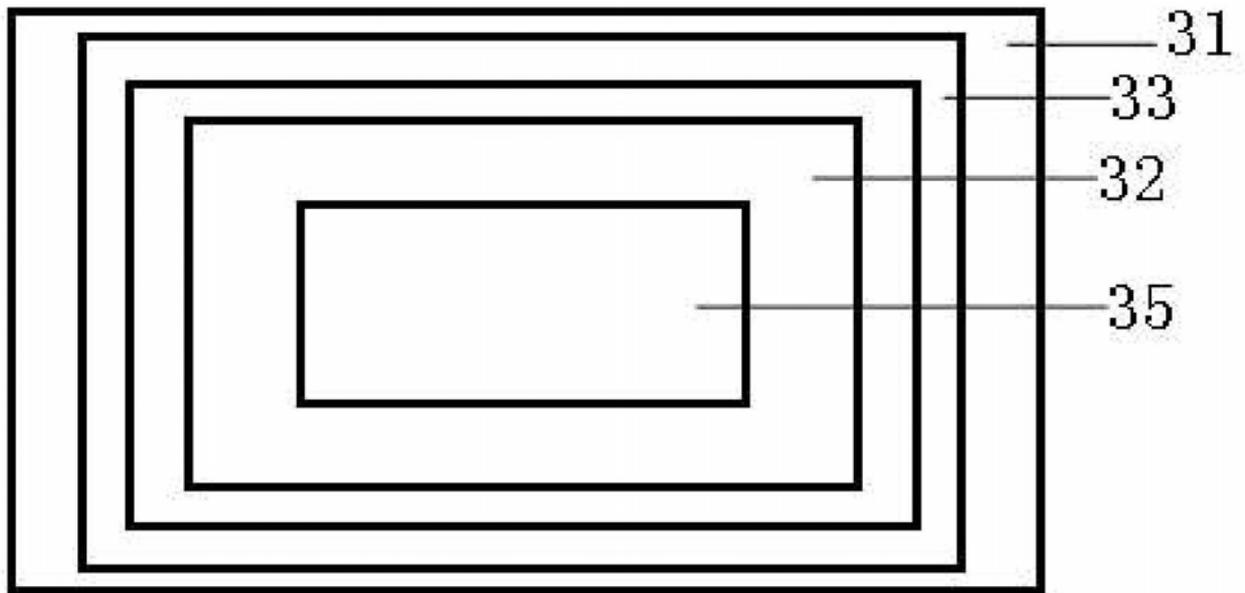


图3b

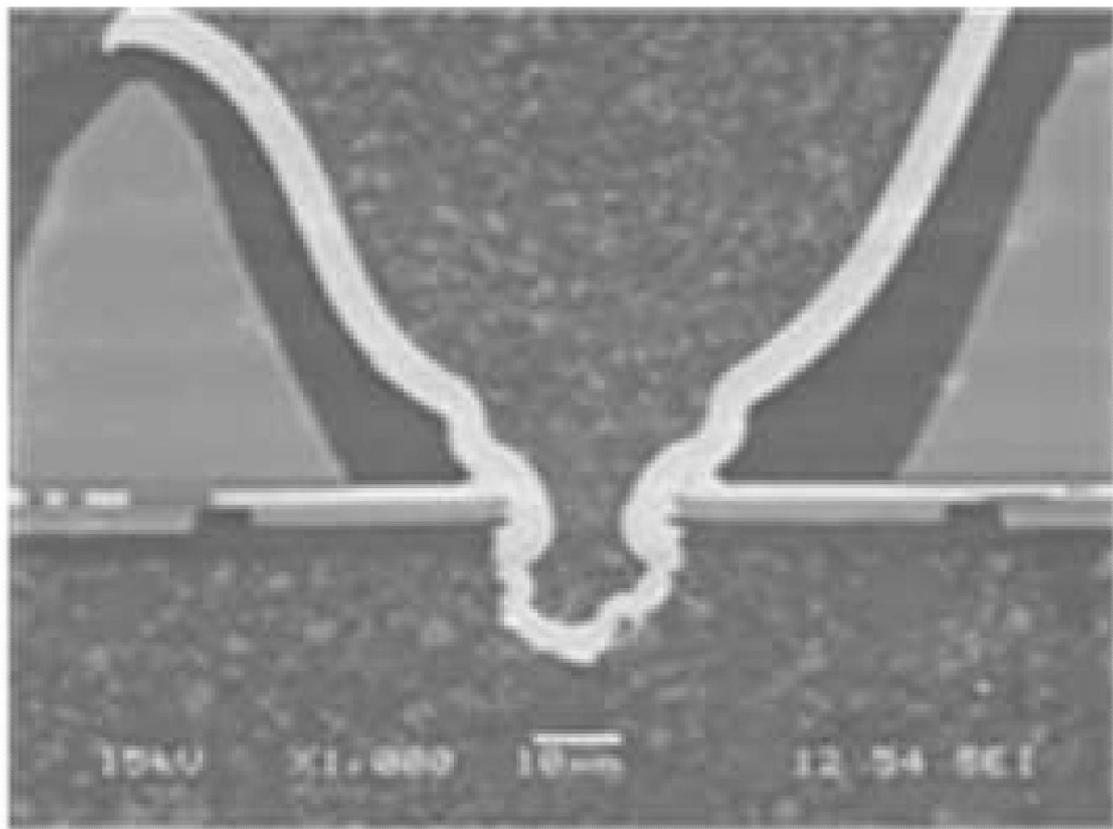


图4

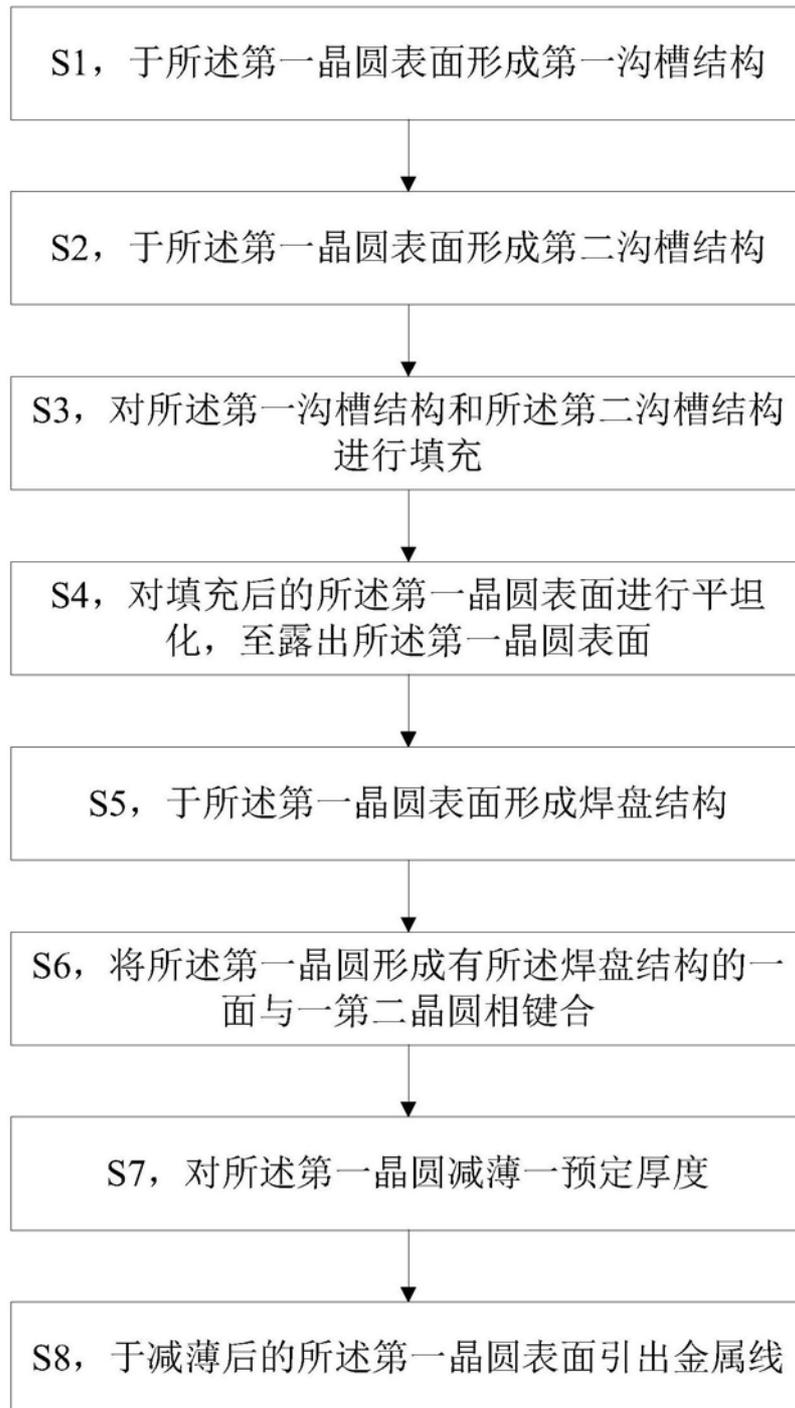


图5

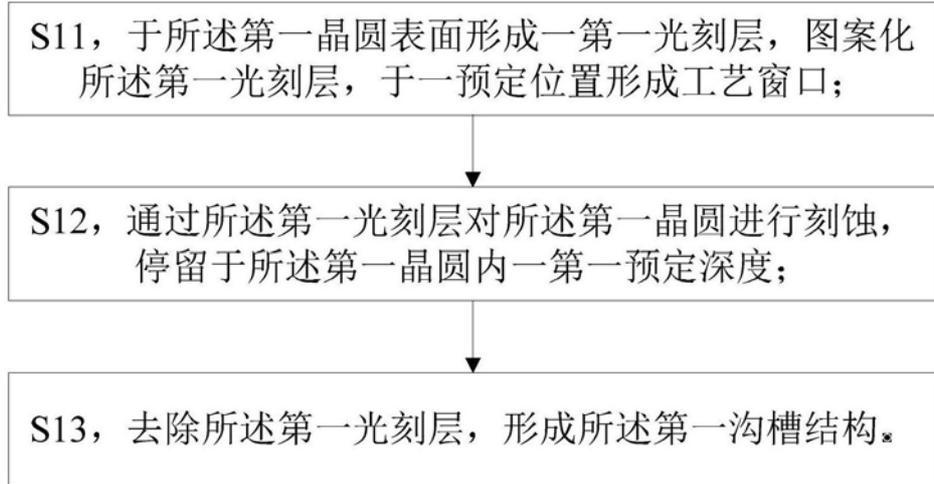


图6

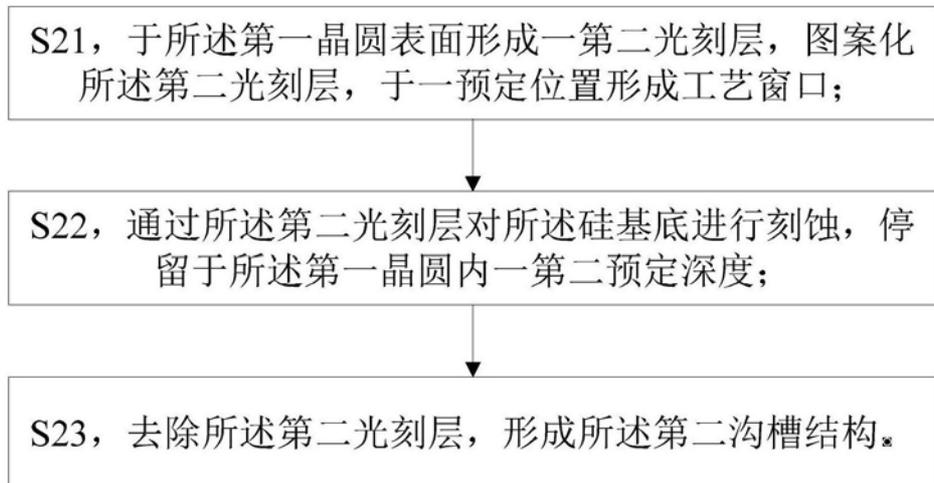


图7