



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0008756  
(43) 공개일자 2008년01월24일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/><i>H01L 21/8242</i> (2006.01)</p> <p>(21) 출원번호 10-2006-0068418</p> <p>(22) 출원일자 2006년07월21일<br/>심사청구일자 2006년07월21일</p> | <p>(71) 출원인<br/>삼성전자주식회사<br/>경기도 수원시 영통구 매탄동 416</p> <p>(72) 발명자<br/>윤재만<br/>서울 관악구 봉천6동 우성아파트 102동 1602호<br/>이강윤<br/>경기 성남시 분당구 정자동 정든마을한진6단지아파트 605동1102호<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>박영우</p> |
|---|--|

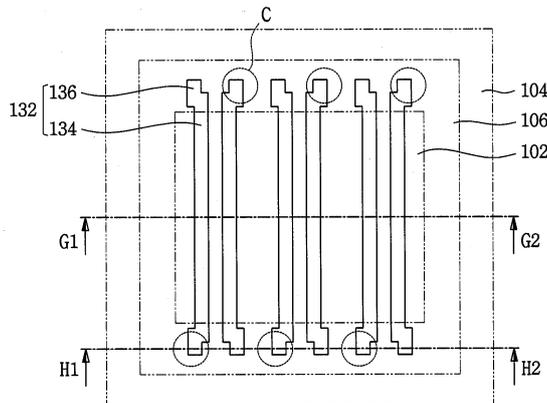
전체 청구항 수 : 총 20 항

**(54) 반도체 장치의 신호 라인 구조물 및 이를 제조하는 방법**

**(57) 요약**

반도체 장치의 신호 라인 구조물을 제조하는 방법에서, 다수의 도전성 신호 라인들과 다수의 인터페이스 패드들은 메모리 셀 영역과 주변 회로 영역 및 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에 배치되는 인터페이스 영역을 갖는 기판 상에 형성된다. 상기 다수의 신호 라인들은 제1 방향으로 연장하며 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열되는 다수의 신호 라인 쌍들(pairs)로 이루어지고, 상기 신호 라인 쌍들 사이의 제1 간격이 각각의 신호 라인 쌍들을 이루는 두 개의 신호 라인들 사이의 제2 간격보다 넓게 되도록 상기 메모리 셀 영역 상에 배치된다. 상기 인터페이스 패드들은 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에서의 신호 전달을 위하여 상기 도전성 신호 라인들의 단부들에 각각 연결되며, 상기 제2 방향으로 일정한 간격을 두고 상기 인터페이스 영역 상에 배치된다. 따라서, 후속하는 인터페이스 공정에서 충분한 공정 마진이 확보될 수 있으며, 이에 따라 상기 신호 라인들 사이에서의 전기적 브릿지 현상이 감소될 수 있다.

**대표도** - 도8a



(72) 발명자

**김윤기**

경기 용인시 기흥구 신갈동 드림랜드아파트 116-2  
번지 101동1211호

**손영웅**

경기 화성시 반월동 신영통현대3차아파트 309동  
502호

---

## 특허청구의 범위

### 청구항 1

기판의 메모리 셀 영역 상에서 제1 방향으로 연장하며 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열된 다수의 신호 라인들; 및

상기 기판의 메모리 셀 영역과 주변 회로 영역 사이의 인터페이스 영역 상에 형성되고, 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에서의 신호 전달을 위하여 상기 도전성 신호 라인들과 각각 전기적으로 연결된 다수의 인터페이스 패드들을 포함하며,

각각의 신호 라인은 인접하는 신호 라인들로부터 서로 다른 간격들로 이격되어 배치되며, 상기 인터페이스 패드들은 일정한 간격으로 이격되어 배치되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 2

제1항에 있어서, 상기 다수의 신호 라인들은 상기 제2 방향으로 배열되는 다수의 신호 라인 쌍들(pairs)을 포함하며, 상기 신호 라인 쌍들 사이의 제1 간격은 각각의 신호 라인들을 이루는 두 개의 신호 라인들 사이의 제2 간격보다 넓게 배치되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 3

제1항에 있어서, 상기 다수의 인터페이스 패드들은 상기 다수의 신호 라인들의 단부들에 각각 연결되어 상기 제2 방향으로 배열되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 4

제1항에 있어서, 상기 다수의 신호 라인들과 상기 인터페이스 패드들은 동일한 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 5

제1항에 있어서, 상기 인터페이스 패드들은 각각의 신호 라인들의 양측 단부들에 연결되며, 상기 각각의 신호 라인들과 상기 각각의 신호 라인들의 양측 단부들에 연결된 인터페이스 패드들은 각각 일체로 형성되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 6

제1항에 있어서, 각각의 신호 라인들과 각각의 인터페이스 패드들은 실질적으로 동일한 선포를 갖는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물.

### 청구항 7

메모리 셀 영역과 주변 회로 영역 및 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에 배치되는 인터페이스 영역을 갖는 기판을 준비하는 단계; 및

상기 기판의 메모리 셀 영역 상에서 제1 방향으로 연장하며 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열된 다수의 신호 라인들과, 상기 기판의 메모리 셀 영역과 주변 회로 영역 사이의 인터페이스 영역 상에서 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에서의 신호 전달을 위하여 상기 도전성 신호 라인들과 각각 전기적으로 연결되는 다수의 인터페이스 패드들을 형성하는 단계를 포함하며,

각각의 신호 라인은 인접하는 신호 라인들로부터 서로 다른 간격들로 이격되도록 형성되며, 상기 인터페이스 패드들은 일정한 간격으로 이격되도록 형성되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

### 청구항 8

제7항에 있어서, 상기 다수의 신호 라인들은 상기 제2 방향으로 배열되는 다수의 신호 라인 쌍들(pairs)을 포함하며, 상기 신호 라인 쌍들 사이의 제1 간격은 각각의 신호 라인들을 이루는 두 개의 신호 라인들 사이의 제2 간격보다 넓게 배치되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 9**

제7항에 있어서, 상기 다수의 인터페이스 패드들은 상기 다수의 신호 라인들의 단부들에 각각 연결되어 상기 제 2 방향으로 배열되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 10**

제7항에 있어서, 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계는,

상기 기판 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 위한 도전막을 형성하는 단계;

상기 도전막 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하기 위한 마스크 패턴들을 형성하는 단계; 및

상기 마스크 패턴들을 식각 마스크로 사용하여 상기 도전막을 식각함으로써 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 11**

제10항에 있어서, 상기 마스크 패턴들을 형성하는 단계는,

상기 도전막 상에 희생막을 형성하는 단계;

상기 희생막을 패터닝하여, 상기 메모리 셀 영역 상의 도전막 부위를 노출시키며 제1 폭을 각각 갖는 제1 개구부들과, 상기 인터페이스 영역 상의 도전막 부위를 노출시키며 상기 제1 개구부들의 양측 부위들과 각각 연결되어 상기 제1 폭보다 넓은 제2 폭을 각각 갖는 제2 개구부들을 포함하는 다수의 개구부들을 형성하는 단계;

상기 개구부들을 한정하는 측면들 상에 스페이서들을 형성하는 단계; 및

상기 스페이서들의 양측 부위들을 제거하여 상기 마스크 패턴들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 12**

제11항에 있어서, 상기 마스크 패턴을 형성한 후, 상기 패터닝된 희생막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 13**

제11항에 있어서, 상기 희생막은 실리콘 산화물, 실리콘 질화물 및 폴리실리콘으로 이루어지는 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 14**

제13항에 있어서, 상기 스페이서들은 상기 희생막에 대하여 식각 선택비를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 15**

제7항에 있어서, 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계는,

상기 기판 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 위한 몰드막을 형성하는 단계;

상기 몰드막을 패터닝하여 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하기 위한 개구부들을 형성하는 단계; 및

상기 개구부들을 도전성 물질로 매립하여 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 16**

제15항에 있어서, 상기 개구부들을 형성하는 단계는,

상기 몰드막을 패터닝하여, 상기 메모리 셀 영역을 노출시키며 제1 폭을 각각 갖는 라인형 개구부들과, 상기 인터페이스 영역을 노출시키며 상기 라인형 개구부들의 양측 부위들과 각각 연결되어 상기 제1 폭보다 넓은 제2 폭을 각각 갖는 장방형 개구부들을 포함하는 다수의 제2 개구부들을 형성하는 단계; 및

상기 제2 개구부들 내에 상기 개구부들을 한정하는 몰드 패턴들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 17**

제16항에 있어서, 상기 몰드막과 상기 몰드 패턴들은 실질적으로 동일한 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 18**

제16항에 있어서, 상기 개구부들을 한정하는 몰드 패턴들을 형성하는 단계는,

상기 제2 개구부들을 한정하는 측면들 상에 스페이서들을 형성하는 단계;

상기 스페이서들의 양측 부위들을 제거하여, 희생 패턴들을 형성하고, 상기 장방형 개구부들을 한정하는 측면들과 상기 희생 패턴들의 측면들에 의해 한정된 제3 개구부들을 형성하는 단계;

상기 제3 개구부들을 매립하여 상기 몰드 패턴들을 형성하는 단계; 및

상기 희생 패턴들을 제거하여 상기 개구부들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 19**

제18항에 있어서, 상기 스페이서들은 상기 몰드막에 대하여 식각 선택비를 갖는 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**청구항 20**

제18항에 있어서, 상기 몰드 패턴들을 형성하는 단계는,

상기 제3 개구부들을 매립하기 위하여 상기 제3 개구부들과 상기 희생 패턴들 및 상기 몰드막 상에 제2 몰드막을 형성하는 단계; 및

상기 희생 패턴들 및 상기 몰드막이 노출될 때까지 상기 제2 몰드막을 평탄화시키는 단계를 포함하며,

상기 평탄화 단계는 상기 노출되는 희생 패턴들이 평탄한 상부면을 갖도록 수행되는 것을 특징으로 하는 반도체 장치의 신호 라인 구조물 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<13> 본 발명은 반도체 장치의 신호 라인 구조물 및 이를 제조하는 방법에 관한 것이다. 보다 상세하게는, DRAM(dynamic random access memory) 장치 또는 플래시 메모리 장치와 같은 반도체 메모리 장치에서 사용되는 신호 라인 구조물 및 이를 제조하는 방법에 관한 것이다.

<14> 일반적으로, 반도체 장치는 일련의 단위 공정들을 반복적으로 수행함으로써 제조될 수 있다. 예를 들면, 증착 공정은 반도체 기판으로서 사용되는 실리콘웨이퍼 상에 막을 형성하기 위하여 수행되며, 식각 공정은 상기 막을 패터닝하여 전기적 특성들을 갖는 패턴들로 형성하기 위하여 수행된다. 또한, 포토리소그래피 공정은 상기 식각 공정에서 식각 마스크로서 사용되는 포토레지스트 패턴을 형성하기 위하여 수행되며, 에칭 및 스트립 공정은 상기 포토레지스트 패턴을 제거하기 위하여 수행된다.

- <15> 상기 포토리소그래피 공정은 반도체 기판 상에 포토레지스트 막을 형성하기 위한 포토레지스트 코팅 공정, 상기 포토레지스트 막을 경화시키기 위한 베이킹 공정, 레티클의 이미지를 상기 포토레지스트 막 상으로 전사하기 위한 노광 공정 및 전사된 이미지를 형상화하여 포토레지스트 패턴을 획득하기 위한 현상 공정 등을 포함할 수 있다.
- <16> 최근, 반도체 장치의 집적도 향상에 대한 요구에 부응하여 상기 노광 공정에서의 이미지 해상도를 향상시키기 위한 다양한 기술 개발이 이루어지고 있다. 예를 들면, 상기 노광 공정에서 사용되는 광원으로서 KrF 레이저, ArF 레이저, F<sub>2</sub> 레이저 등이 적용되고 있으며, 이에 따른 포토레지스트 조성물의 개발, 조명 방법 등이 다양하게 개발되고 있다. 이밖에도, 스페이서 패턴을 식각 마스크로 이용함으로써 노광 장치의 해상도를 극복하고자 하는 공정 개발이 활발하게 수행되고 있다.
- <17> 예를 들면, 대한민국 특허공개 제2000-0052195호, 제2005-0052213호 등에는 스페이서 패턴들을 이용하여 노광 장치의 해상도를 극복하는 방법들이 개시되어 있다.
- <18> 구체적으로, 상기 특허공개들에 따르면, 통상적인 사진 식각 공정을 통해 형성된 패턴들의 양쪽 측면들 상에 스페이서 패턴들을 형성하고, 상기 스페이서 패턴들을 식각 마스크로 이용하여 대상막(target layer)을 식각함으로써 상기 사진 식각 공정을 수행하기 위한 노광 장치의 해상도를 극복할 수 있다.
- <19> 그러나, 상기와 같이 대상막의 식각 공정에서 선폭을 감소시킬 수 있는 경우라 하더라도, 후속하는 인터페이스 공정에서 신호 라인들의 선폭 감소에 따른 공정 마진이 축소된다는 문제점이 발생될 수 있다. 구체적으로, 메모리 셀 영역의 신호 라인들과 주변 회로 영역의 주변 회로들 사이를 연결하는 전기적 콘택들을 형성하는 과정에서, 상기 콘택들에 의해 인접하는 신호 라인들 사이에서 전기적 브릿지 현상이 발생될 위험이 있다.

**발명이 이루고자 하는 기술적 과제**

- <20> 상기와 같은 문제점을 해결하기 위한 본 발명의 제1 목적은 반도체 장치의 메모리 셀 영역과 주변 회로 영역 사이를 연결하는 인터페이스 영역에 전기적 콘택들을 형성하는 과정에서 충분한 공정 마진을 확보할 수 있는 반도체 장치의 신호 라인 구조물을 제공하는데 있다.
- <21> 상기와 같은 문제점을 해결하기 위한 본 발명의 제2 목적은 반도체 장치의 메모리 셀 영역과 주변 회로 영역 사이를 연결하는 인터페이스 영역에 전기적 콘택들을 형성하는 과정에서 충분한 공정 마진을 확보할 수 있는 반도체 장치의 신호 라인 구조물 제조 방법을 제공하는데 있다.

**발명의 구성 및 작용**

- <22> 상기 제1 목적을 달성하기 위한 본 발명의 일 측면에 따른 반도체 장치의 신호 라인 구조물은, 기판의 메모리 셀 영역 상에서 제1 방향으로 연장하며 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열된 다수의 신호 라인들과, 상기 기판의 메모리 셀 영역과 주변 회로 영역 사이의 인터페이스 영역 상에 형성되고, 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에서의 신호 전달을 위하여 상기 도전성 신호 라인들과 각각 전기적으로 연결된 다수의 인터페이스 패드들을 포함할 수 있으며, 각각의 신호 라인은 인접하는 신호 라인들로부터 서로 다른 간격들로 이격되어 배치될 수 있으며, 상기 인터페이스 패드들은 일정한 간격으로 이격되어 배치될 수 있다.
- <23> 본 발명의 일 실시예에 따르면, 상기 다수의 신호 라인들은 상기 제2 방향으로 배열되는 다수의 신호 라인 쌍들(pairs)을 포함할 수 있으며, 상기 신호 라인 쌍들 사이의 제1 간격은 각각의 신호 라인들을 이루는 두 개의 신호 라인들 사이의 제2 간격보다 넓게 배치될 수 있다.
- <24> 상기 다수의 인터페이스 패드들은 상기 다수의 신호 라인들의 단부들에 각각 연결되어 상기 제2 방향으로 배열될 수 있으며, 상기 다수의 신호 라인들과 상기 인터페이스 패드들은 동일한 물질로 이루어질 수 있다.
- <25> 상기 인터페이스 패드들은 각각의 신호 라인들의 양측 단부들에 연결되며, 상기 각각의 신호 라인들과 상기 각각의 신호 라인들의 양측 단부들에 연결된 인터페이스 패드들은 각각 일체로 형성될 수 있다. 또한, 각각의 신호 라인들과 각각의 인터페이스 패드들은 실질적으로 동일한 선폭을 가질 수 있다.
- <26> 상기 제2 목적을 달성하기 위한 본 발명의 일 측면에 따른 반도체 장치의 신호 라인 제조 방법은, 메모리 셀 영역과 주변 회로 영역 및 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에 배치되는 인터페이스 영역을 갖는 기판을 준비하는 단계와, 상기 기판의 메모리 셀 영역 상에서 제1 방향으로 연장하며 상기 제1 방향에 대하여

실질적으로 수직하는 제2 방향으로 배열된 다수의 신호 라인들과, 상기 기관의 메모리 셀 영역과 주변 회로 영역 사이의 인터페이스 영역 상에서 상기 메모리 셀 영역과 상기 주변 회로 영역 사이에서의 신호 전달을 위하여 상기 도전성 신호 라인들과 각각 전기적으로 연결되는 다수의 인터페이스 패드들을 형성하는 단계를 포함할 수 있으며, 각각의 신호 라인은 인접하는 신호 라인들로부터 서로 다른 간격들로 이격되도록 형성될 수 있으며, 상기 인터페이스 패드들은 일정한 간격으로 이격되도록 형성될 수 있다.

- <27> 본 발명의 일 실시예에 따르면, 상기 다수의 신호 라인들은 상기 제2 방향으로 배열되는 다수의 신호 라인 쌍들 (pairs)을 포함할 수 있으며, 상기 신호 라인 쌍들 사이의 제1 간격은 각각의 신호 라인들을 이루는 두 개의 신호 라인들 사이의 제2 간격보다 넓게 배치될 수 있다.
- <28> 상기 다수의 인터페이스 패드들은 상기 다수의 신호 라인들의 단부들에 각각 연결되어 상기 제2 방향으로 배열될 수 있다.
- <29> 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계는, 상기 기관 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 위한 도전막을 형성하는 단계와, 상기 도전막 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하기 위한 마스크 패턴들을 형성하는 단계와, 상기 마스크 패턴들을 식각 마스크로 사용하여 상기 도전막을 식각함으로써 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계를 포함할 수 있다.
- <30> 상기 마스크 패턴들을 형성하는 단계는, 상기 도전막 상에 희생막을 형성하는 단계와, 상기 희생막을 패터닝하여, 상기 메모리 셀 영역 상의 도전막 부위를 노출시키며 제1 폭을 각각 갖는 제1 개구부들과, 상기 인터페이스 영역 상의 도전막 부위를 노출시키며 상기 제1 개구부들의 양측 부위들과 각각 연결되어 상기 제1 폭보다 넓은 제2 폭을 각각 갖는 제2 개구부들을 포함하는 다수의 개구부들을 형성하는 단계와, 상기 개구부들을 한정하는 측면들 상에 스페이서들을 형성하는 단계와, 상기 스페이서들의 양측 부위들을 제거하여 상기 마스크 패턴들을 형성하는 단계를 포함할 수 있다.
- <31> 상기 패터닝된 희생막은 마스크 패턴들을 형성한 후 제거될 수 있으며, 상기 희생막은 실리콘 산화물, 실리콘 질화물, 폴리실리콘 등으로 이루어질 수 있다.
- <32> 또한, 상기 스페이서들은 상기 희생막에 대하여 식각 선택비를 갖는 물질로 이루어질 수 있다.
- <33> 본 발명의 다른 실시예에 따르면, 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계는, 상기 기관 상에 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 위한 몰드막을 형성하는 단계와, 상기 몰드막을 패터닝하여 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하기 위한 개구부들을 형성하는 단계와, 상기 개구부들을 도전성 물질로 매립하여 상기 다수의 신호 라인들과 상기 인터페이스 패드들을 형성하는 단계를 포함할 수 있다.
- <34> 상기 개구부들을 형성하는 단계는, 상기 몰드막을 패터닝하여, 상기 메모리 셀 영역을 노출시키며 제1 폭을 각각 갖는 라인형 개구부들과, 상기 인터페이스 영역을 노출시키며 상기 라인형 개구부들의 양측 부위들과 각각 연결되어 상기 제1 폭보다 넓은 제2 폭을 각각 갖는 장방형 개구부들을 포함하는 다수의 제2 개구부들을 형성하는 단계와, 상기 제2 개구부들 내에 상기 개구부들을 한정하는 몰드 패턴들을 형성하는 단계를 포함할 수 있다.
- <35> 상기 몰드막과 상기 몰드 패턴들은 실질적으로 동일한 물질로 이루어질 수 있다.
- <36> 상기 개구부들을 한정하는 몰드 패턴들을 형성하는 단계는, 상기 제2 개구부들을 한정하는 측면들 상에 스페이서들을 형성하는 단계와, 상기 스페이서들의 양측 부위들을 제거하여, 희생 패턴들을 형성하고, 상기 장방형 개구부들을 한정하는 측면들과 상기 희생 패턴들의 측면들에 의해 한정된 제3 개구부들을 형성하는 단계와, 상기 제3 개구부들을 매립하여 상기 몰드 패턴들을 형성하는 단계와, 상기 희생 패턴들을 제거하여 상기 개구부들을 형성하는 단계를 포함할 수 있다.
- <37> 상기 스페이서들은 상기 몰드막에 대하여 식각 선택비를 갖는 물질로 이루어질 수 있다.
- <38> 상기 몰드 패턴들을 형성하는 단계는, 상기 제3 개구부들을 매립하기 위하여 상기 제3 개구부들과 상기 희생 패턴들 및 상기 몰드막 상에 제2 몰드막을 형성하는 단계와, 상기 희생 패턴들 및 상기 몰드막이 노출될 때까지 상기 제2 몰드막을 평탄화시키는 단계를 포함할 수 있으며, 상기 평탄화 단계는 상기 노출되는 희생 패턴들이 평탄한 상부면을 갖도록 수행될 수 있다.
- <39> 상술한 바와 같은 본 발명의 실시예들에 따르면, 반도체 기관의 메모리 셀 영역 상에 신호 라인들이 서로 다른

제1 및 제2 간격들로 배치되는 경우 상기 신호 라인들과 연결되는 인터페이스 패드들을 일정한 간격으로 형성함으로써 후속하는 인터페이스 공정에서 공정 마진을 충분히 확보할 수 있다. 따라서, 상기 인터페이스 공정에서 상기 신호 라인들 사이의 전기적 브릿지 현상의 발생을 감소시킬 수 있다.

- <40> 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다. 그러나, 본 발명은 하기의 실시예들에 한정되지 않고 다른 형태로 구현될 수도 있다. 여기서 소개되는 실시예들은 개시된 내용이 보다 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공된다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 과장되게 도시되었으며, 또한 각 장치는 본 명세서에서 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기판 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기판 상에 직접 형성되거나 그들 사이에 추가적인 막(층)이 개재될 수 있다.
- <41> 도 1 내지 도 8C는 본 발명의 일 실시예에 따른 반도체 장치의 신호 라인 구조물을 제조하는 방법을 설명하기 위한 단면도들 및 평면도들이다.
- <42> 도 1 및 도 2A를 참조하면, 실리콘웨이퍼와 같은 반도체 기판(100)이 제공된다. 상기 반도체 기판(100)은 메모리 셀 영역(102)과 상기 메모리 셀 영역(102) 주변에 배치되는 주변 회로 영역(104) 및 상기 메모리 셀 영역(102)과 주변 회로 영역(104) 사이에 배치되는 인터페이스 영역(106)을 가질 수 있다. 상기 메모리 셀 영역(102)은 데이터 저장을 위한 메모리 셀들을 형성하기 위하여 제공되며, 상기 주변 회로 영역(104)은 상기 메모리 셀 영역(102) 상에 형성되는 메모리 셀들에 데이터를 저장하거나 저장된 데이터를 읽기 위한 신호들을 제공하는 주변 회로들을 형성하기 위하여 제공된다. 한편, 상기 인터페이스 영역(106)은 상기 메모리 셀들과 상기 주변 회로들을 전기적으로 연결하기 위한 전기적 콘택들을 형성하기 위하여 제공된다.
- <43> 상기 반도체 기판(10) 상에는 절연막(110), 도전막(112) 및 희생막(114)이 순차적으로 형성된다. 상기 절연막(110)은 실리콘 산화물, 실리콘 산질화물 또는 고유전율 물질로 이루어질 수 있으며, DRAM 장치와 같은 반도체 장치에서 셀 트랜지스터들의 게이트 절연막으로서 사용될 수 있다. 상기 실리콘 산화물은 열산화 공정을 통해 형성될 수 있으며, 상기 실리콘 산질화물은 열산화 공정을 통해 형성된 실리콘 산화물을 질화시킴으로써 형성될 수 있다. 상기 고유전율 물질로는  $HfO_2$ ,  $ZrO_2$ ,  $La_2O_3$ ,  $Ta_2O_5$ ,  $TiO_2$ ,  $SrTiO_3$ ,  $(Ba,Sr)TiO_3$  등이 있으며, 화학 기상 증착 또는 원자층 증착을 통해 형성될 수 있다.
- <44> 상기 도전막(112)은 후속하는 공정에서 반도체 장치의 신호 라인들로 패터닝될 수 있으며, 목적하는 반도체 장치의 유형에 따라 다양한 물질로 이루어질 수 있다. 예를 들면, 상기 도전막(112)은 후속하는 공정에서 반도체 장치의 워드 라인들로 패터닝될 수 있으며, 상기 반도체 장치의 셀 트랜지스터 유형에 따라 금속, 금속 질화물, 금속 실리사이드 또는 불순물 도핑된 폴리실리콘 등 다양한 물질로 이루어질 수 있다.
- <45> 상기 희생막(114)은 실리콘 산화물, 실리콘 질화물 또는 폴리실리콘 등으로 이루어질 수 있으며, 화학 기상 증착 방법을 통해 형성될 수 있다.
- <46> 도 2A를 참조하면, 상기 희생막(114)을 패터닝하여 제1 개구부들(116)을 형성한다. 여기서, 도 2B는 도 2A에 도시된 A1-A2 라인을 따라 절개된 단면도이며, 도 2C는 도 2A에 도시된 B1-B2 라인을 따라 절개된 단면도이다.
- <47> 도 2A 내지 도 2C를 참조하면, 상기 제1 개구부들(116)은 상기 메모리 셀 영역(102)과 상기 인터페이스 영역(106) 상의 희생막(114) 부위를 패터닝함으로써 형성될 수 있으며, 각각의 제1 개구부(116)는 상기 메모리 셀 영역(102) 상의 도전막(112) 부위를 노출시키는 라인형 개구부(118)와, 상기 라인형 개구부(118)의 양측 단부들과 연결되어 상기 인터페이스 영역(106) 상의 도전막(112) 부위들을 노출시키는 장방형 개구부(120)를 포함할 수 있다.
- <48> 구체적으로, 상기 제1 개구부들(116)은 상기 도전막(112) 상에서 상기 메모리 셀 영역(102)을 가로지르는 제1 방향으로 연장하며, 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열된다.
- <49> 상기 라인형 개구부들(118)은 제1 폭을 가지며, 상기 제2 방향으로 실질적으로 일정한 간격으로 이격될 수 있다. 예를 들면, 상기 라인형 개구부들(118)의 제1 폭과 이들 사이의 간격은 실질적으로 동일하게 구성될 수 있다. 상기 장방형 개구부들(120)은 상기 라인형 개구부들(118)과 동시에 패터닝되며, 도시된 바와 같이 각각의 라인형 개구부들(118)의 양측 부위들에 연결된다. 또한, 상기 장방형 개구부들(120)은 상기 라인형 개구부들(118)의 제1 폭보다 넓은 제2 폭을 가지며, 상기 제2 방향으로 일정한 간격으로 이격될 수 있다.
- <50> 한편, 상기 제1 개구부들(116)은 포토리소그래피 공정 및 식각 공정을 통해 형성될 수 있다. 구체적으로, 포토

리소그래피 공정을 수행하여 상기 희생막(114) 상에 상기 제1 개구부들(116)을 형성하기 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 이용하는 이방성 식각 공정을 수행하여 상기 제1 개구부들(116)을 형성할 수 있다. 상기 포토레지스트 패턴은 상기 제1 개구부들(116)을 형성한 후, 애싱 및 스트립 공정을 통해 제거될 수 있다.

- <51> 도 3A 및 도 3B를 참조하면, 상기 패터닝된 희생막(114)과 상기 제1 개구부들(116)에 의해 노출된 도전막(112) 부위들 상에 실질적으로 일정한 두께를 갖는 마스크 막(122)을 형성한다. 상기 마스크 막(122)의 두께는 후속하여 형성되는 마스크 패턴들 및 신호 라인들의 선평과 동일하므로 목적하는 반도체 장치의 유형에 따라 결정될 수 있다.
- <52> 상기 마스크 막(122)은 상기 희생막(114)에 대하여 식각 선택비를 갖는 물질로 이루어질 수 있다. 예를 들면, 실리콘 산화물, 실리콘 질화물 또는 폴리실리콘으로 이루어질 수 있다. 구체적으로, 상기 희생막(114)이 실리콘 산화물로 이루어지는 경우, 상기 마스크 막(122)은 실리콘 질화물 또는 폴리실리콘으로 이루어질 수 있으며, 이와 다르게, 상기 희생막(114)과 식각 속도를 다르게 하기 위하여 불순물이 첨가된 실리콘 산화물이 사용될 수도 있다.
- <53> 도 4A 내지 도 4C를 참조하면, 상기 마스크 막(122)에 대한 전면 이방성 식각 공정을 수행함으로써 상기 제1 개구부들(116)의 측면들 상에 스페이서들(124)을 형성한다. 여기서, 도 4B는 도 4A에 도시된 C1-C2 라인을 따라 절개된 단면도이며, 도 4C 도 4A에 도시된 D1-D2 라인을 따라 절개된 단면도이다.
- <54> 도 5를 참조하면, 상기 패터닝된 희생막(114) 및 상기 스페이서들(124) 상에 포토레지스트 패턴(126)을 형성한다. 상기 포토레지스트 패턴(126)은 상기 스페이서들(124)의 양측 부위들(124a)을 선택적으로 제거하여 상기 스페이서들(124)로부터 마스크 패턴들을 형성하기 위하여 형성된다. 상기 포토레지스트 패턴(126)은 도 10에 도시된 바와 같이 상기 스페이서들(124)의 양측 부위들(124a)만을 노출시키도록 형성된다.
- <55> 도 6을 참조하면, 상기 포토레지스트 패턴(126)을 식각 마스크로 이용하여 상기 스페이서들(124)에 대한 이방성 식각을 수행하여 상기 스페이서들(124)의 양측 부위들(124a)을 선택적으로 제거한다. 이에 따라, 각각의 제1 개구부들(116) 내에 한 쌍의 마스크 패턴들(128)이 잔류하게 된다. 상기 포토레지스트 패턴(126)은 상기 마스크 패턴들(128)을 획득한 후 애싱 및 스트립 공정을 이용하여 제거되며, 상기 포토레지스트 패턴(126)의 제거에 의해 상기 마스크 패턴들(128)의 측면들과 상기 장방형 개구부들(120)을 한정하는 측면들에 의해 한정된 제2 개구부들(130)이 생성된다.
- <56> 도 7A를 참조하면, 상기 패터닝된 희생막(114)을 제거하여 상기 도전막(112) 상에 상기 마스크 패턴들(128)만 잔류시킨다. 여기서, 도 7B는 도 7A에 도시된 E1-E2 라인을 따라 절개된 단면도이고, 도 7C는 도 7A에 도시된 F1-F2 라인을 따라 절개된 단면도이다.
- <57> 도 7A 내지 도 7C를 참조하면, 상기 패터닝된 희생막(114)은 등방성 식각에 의해 제거될 수 있다. 예를 들면, 상기 패터닝된 희생막(114)과 상기 도전막(112) 및 상기 마스크 패턴들(128) 사이에서 식각 선택비를 갖는 식각액을 이용하는 습식 식각 공정을 수행함으로써 상기 패터닝된 희생막(114)을 선택적으로 제거할 수 있다. 이와 다르게, 상기 패터닝된 희생막(114)은 화학적 건식 식각(chemical dry etch; CDE) 공정을 통해 제거될 수도 있다.
- <58> 상기 제1 개구부들(116) 내에 각각 형성된 마스크 패턴들(128)은 다수의 쌍들(pairs)로 이루어질 수 있다. 즉, 각각의 마스크 패턴 쌍들은 각각의 제1 개구부(116) 내에 형성되며, 상기 각각의 마스크 패턴 쌍들을 이루는 두 개의 마스크 패턴들(128)은 서로 대칭적인 형태를 갖는다.
- <59> 특히, 상기 마스크 패턴들(128)은 상기 메모리 셀 영역(102) 내에 배치되는 액티브 영역들의 배열 형태에 따라 간격이 조절될 수 있다. 예를 들면, 상기 마스크 패턴들(128)은 상기 제2 방향으로 서로 다른 제1 간격(d1) 및 제2 간격(d2)을 두고 배열될 수 있다. 구체적으로, 상기 다수의 마스크 패턴 쌍들은 제1 간격(d1)으로 이격되어 배치될 수 있으며, 한 쌍을 이루는 두 개의 마스크 패턴들(128) 사이는 상기 제1 간격(d1)과 다른 제2 간격(d2)으로 배치될 수 있다. 예를 들면, 도시된 바와 같이, 상기 다수의 마스크 패턴 쌍들 사이의 제1 간격(d1)은 상기 한 쌍을 이루는 두 개의 마스크 패턴들(128) 사이의 제2 간격(d2)보다 넓게 형성될 수 있다.
- <60> 한편, 각각의 마스크 패턴(128)은 상기 메모리 셀 영역(102) 상에서 상기 제1 방향으로 연장하는 라인 형태의 제1 부위(128a)와 상기 인터페이스 영역(106) 상에 위치되는 제2 부위(128b)를 포함할 수 있다. 상기 마스크 패턴들(128)의 제1 부위들(128a)은 상기 도전막(112)의 패터닝을 통해 신호 라인들을 형성하기 위하여 사용되며, 상기 마스크 패턴들(128)의 제2 부위들(128b)은 상기 도전막(112)의 패터닝을 통해 상기 신호 라인들과 연결되

며 신호 전달을 위한 인터페이스 패드들을 형성하기 위하여 사용될 수 있다.

- <61> 여기서, 상기 마스크 패턴들(128)의 제1 부위들(128a)은 각각의 마스크 패턴 쌍들(128)의 조합에 따라 제1 간격(d1) 또는 제2 간격(d2)만큼 서로 이격될 수 있으며, 상기 마스크 패턴들(128)의 제2 부위들(128b)은 일정한 간격으로 이격될 수 있다.
- <62> 그러나, 상기 마스크 패턴들(128)의 상부면들을 평탄하게 하기 위하여 추가적인 공정 단계들이 더 수행될 수도 있다. 구체적으로, 상기 패터닝된 희생막(114)을 제거하기 이전에, 상기 제2 개구부들(130)을 매립하는 제2 희생막(미도시)을 형성하고, 상기 마스크 패턴들(128)의 상부면들이 평탄해지도록 화학적 기계적 연마 공정을 수행할 수 있다. 이어서, 상기 패터닝된 희생막(114)과 상기 제2 희생막을 동시에 제거함으로써 평탄화된 상부면을 각각 갖는 마스크 패턴들을 형성할 수 있다. 이때, 상기 제2 희생막은 상기 패터닝된 희생막(114)과 실질적으로 동일한 물질로 형성되는 것이 바람직하다.
- <63> 도 8A를 참조하면, 상기 마스크 패턴들(128)을 식각 마스크로 이용하여 상기 도전막(112)을 이방성 식각함으로써 상기 기판(100) 상에 신호 라인 구조물(132)을 형성한다. 여기서, 도 8B는 도 8A에 도시된 G1-G2 라인을 따라 절개된 단면도이고, 도 8C는 도 8A에 도시된 H1-H2 라인을 따라 절개된 단면도이다.
- <64> 도 8A 내지 도 8C를 참조하면, 상기 신호 라인 구조물(132)은 상기 반도체 기판(100)의 메모리 셀 영역(102) 상에서 제1 방향으로 연장하는 다수의 신호 라인들(134)과, 신호 전달을 위해 상기 다수의 신호 라인들(134)의 양측 단부들에 연결되며 상기 인터페이스 영역(106) 상에 배치되는 다수의 인터페이스 패드들(136)을 포함한다.
- <65> 상기 다수의 신호 라인들(134)은 상기 제1 방향과 실질적으로 수직하는 제2 방향으로 배열되며, 도시된 바와 같이 다수의 신호 라인 쌍들로 이루어진다. 이때, 상기 다수의 신호 라인 쌍들은, 도 12에 도시된 바와 같이, 제1 간격(d1)만큼 이격되어 배치되며, 각각의 신호 라인 쌍들을 이루는 두 개의 신호 라인들(134)은 상기 제1 간격(d1)보다 좁은 제2 간격(d2)만큼 이격되어 배치될 수 있다.
- <66> 상기 인터페이스 패드들(136)은 상기 메모리 셀 영역(102)과 상기 주변 회로 영역(104) 사이에서의 신호 전달을 위해 상기 신호 라인들(134)의 양측 단부들에 각각 연결되며, 상기 제2 방향으로 일정한 간격을 두고 배치될 수 있다. 즉, 도 15에 도시된 바와 같이, 상기 인터페이스 패드들(136) 사이의 간격은 상기 제1 간격(d1)보다는 좁고 상기 제2 간격(d2)보다는 넓게 설정될 수 있다.
- <67> 상기 신호 라인들(134)과 인터페이스 패드들(136)은 상기 도전막(112)을 패터닝하여 획득되기 때문에 하나의 신호 라인(134)과 그 양측 단부에 연결되는 한 쌍의 인터페이스 패드들(136)은 구조적으로 일체로 형성되며, 실질적으로 동일한 선폭을 갖는다.
- <68> 상기 신호 라인들(134) 사이의 제1 간격(d1) 및 제2 간격(d2)은 상기 메모리 셀 영역(102)에 형성되어 있는 액티브 영역들의 배치 형태에 따라 결정될 수 있다. 상기와 같이 제1 간격(d1)과 제2 간격(d2)이 서로 다르게 설정되는 경우, 상기와 같이 인터페이스 패드들(136)을 일정한 간격으로 형성함으로써, 후속하는 인터페이스 공정에서 공정 마진을 충분히 확보할 수 있다.
- <69> 구체적으로, 인터페이스 공정은 상기 메모리 셀 영역(102)에 형성되는 메모리 셀들과 주변 회로 영역(104)에 형성되는 주변 회로들 사이를 전기적으로 연결하기 위하여 상기 인터페이스 패드들(136)과 연결되는 콘택 플러그들을 형성하는 공정을 의미한다. 도 8A에서 점선으로 표시된 C 영역은 상기 콘택 플러그들이 형성될 영역을 의미하며, 도시된 바와 같이 상기 C 영역과 인접하는 인터페이스 패드(136) 사이의 간격이 충분히 확보될 수 있다. 결과적으로, 상기 인터페이스 공정에 의한 상기 신호 라인들(134) 사이의 전기적인 브릿지(bridge) 현상의 발생을 감소시킬 수 있다.
- <70> 한편, 상기 마스크 패턴들(128)은 상기 신호 라인들을 형성한 후 경우에 따라 제거될 수도 있다.
- <71> 상기 신호 라인들(134)은 DRAM 장치와 같은 휘발성 메모리 장치의 워드 라인들로서 사용될 수 있다. 그러나, 본 발명의 일 실시예에 따른 반도체 장치의 신호 라인 구조물 제조 방법은 상기 휘발성 메모리 장치의 비트 라인 구조물 제조에도 적용될 수 있으며, 플래시 메모리 장치와 같은 불휘발성 메모리 장치의 컨트롤 게이트 제조에도 용이하게 적용될 수 있다.
- <72> 도 9 내지 도 17C는 본 발명의 또 다른 실시예에 따른 반도체 장치의 신호 라인 구조물 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.
- <73> 도 9 내지 도 10C를 참조하면, 메모리 셀 영역(202), 주변 회로 영역(204) 및 인터페이스 영역(206)을 갖는 반

도체 기판(200) 상에 패드 산화막으로서 기능하는 절연막(210) 및 몰드막(212)을 순차적으로 형성한다. 여기서, 도 10B는 도 10A에 도시된 J1-J2 라인을 따라 절개된 단면도이고, 도 10C는 도 10A에 도시된 K1-K2 라인을 따라 도시된 단면도이다.

- <74> 상기 절연막(210)은 실리콘 산화물로 이루어질 수 있으며, 열 산화 또는 화학 기상 증착에 의해 형성될 수 있다. 상기 몰드막(212)은 실리콘 산화물, 실리콘 질화물 또는 폴리실리콘으로 이루어질 수 있으며, 화학 기상 증착을 통해 형성될 수 있다.
- <75> 상기 몰드막(212)을 형성한 후, 상기 몰드막(212)을 패터닝하여 제1 개구부들(214)을 형성한다. 상기 제1 개구부들(214)은 상기 메모리 셀 영역(202)과 상기 인터페이스 영역(206) 상의 몰드막(212) 부위를 패터닝함으로써 형성될 수 있으며, 각각의 제1 개구부(214)는 상기 메모리 셀 영역(202) 상의 절연막(210) 부위를 노출시키는 라인형 개구부(216)와, 상기 라인형 개구부(216)의 양측 단부들과 연결되어 상기 인터페이스 영역(206) 상의 절연막(210) 부위들을 노출시키는 장방형 개구부(218)를 포함할 수 있다.
- <76> 구체적으로, 상기 제1 개구부들(214)은 상기 절연막(210) 상에서 상기 메모리 셀 영역(202)을 가로지르는 제1 방향으로 연장하며, 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 배열된다. 상기 라인형 개구부들(216)은 제1 폭을 가지며, 상기 제2 방향으로 실질적으로 일정한 간격으로 이격될 수 있다. 상기 장방형 개구부들(218)은 상기 라인형 개구부들(216)의 제1 폭보다 넓은 제2 폭을 가지며, 상기 제2 방향으로 일정한 간격으로 이격될 수 있다.
- <77> 한편, 상기 제1 개구부들(214)은 포토리소그래피 공정 및 식각 공정을 통해 형성될 수 있다. 구체적으로, 포토리소그래피 공정을 수행하여 상기 몰드막(212) 상에 상기 제1 개구부들(214)을 형성하기 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하는 이방성 식각 공정을 수행함으로써 상기 제1 개구부들(214)을 형성할 수 있다. 상기 포토레지스트 패턴은 상기 제1 개구부들(214)을 형성한 후, 애싱 및 스트립 공정을 통해 제거된다.
- <78> 도 11A 내지 도 11C를 참조하면, 상기 패터닝된 몰드막(212)과 상기 제1 개구부들(214)에 의해 노출된 절연막(210) 부위들 상에 실질적으로 일정한 두께를 갖는 희생막(미도시)을 형성한다. 상기 희생막의 두께는 후속하여 형성되는 신호 라인들의 선평과 동일하므로 목적하는 반도체 장치의 유형에 따라 결정될 수 있다.
- <79> 상기 희생막은 상기 몰드막(212)에 대하여 식각 선택비를 갖는 물질로 이루어질 수 있다. 예를 들면, 실리콘 산화물, 실리콘 질화물 또는 폴리실리콘으로 이루어질 수 있다. 특히, 상기 희생막은 후속하는 식각 공정에서 사용되는 식각 물질에 대하여 상기 몰드막(212)보다 식각 속도가 빠른 물질로 이루어지는 것이 바람직하다.
- <80> 이어서, 상기 희생막에 대한 전면 이방성 식각 공정을 수행함으로써 상기 제1 개구부들(214)을 한정하는 측면들 상에 희생 스페이서들(220)을 형성한다. 여기서, 도 11B는 도 11A에 도시된 L1-L2 라인을 따라 절개된 단면도이며, 도 11C는 도 11A에 도시된 M1-M2 라인을 따라 절개된 단면도이다.
- <81> 도 12를 참조하면, 상기 패터닝된 몰드막(212) 및 상기 희생 스페이서들(220) 상에 포토레지스트 패턴(222)을 형성한다. 상기 포토레지스트 패턴(222)은 상기 희생 스페이서들(220)의 양측 부위들(220a)을 선택적으로 제거하기 위하여 형성된다. 상기 포토레지스트 패턴(222)은 도 12에 도시된 바와 같이 상기 희생 스페이서들(220)의 양측 부위들(220a)만을 노출시키도록 형성된다.
- <82> 도 13을 참조하면, 상기 포토레지스트 패턴(222)을 식각 마스크로 사용하는 식각 공정을 수행하여 상기 희생 스페이서들(220)의 양측 부위들(220a)을 선택적으로 제거한다. 이에 따라, 각각의 제1 개구부들(214) 내에 분할된 한 쌍의 희생 패턴들(224)이 잔류하게 된다. 상기 포토레지스트 패턴(222)은 상기 희생 스페이서들(220)에 대한 식각 공정을 수행한 후 애싱 및 스트립 공정을 이용하여 제거되며, 상기 포토레지스트 패턴(222)의 제거에 의해 상기 희생 패턴들(224)의 측면들과 상기 장방형 개구부들(218)을 한정하는 측면들에 의해 한정된 제2 개구부들(226)이 생성된다.
- <83> 도 14A 내지 도 14C를 참조하면, 상기 제2 개구부들(226)이 충분히 매립되도록 제2 몰드막(미도시)을 형성한다. 상기 제2 몰드막은 상기 몰드막(212)과 실질적으로 동일한 물질로 형성될 수 있다.
- <84> 상기 제2 몰드막을 형성한 후, 평탄화 공정을 수행하여 상기 제2 개구부들(226) 내에 상기 제2 몰드막으로부터 몰드 패턴들(228)을 완성한다. 예를 들면, 상기 희생 패턴들(224)이 노출될 때까지 화학적 기계적 연마 공정 또는 에치 백(etch back) 공정을 수행함으로써 상기 몰드 패턴들(228)을 형성할 수 있다. 이때, 상기 평탄화 공정은 상기 희생 패턴들(224)의 상부면들이 평탄해질 때까지 수행되는 것이 바람직하다. 이는 후속하여 상기 희생

패턴들(224)을 제거하는 공정에서, 상기 희생 패턴들(224)의 제거에 의해 생성되는 제3 개구부들의 측면들이 수직 방향으로 형성되도록 하기 위함이다. 예를 들면, 상기 평탄화 공정은 상기 희생 패턴들(224)이 노출되는 시점 이후부터의 평탄화 시간에 따라 종료 시점이 결정될 수 있다. 여기서, 도 14B는 도 14A에 도시된 N1-N2 라인을 따라 절개된 단면도이고, 도 14C는 도 14A에 도시된 P1-P2 라인을 따라 절개된 단면도이다.

<85> 도 15A 내지 도 15C를 참조하면, 상기 희생 패턴들(224)을 제거하여 상기 패터닝된 몰드막(212) 및 상기 몰드 패턴들(228)에 의해 한정되며 상기 메모리 셀 영역(202) 및 인터페이스 영역(206) 상의 절연막(210) 부위들을 부분적으로 노출시키는 제3 개구부들(230)을 형성한다. 상기 희생 패턴들(224)은 상기 몰드막(212)에 대하여 식각 선택비를 갖는 물질로 이루어지므로 등방성 또는 전면 이방성 식각을 통해 제거될 수 있다. 여기서, 도 15B는 도 15A에 도시된 Q1-Q2 라인을 따라 절개된 단면도이고, 도 15C는 도 15A에 도시된 R1-R2 라인을 따라 절개된 단면도이다.

<86> 상기 제3 개구부들(230)은 다수의 쌍들(pairs)로 이루어질 수 있다. 즉, 각각의 제3 개구부들(230)은 후속하여 형성될 신호 라인 구조물을 이루는 다수의 신호 라인들 및 인터페이스 패드들과 실질적으로 동일한 형태를 갖는다.

<87> 한편, 도시된 바에 의하면, 상기 희생 패턴들(224)만 선택적으로 제거되고 있으나, 후속하여 상기 제3 개구부들(230) 내에 형성될 신호 라인들이 반도체 장치의 워드 라인들로서 사용되는 경우, 상기 희생 패턴들(224)을 제거할 때 상기 반도체 기관(200)의 표면 부위가 노출되도록 상기 절연막(210)도 함께 부분적으로 제거되는 것이 바람직하다. 이는 상기 워드 라인들로서 기능하는 신호 라인들을 형성하기 이전에 게이트 절연막을 상기 반도체 기관(200)의 노출된 표면 부위들 상에 형성해야하기 때문이다.

<88> 도 16A 및 도 16B를 참조하면, 상기 제3 개구부들(230)을 충분히 매립하는 도전막(232)을 형성한다. 상기 도전막(232)은 목적하는 반도체 장치의 유형에 따라 다양한 물질로 이루어질 수 있다. 예를 들면, 상기 도전막(232)은 금속, 금속 질화물, 금속 실리사이드 또는 불순물 도핑된 폴리실리콘 등으로 이루어질 수 있다.

<89> 도 17A 내지 도 17C를 참조하면, 상기 몰드막(212)의 표면이 노출될 때까지 상기 도전막(232)의 상부(upper portion)를 제거함으로써 신호 라인 구조물(234)을 형성한다. 예를 들면, 상기 도전막(232)의 상부는 화학적 기계적 연마 공정 또는 에치 백 공정을 수행함으로써 제거될 수 있다.

<90> 이어서, 상기 몰드막(212)을 습식 식각 또는 화학적 건식 식각을 통해 제거함으로써 상기 반도체 기관(200)의 메모리 셀 영역(202) 및 인터페이스 영역(206) 상에 신호 라인 구조물(234)을 완성한다. 여기서, 도 17B는 도 17A에 도시된 S1-S2 라인을 따라 절개된 단면도이고, 도 17C는 도 17A에 도시된 T1-T2 라인을 따라 절개된 단면도이다.

<91> 상기 신호 라인 구조물(234)은 상기 반도체 기관(200)의 메모리 셀 영역(202) 상에서 제1 방향으로 연장하는 다수의 신호 라인들(236)과, 신호 전달을 위해 상기 다수의 신호 라인들(236)의 양측 단부들에 연결되며 상기 인터페이스 영역(206) 상에 배치되는 다수의 인터페이스 패드들(238)을 포함한다.

<92> 상기 신호 라인들(236)과 인터페이스 패드들(238)은 상기 제3 개구부들(230)을 매립하여 형성되기 때문에 하나의 신호 라인(236)과 그 양측 단부에 연결되는 한 쌍의 인터페이스 패드들(238)은 구조적으로 일체로 형성되며, 실질적으로 동일한 선폴을 갖는다.

<93> 도 17A 내지 도 17C에 도시된 신호 라인 구조물(234)은 도 8A 내지 도 8C에 도시된 신호 라인 구조물(132)과 실질적으로 동일한 특징들을 갖는다. 예를 들면, 각각의 형상, 배열 형태 등의 특징들이 실질적으로 서로 동일하므로 이에 대한 추가적인 상세 설명은 생략하기로 한다.

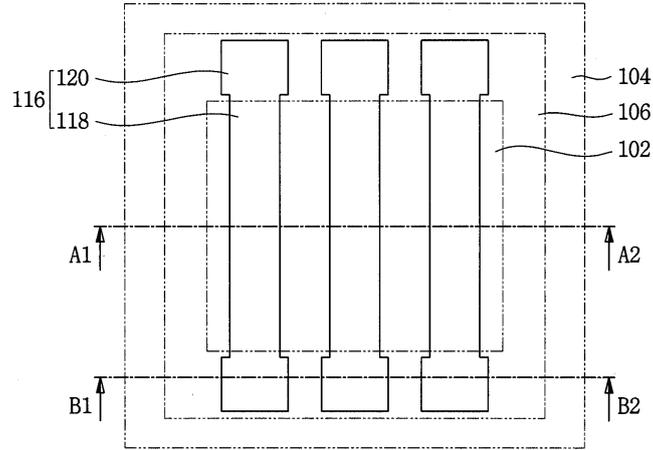
### 발명의 효과

<94> 상술한 바와 같은 본 발명의 실시예들에 따르면, 반도체 기관의 메모리 셀 영역 상에 신호 라인들이 서로 다른 제1 및 제2 간격들로 배치되는 경우 상기 신호 라인들과 연결되는 인터페이스 패드들을 일정한 간격으로 형성함으로써 후속하는 인터페이스 공정에서 공정 마진을 충분히 확보할 수 있다. 따라서, 상기 인터페이스 공정에서 상기 신호 라인들 사이의 전기적 브릿지 현상의 발생을 감소시킬 수 있다.

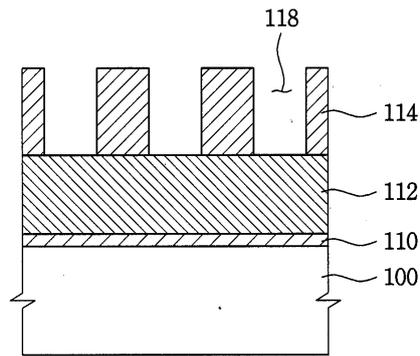
<95> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



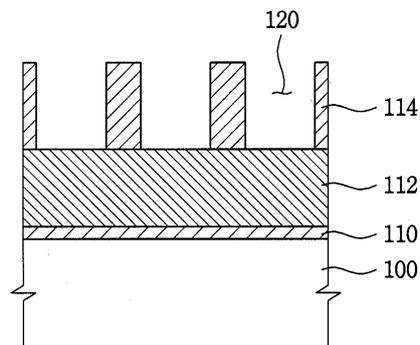
도면2a



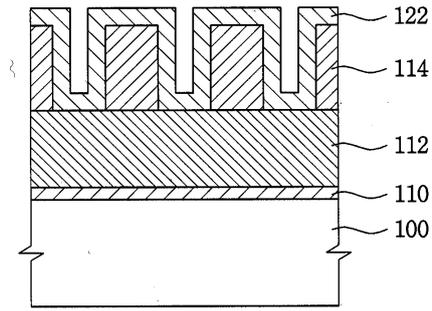
도면2b



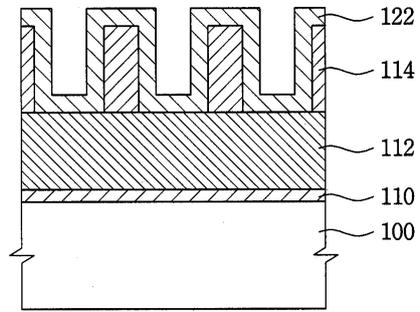
도면2c



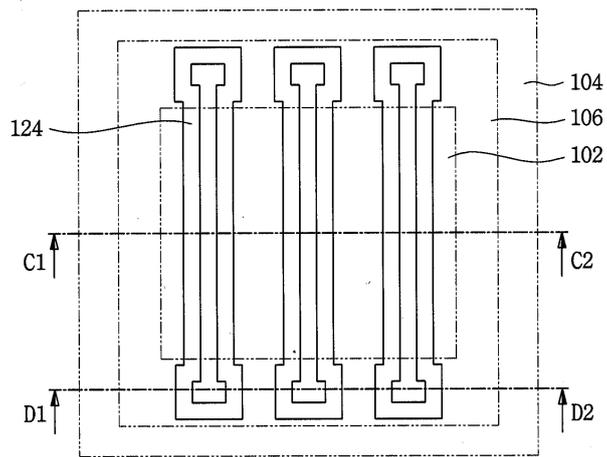
도면3a



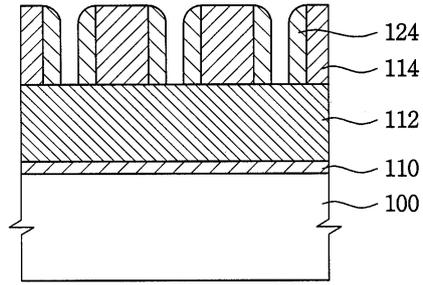
도면3b



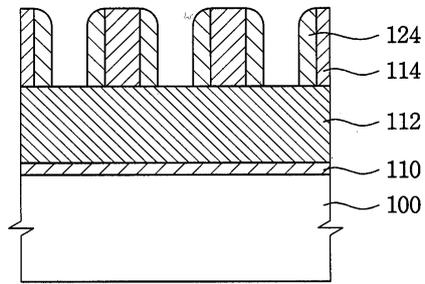
도면4a



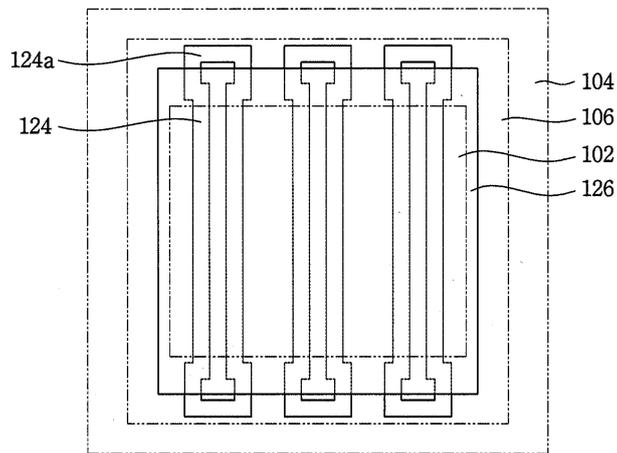
도면4b



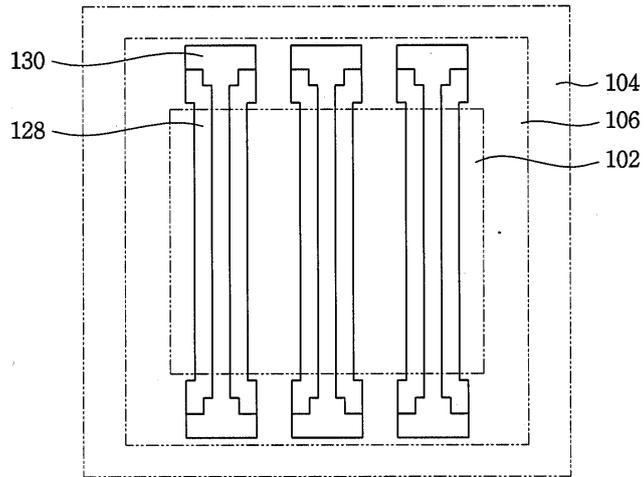
도면4c



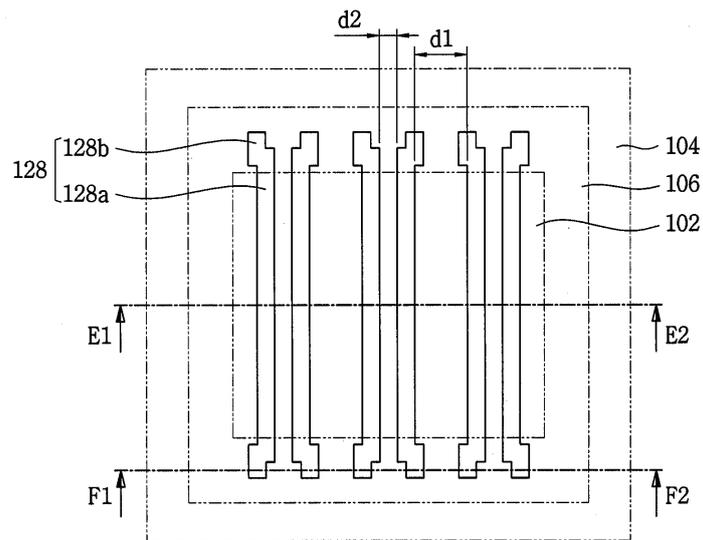
도면5



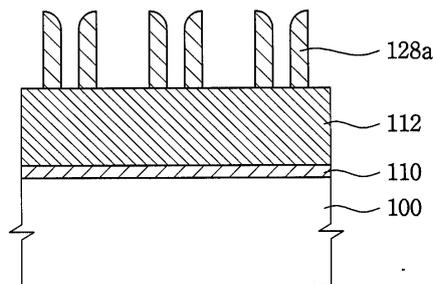
도면6



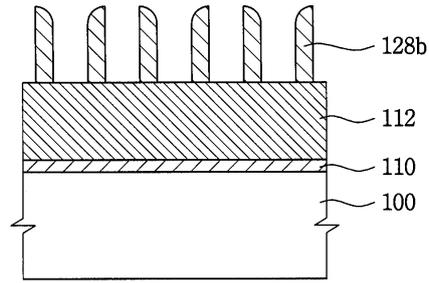
도면7a



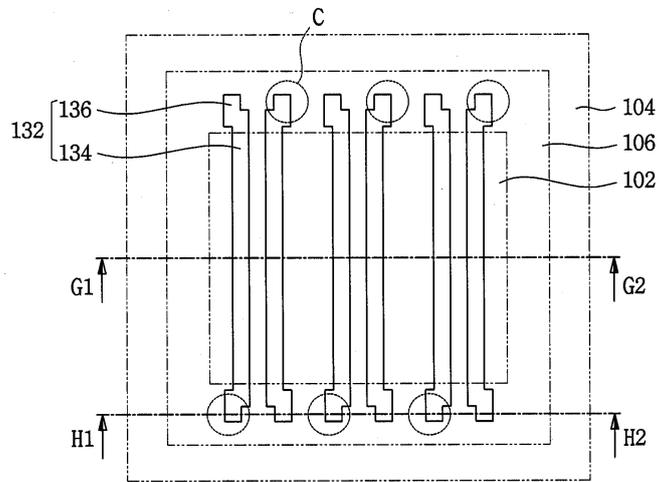
도면7b



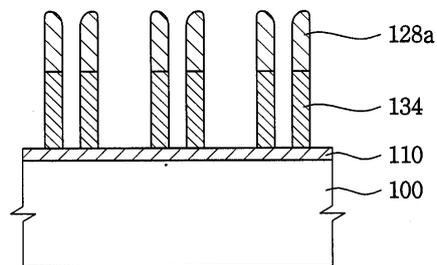
도면7c



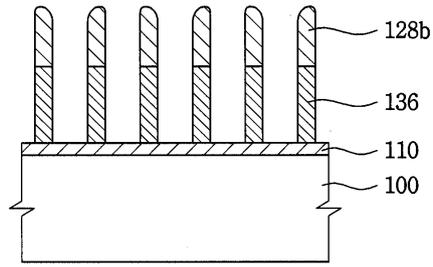
도면8a



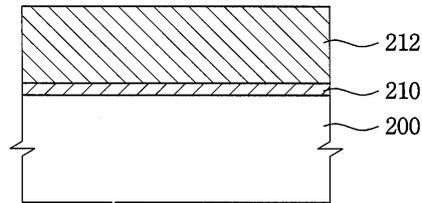
도면8b



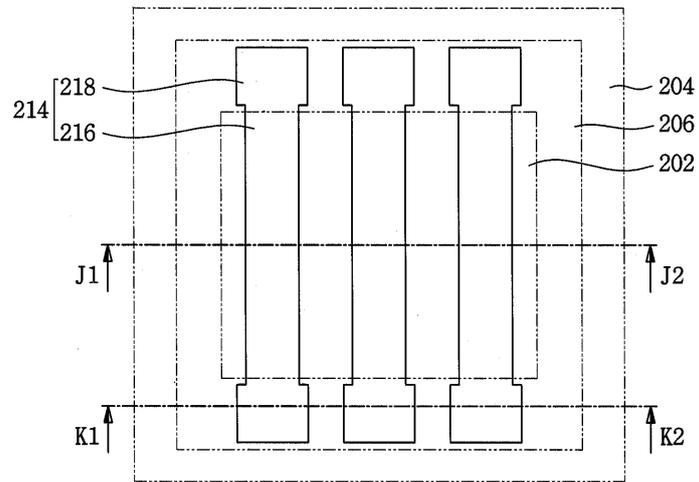
도면8c



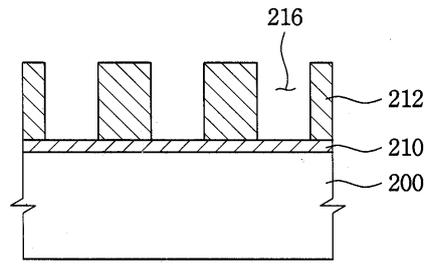
도면9



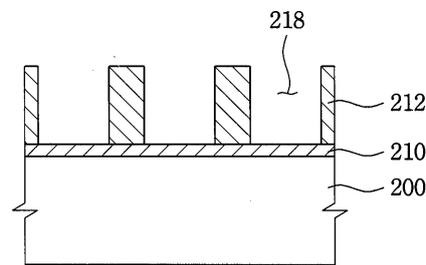
도면10a



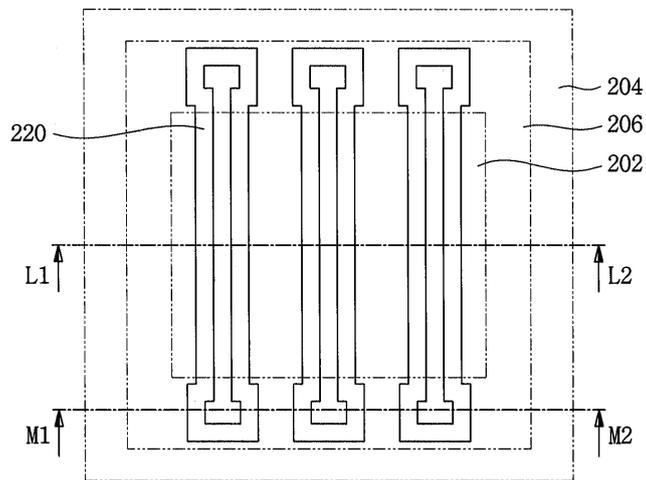
도면10b



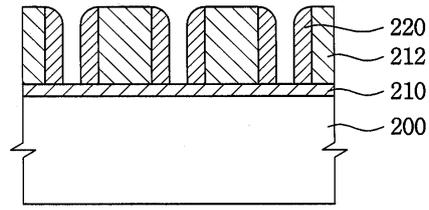
도면10c



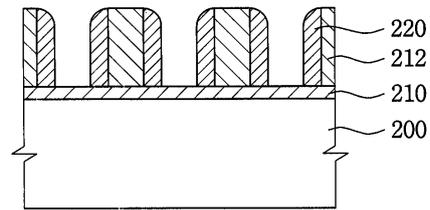
도면11a



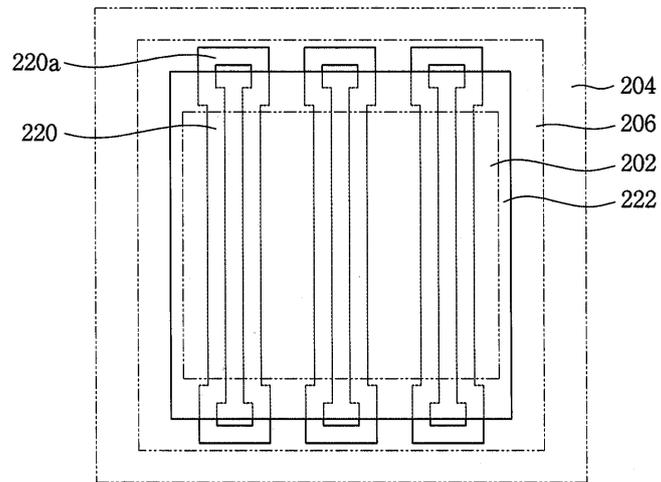
도면11b



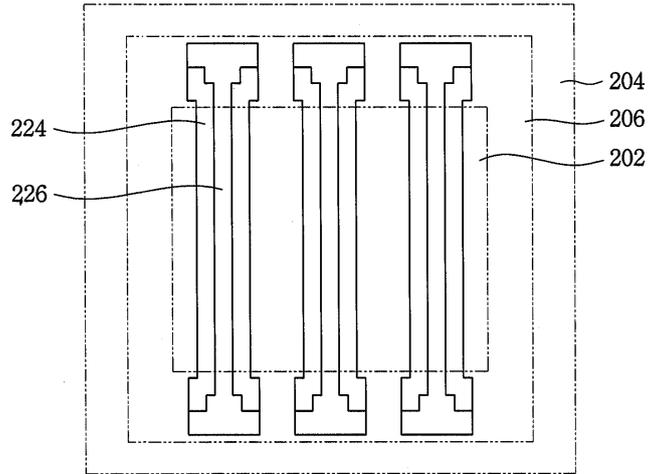
도면11c



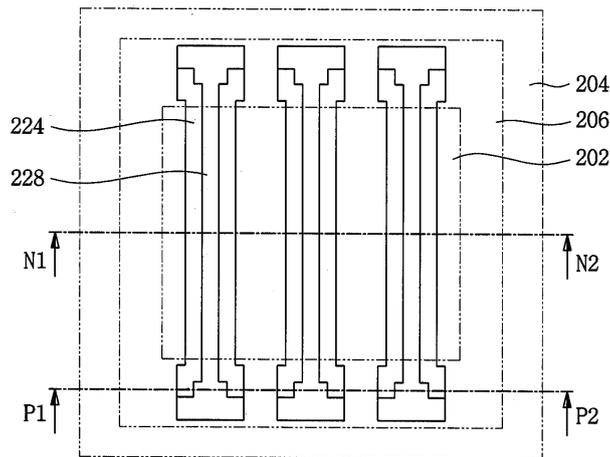
도면12



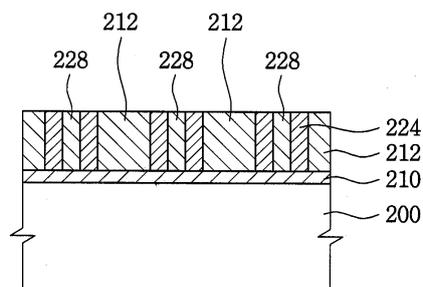
도면13



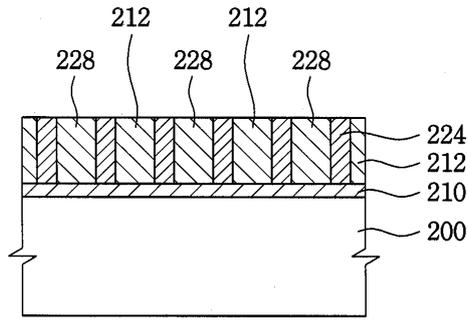
도면14a



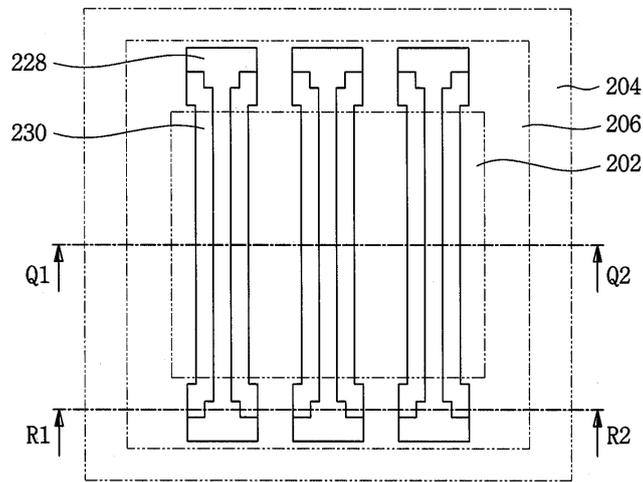
도면14b



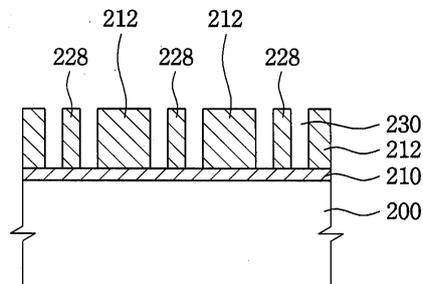
도면14c



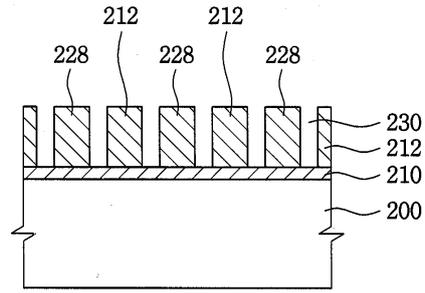
도면15a



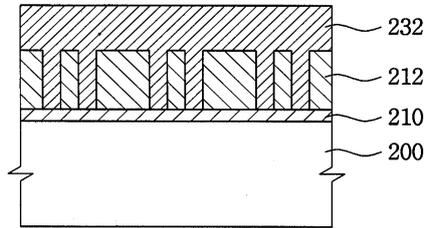
도면15b



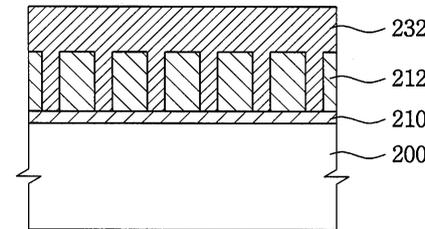
도면15c



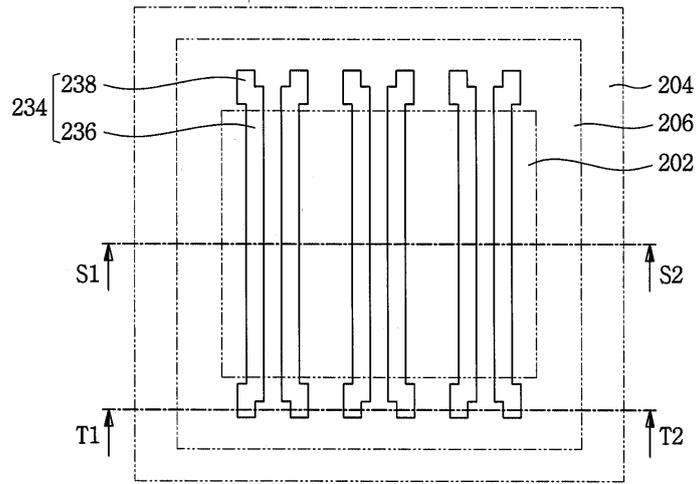
도면16a



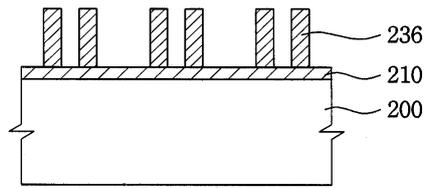
도면16b



도면17a



도면17b



도면17c

