



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월17일
 (11) 등록번호 10-1192075
 (24) 등록일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)
H05B 33/10 (2006.01)
 (21) 출원번호 10-2006-0060105
 (22) 출원일자 2006년06월30일
 심사청구일자 2011년06월27일
 (65) 공개번호 10-2008-0001774
 (43) 공개일자 2008년01월04일
 (56) 선행기술조사문헌
 KR1020060025317 A
 KR100356833 B1
 JP08201850 A
 KR1020060081850 A

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
이준석
 서울특별시 구로구 도림로 59, 두산아파트 101동 2408호 (구로동)
문중석
 서울특별시 강남구 언주로146길 18, 동현아파트 6동 309호 (논현동)
 (74) 대리인
서교준

전체 청구항 수 : 총 9 항

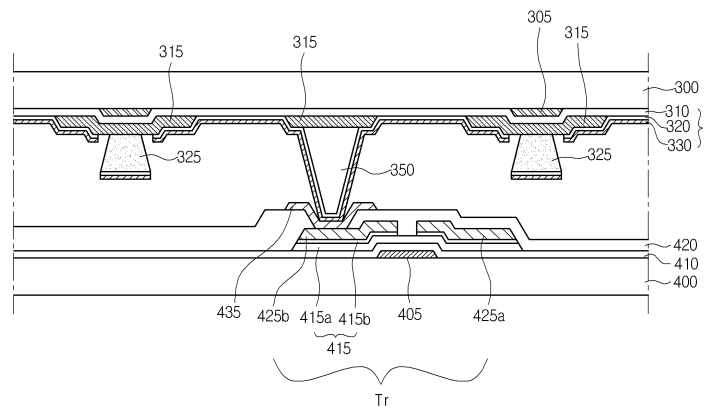
심사관 : 이준석

(54) 발명의 명칭 유기 전계 발광 표시 장치 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치 제조 방법에 관한 것으로, 다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계; 상기 제 1 기판상에 제 1 전극을 형성하는 단계; 상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계; 상기 버퍼층 상에 세퍼레이터를 형성하는 단계; 상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및 상기 유기발광층 상에 위치하고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 형성하는 단계로 유기 전계 발광 표시 장치를 제조함으로써, 상기 버퍼층의 모폴로지를 개선하고, 이로 인해 상기 제 1 전극과 상기 제 2 전극의 쇼트불량을 방지할 수 있다.

대표도 - 도3f



특허청구의 범위

청구항 1

다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계;

상기 제 1 기판상에 제 1 전극을 형성하는 단계;

상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계;

상기 버퍼층 상에 세퍼레이터를 형성하는 단계;

상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및

상기 유기발광층 상에 위치하고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 2

제 1 항에 있어서,

상기 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계는 상기 버퍼층을 5Å 이상의 두께로 형성하는 것임을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 3

제 1 항에 있어서,

상기 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계는 상기 버퍼층을 5Å 내지 3000Å의 두께를 형성하는 것임을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 기판상에 제 1 전극을 형성하는 단계이전에, 상기 제 1 기판상에 보조전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계 이후에,

상기 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이하가 되는 공정 조건으로 버퍼층의 두께를 더 증가시키는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 6

제 1 항에 있어서,

박막트랜지스터가 구비된 제 2 기판을 제공하는 단계; 및

상기 박막트랜지스터와 상기 제 2 전극과 전기적으로 연결하며, 상기 제 1 기판과 제 2 기판을 합착하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 2 전극 하부에 위치하는 스페이서를 더 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 8

제 7 항에 있어서,

상기 스페이서는 상기 제 1 기판과 상기 제 2 기판간의 셀갭을 유지하며, 상기 제 2 전극과 상기 박막트랜지스터를 전기적으로 접촉시키는 매개체 역할을 하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

청구항 9

제 1 항에 있어서,

상기 유기발광층 상부 또는 하부에 전자주입층, 전자수송층, 정공억제층, 정공수송층 및 정공주입층으로 이루어진 군에서 선택된 적어도 하나이상을 더 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0010] 본 발명은 유기 전계 발광 표시 장치 제조 방법에 관한 것으로, 보다 자세하게는 실란 가스 대 암모니아 가스의 비를 제어하여 버퍼층의 모폴리지를 개선하고, 상기 버퍼층의 모폴리지를 개선함으로써 쇼트 불량을 개선할 수 있는 유기 전계 발광 표시 장치 제조 방법에 관한 것이다.
- [0011] 음극선관(Cathode Ray Tube)의 무게와 크기의 문제점을 해결하여 소형 경량화의 장점을 가지고 있는 평판 표시 장치(Flat Panel Display)가 주목받고 있다. 이러한 평판 표시 장치는 액정 표시 장치(Liquid Crystal Display), 유기 전계 발광 표시 장치(Organic Electro Luminescence Display), 전계 방출 표시 장치(Field Emitter Display) 및 플라즈마 표시 장치(Plasma Display Panel) 등이 있다.
- [0012] 이와 같은 평판 표시 장치 중에서도 유기 전계 발광 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥 상태로 떨어지는 과정을 통해 빛을 발생하는 현상을 이용한 장치로서, 종래 음극선관에 비해 소비전력이 낮고, 경박단소화가 용이하며 대형화 및 고정세화가 가능하여 널리 사용되고 있다.
- [0013] 도 1은 종래의 유기 전계 발광 표시 장치의 단면도이다.
- [0014] 도 1을 참조하여 설명하면, 상기 유기 전계 발광 표시 장치는 서로 일정간격으로 이격되어 배치되어 위치하는 제 1 기판(100)과 제 2 기판(200)을 포함한다.
- [0015] 상기 제 1 기판(100)의 내측에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있다. 또, 상기 제 2 기판(200)의 내측에는 적어도 하나의 박막트랜지스터(Tr)가 형성되어 있다.
- [0016] 여기서, 상기 박막트랜지스터(Tr)와 상기 유기 전계 발광 다이오드 소자(E)는 연결전극(150)에 의해 서로 전기적으로 연결되어, 상기 박막트랜지스터(Tr)의 구동에 의해서, 상기 유기 전계 발광 다이오드 소자(E)는 발광하

게 되고, 상기 제 1 기판(100)으로 광이 방출되어, 사용자에게 화상을 제공할 수 있다.

- [0017] 상기 제 1 기판(100)상에 공통전극인 제 1 전극(110)이 형성되어 있다. 상기 제 1 전극(110)상에 서브픽셀의 외곽부에 형성되는 버퍼층(115)과 상기 버퍼층(115)상에 세퍼레이터(125)가 형성되어 있다. 상기 제 1 전극(110)상에 서브픽셀단위로 패터닝된 유기발광층(120)과 제 2 전극(130)이 형성되어 있다. 상기 제 2 전극(130)은 상기 버퍼층(115)상에 형성된 세퍼레이터(125)에 의해 서브픽셀 단위로 자연적으로 패터닝된다.
- [0018] 또, 상기 제 2 기판(200)상에 게이트 전극, 반도체층 및 소스/드레인 전극을 포함하는 박막트랜지스터(Tr)가 형성되어 있으며, 상기 박막트랜지스터를 포함하는 상기 제 2 기판(200) 전면에 보호막(210)이 형성되어 있다. 이 때, 상기 보호막(210)은 상기 박막트랜지스터의 일부를 노출하는 콘택홀이 형성되어 있고, 상기 콘택홀에 의해 노출된 상기 박막트랜지스터와 상기 제 2 전극(130)을 연결전극(150)을 통해 접속시킴으로써, 상기 유기전계발광다이오드 소자(E)와 상기 박막트랜지스터(Tr)는 전기적으로 연결된다.
- [0019] 도 2는 도 1의 A 영역의 버퍼층의 표면을 보여 주는 사진이다.
- [0020] 도 2를 참조하여 설명하면, 사진에서 보여 주는 바와 같이 종래의 방법으로 실리콘 질화막인 버퍼층(115)을 형성하게 되면 표면의 모폴러지(morphology)가 나쁘다는 것을 알 수 있다.
- [0021] 상기 버퍼층(115)의 모폴러지가 나빠지게 되면 그 상부에 형성되는 상기 유기발광층(220)이 제대로 형성되지 않거나, 상기 제 1 전극(110)과 상기 제 2 전극(130)간의 쇼트 불량을 발생시킬 수 있다.

발명이 이루고자 하는 기술적 과제

- [0022] 본 발명은 상기 버퍼층을 형성할 때 이용되는 실란 가스 대 암모니아 가스의 비를 제어하여 버퍼층의 모폴러지를 개선하고 이로 인해 발생하는 상기 제 1 전극과 상기 제 2 전극간의 쇼트불량을 방지할 수 있는 유기 전계발광 표시 장치 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0023] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기전계발광표시장치의 제조 방법을 제공한다. 상기 제조 방법은 다수의 서브픽셀이 정의된 제 1 기판을 제공하는 단계; 상기 제 1 기판상에 제 1 전극을 형성하는 단계; 상기 제 1 전극 상의 각 서브 픽셀을 구획하는 외곽영역에 위치하고, 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 공정 조건으로 버퍼층을 형성하는 단계; 상기 버퍼층 상에 세퍼레이터를 형성하는 단계; 상기 제 1 전극상에 유기 발광층을 형성하는 단계; 및 상기 유기발광층 상에 위치하고, 상기 세퍼레이터에 의해 각 서브픽셀 단위로 분리되는 제 2 전극을 형성하는 단계를 포함한다.
- [0024] 이하, 본 발명에 의한 도면을 참고하여 본 발명의 실시예들을 더욱 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0025] 도 3a 내지 도 3f는 본원 발명에 의한 유기 전계 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.
- [0026] 도 3a를 참조하면, 다수의 서브픽셀로 정의된 제 1 기판(300)을 제공한다. 상기 제 1 기판(300)은 유리 기판 또는 플라스틱 기판으로, 투명한 재질로 선택하는 것이 바람직하다.
- [0027] 상기 제 1 기판(300)상에 저 저항체의 도전물질을 증착한 뒤, 패터닝하여 보조전극(305)을 형성한다. 상기 보조전극(305)은 후속 공정에서 형성되는 제 1 전극의 저항차를 줄이는 역할을 한다. 상기 저 저항체의 도전물질은 Al, AlNd, Mo 또는 Cr로 이루어진 군에서 선택된 적어도 하나의 물질일 수 있다.
- [0028] 상기 보조전극(305)을 포함하는 제 1 기판(300) 상에 투명성의 도전물질을 증착한 뒤, 패터닝하여 제 1 전극(310)을 형성한다. 이를테면, 상기 투명성의 도전물질은 ITO 또는 IZO일 수 있다.

- [0029] 도 3b를 참조하여 설명하면, 상기 제1전극(310)상에 각 서브 픽셀을 구획하는 외곽 영역에 위치하는 버퍼층(315)을 형성한다.
- [0030] 이때, 상기 버퍼층(315)은 무기막 특히 실리콘 질화막으로 형성되는데, 종래 기술에서도 기술한 바와 같이 종래의 실리콘 질화막 형성 방법으로 상기 버퍼층(315)을 형성하는 경우에는 모폴러지가 나빠지는 문제점이 있다.
- [0031] 이때, 상기 버퍼층(315)의 모폴러지가 나쁜 경우, 이후 형성되는 세퍼레이터 또는 스페이서와의 접촉 특성이 나빠지게 되고 이로 인해 상기 세퍼레이터 및 스페이서가 쉽게 분리되는 등의 문제점이 발생한다.
- [0032] 따라서, 상기 버퍼층(315)의 모폴러지를 개선하기 위해, 상기 버퍼층(315)을 형성할 때 사용되는 실란(SiH_4) 가스, 암모니아(NH_3) 가스 및 질소(N_2) 가스 중 실란 가스와 암모니아 가스의 비를 제어하여 상기 버퍼층을 형성하는 실험을 실시한 결과, 도 4a 내지 도 4d에 도시된 것과 같은 결과를 얻을 수 있었다.
- [0033] 도 4a는 실란 가스 대 암모니아 가스의 비가 1:1일 때 형성된 버퍼층(315)의 표면을 나타내는 사진이고, 도 4b는 실란 가스 대 암모니아 가스의 비가 1:2일 때 형성된 버퍼층(315)의 표면을 나타내는 사진이고, 도 4c는 실란 가스 대 암모니아 가스의 비가 1:3일 때 형성된 버퍼층(315)의 표면을 나타내는 사진이고, 도 4d는 실란 가스 대 암모니아 가스의 비가 1:4일 때 형성된 버퍼층(315)의 표면을 나타내는 사진이다.
- [0034] 따라서, 암모니아 가스의 유량이 실란 가스의 유량에 비해 3배 이상이 되는 경우 모폴러지는 개선되는 것을 알 수 있다.
- [0035] 그러나, 실란 가스의 유량이 감소하게 되면 상기 버퍼층(315)의 증착 속도가 감소하여 전체적인 택타임(Tact time)이 증가하게 되는 문제점이 발생한다.
- [0036] 그러나 이러한 문제점은 상기 버퍼층(315)을 이층 이상의 다층으로 형성할 경우 쉽게 해결할 수 있다.
- [0037] 즉, 상기 제1전극(310) 상에 상기 버퍼층(315)을 형성할 때, 5Å 이상, 바람직하게는 5 내지 3000Å의 두께를 형성할 때에는 암모니아 가스의 유량이 실란 가스의 유량 보다 3배 이상 많게 하여 초기 버퍼층을 먼저 형성한 후, 이후 정상적인 가스 비, 즉, 3배 이하에서 나머지 버퍼층을 형성함으로써 해결할 수 있다.
- [0038] 상기와 같은 방법으로 버퍼층(315)을 형성하는 경우 상기 버퍼층(315)의 모폴러지가 양호해질 뿐만 아니라 택타임도 증가시키지 않게 된다.
- [0039] 도 3c를 참조하여 설명하면, 상기 버퍼층(315)상에 세퍼레이터(325)를 형성한다. 상기 세퍼레이터(325)는 아크릴계 수지, 벤조사이클로부텐(BCB), 폴리이미드(PI) 및 노볼락계 수지로 이루어진 군에서 선택된 적어도 하나를 포함하는 감광성 수지막을 형성한 뒤, 노광 및 현상 공정을 거친다. 이후, 베이킹 공정을 수행하여, 상기 세퍼레이터(325)와 상기 버퍼층(315)간의 접착특성을 향상시킨다.
- [0040] 또, 상기 서브픽셀영역내에 형성된 버퍼층(315)상에 배치되는 스페이서(350)를 형성한다.
- [0041] 상기 스페이서(350)는 절연막을 형성한 뒤, 노광 및 현상공정을 거쳐 형성할 수 있다. 상기 스페이서(350)는 유기 전계 발광 다이오드 소자가 형성된 제 1 기판(300)과 후술할, 박막트랜지스터가 형성된 제 2 기판간의 셀갭을 유지하는 역할을 하며, 이와 더불어, 상기 유기 전계 발광 다이오드 소자와 박막트랜지스터를 전기적으로 연결하는 매개체 역할을 하게 된다.
- [0042] 도 3d를 참조하면, 상기 제 1 전극(310)상에 유기 발광층(320)을 형성한다. 여기서, 상기 유기 발광층(320)은 저분자 물질 또는 고분자 물질일 수 있다. 이때, 상기 유기 발광층(320)이 저분자 물질일 경우에 있어서, 진공 증착법을 수행하여 형성할 수 있으며, 고분자 물질일 경우에 있어서, 잉크젯 프린팅 방법을 수행하여 형성할 수 있다. 이때, 상기 유기 발광층(320)을 형성하기 전에 또는 후에 정공 주입층, 정공 수송층, 정공 억제층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 적어도 하나의 유기층을 더 형성할 수 있다.
- [0043] 이후, 상기 유기 발광층(320)상에 제 2 전극(330)을 형성한다. 이때, 상기 제 2 전극(330)은 도전물질을 증착하는 과정에서, 상기 세퍼레이터(325)에 의해 각 서브픽셀 단위로 자동적으로 분리된다. 이로써, 별도의 패터닝 공정을 수행하지 않고, 상기 제 2 전극(330)을 형성할 수 있다. 상술한 바와 같이, 상기 세퍼레이터(325)는 낮은 역테이퍼 각을 가지도록 형성함으로써, 상기 제 2 전극(330)을 각 서브픽셀 단위로 확실하게 분리하여 형성할 수 있다.
- [0044] 또한, 상기 제 2 전극(330)은 상기 스페이서(350) 상부에도 형성되는 바, 상기 스페이서(350)에 의해 상기 제 2 전극(350)의 일부분은 상부로 돌출되어, 후술할 제 2 기판의 박막트랜지스터와 전기적으로 연결된다.

- [0045] 도 3e를 참조하면, 박막트랜지스터(Tr)가 형성된 제 2 기판(400)을 제공한다.
- [0046] 자세하게, 상기 제 2 기판(400)상에 박막트랜지스터를 형성하는 방법은 먼저, 제 2 기판(400)을 제공한다. 상기 제 2 기판(400)은 플라스틱, 유리 또는 금속으로 이루어질 수 있다. 상기 제 2 기판(400) 상에 게이트 전극(405)을 형성하고, 상기 게이트 전극(405)을 포함하는 상기 제 2 기판(400) 전면에 걸쳐 게이트 절연막(410)을 형성한다. 상기 게이트 절연막(410)은 산화 실리콘 또는 질화 실리콘을 화학기상증착법을 수행하여 형성할 수 있다.
- [0047] 상기 게이트 전극(405)이 대응된 상기 게이트 절연막(410) 상에 반도체층(415)을 형성한다. 여기서, 상기 반도체층(415)은 비정질 실리콘막과, P형 또는 N형 불순물이 도핑된 비정질 실리콘막을 순차적으로 적층하여 형성한 뒤, 패터닝하여 형성된 활성층(415a)과 오믹콘택층(415b)을 포함한다.
- [0048] 상기 반도체층(415)상에 도전성 금속을 증착한 뒤 패터닝하여, 상기 반도체층(415)의 양단부 상에 위치하는 소스/드레인 전극(425a, 425b)을 형성한다.
- [0049] 이로써, 상기 제 2 기판(400) 상에 게이트 전극(405), 액티브층(415) 및 소스/드레인 전극(425a, 425b)을 포함하는 박막트랜지스터(Tr)를 형성할 수 있다. 여기서, 도면에서 상기 제 2 기판(400)상에 하나의 박막트랜지스터(Tr)를 형성하는 것으로 한정하여 설명하였으나, 상기 제 2 기판(400)상에 적어도 하나의 박막트랜지스터 및 캐패시터를 더 형성할 수 있다.
- [0050] 또한, 여기서 상기 박막트랜지스터(Tr)는 비정질 실리콘을 이용한 바텀 게이트(bottom gate) 박막트랜지스터를 형성하는 것으로 제한하여 설명하였으나, 이에 한정되지 아니하고 공지된 여러 형태의 박막트랜지스터를 채용할 수 있다.
- [0051] 상기 박막트랜지스터(Tr)를 포함하는 제 2 기판(400) 전면에 걸쳐 보호막(420)을 형성한다. 여기서, 상기 보호막(420)은 질화실리콘 또는 산화실리콘으로 이루어질 수 있으며, 화학기상증착법을 수행하여 형성될 수 있다. 상기 보호막(420)에 상기 드레인 전극(425b)을 노출하기 위한 콘택홀을 형성한다. 더 나아가, 상기 콘택홀을 통해 노출된 상기 드레인 전극(425b) 상부에 연결전극(435)을 더 형성할 수 있다.
- [0052] 도 3f를 참조하면, 상기 제 1 기판(300) 또는 상기 제 2 기판(400)의 외곽부에 실 패터를 도포한 뒤, 상기 제 1 기판(300)의 유기 전계 발광 다이오드 소자(E)와 상기 제 2 기판(400)의 박막 트랜지스터(Tr)가 서로 대향되도록, 상기 제 1 기판(300)과 상기 제 2 기판(400)을 합착하여, 유기 전계 발광 표시 장치를 제조할 수 있다.
- [0053] 이때, 상기 제 1 기판(300)에 형성된 스페이서를 통해 돌출된 제 2 전극(330)과 상기 박막트랜지스터(Tr)의 연결전극(435)을 서로 접촉시킴으로써, 상기 유기 전계 발광 다이오드 소자(E)와 상기 박막트랜지스터(Tr)는 서로 전기적으로 접속된다.
- [0054] 따라서, 상기 박막트랜지스터(Tr)와 상기 유기전계발광다이오드 소자(E)를 서로 다른 기판에 각각 형성함으로써, 불량에 대한 수율을 향상시킬 수 있었다.
- [0055] 또, 상기 유기전계발광표시장치의 제 1 기판(300)을 통해 광을 방출하는 상부 발광형으로 제조함에 따라, 상기 박막트랜지스터(Tr) 및 캐패시터를 크게 설계할 수 있어 소자 특성을 향상시킬 수 있다.

발명의 효과

- [0056] 본 발명의 유기 전계 발광 표시 장치 제조 방법은 세퍼레이터의 하부에 위치한 버퍼층을 형성할 때, 가스 비를 제어함으로써 버퍼층의 모폴러지를 개선할 수 있고, 이로 인해 제 1 전극과 2 전극간의 쇼트 불량을 개선할 수 있는 효과가 있다.
- [0057] 본 발명은 이상에서 살펴본 바와 같이 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

도면의 간단한 설명

- [0001] 도 1은 종래의 유기 전계 발광 표시 장치의 단면도이다.

[0002] 도 2는 도 1의 A 영역의 버퍼층의 표면을 보여 주는 사진이다.

[0003] 도 3a 내지 도 3f는 본원 발명에 의한 유기 전계 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

[0004] 도 4a 내지 도 4d는 실란 gas와 암모니아 gas의 비를 제어하여 버퍼층을 형성하는 실험의 결과를 나타내는 사진들이다.

[0005] <도면의 주요부분에 대한 부호의 설명>

[0006] 300 : 제 1 기판 305 : 보조 전극

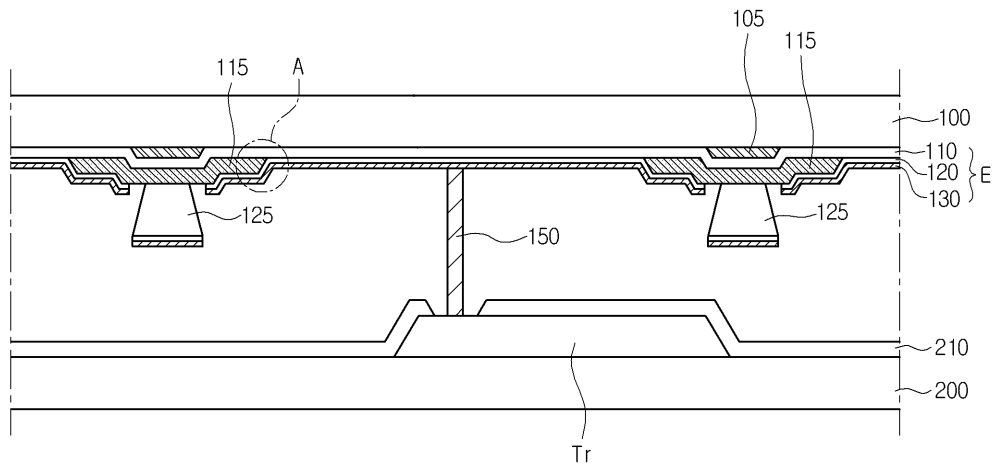
[0007] 310 : 제 1 전극 315 : 버퍼층

[0008] 320 : 유기막 325 : 세퍼레이터

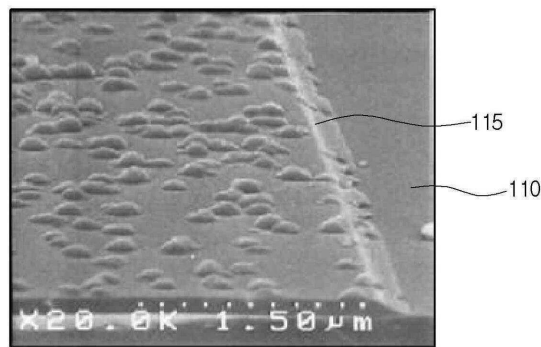
[0009] 330 : 제 2 전극 350 : 스페이서

도면

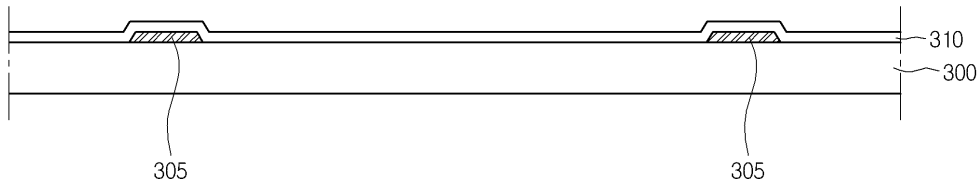
도면1



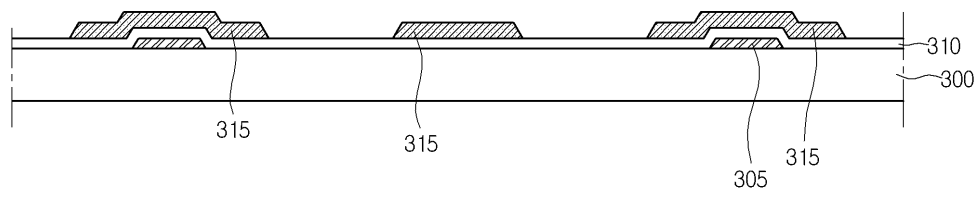
도면2



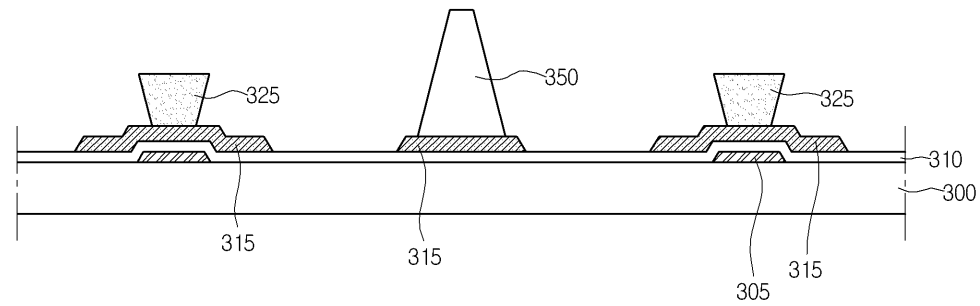
도면3a



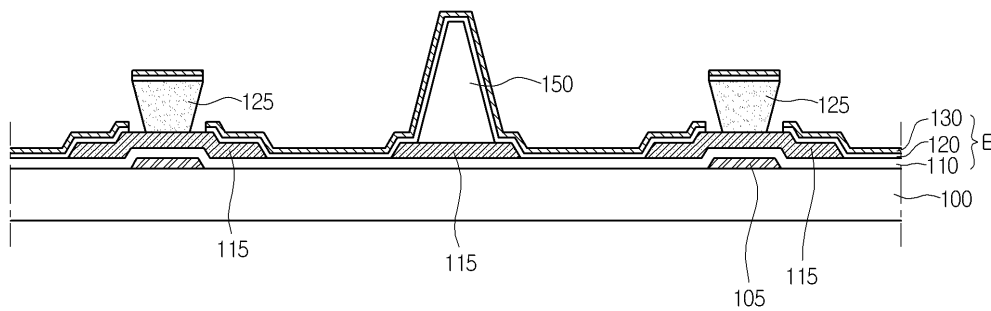
도면3b



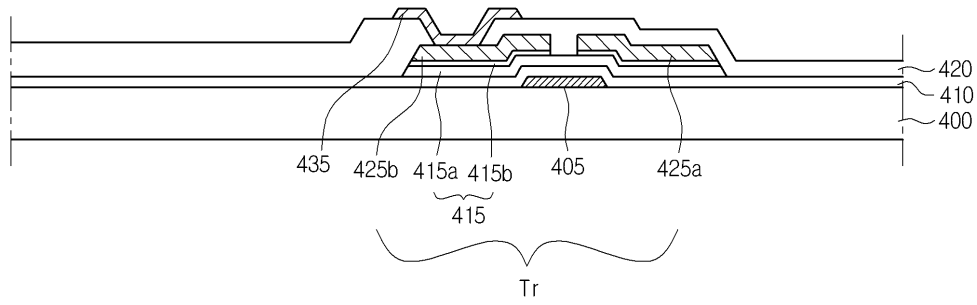
도면3c



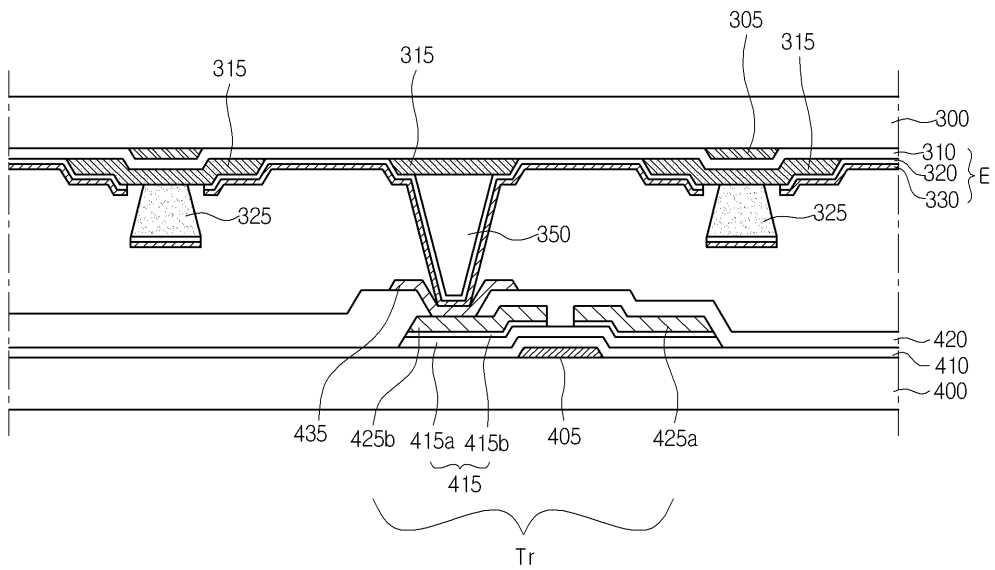
도면3d



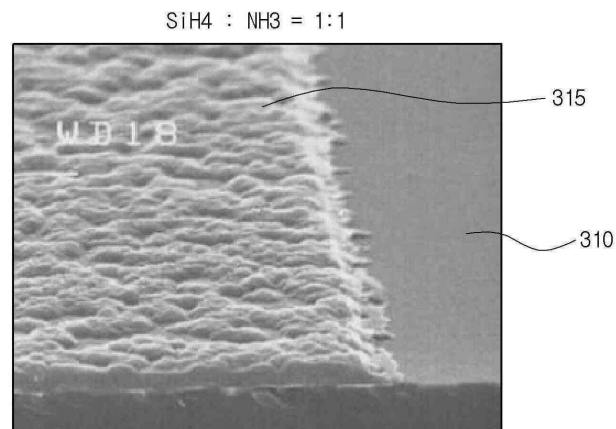
도면3e



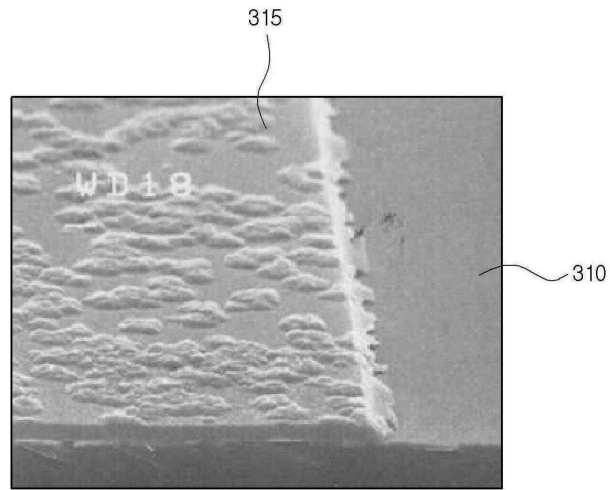
도면3f



도면4a

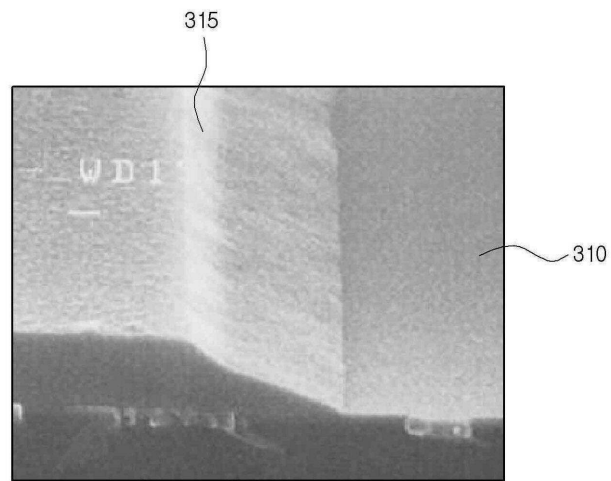


도면4b



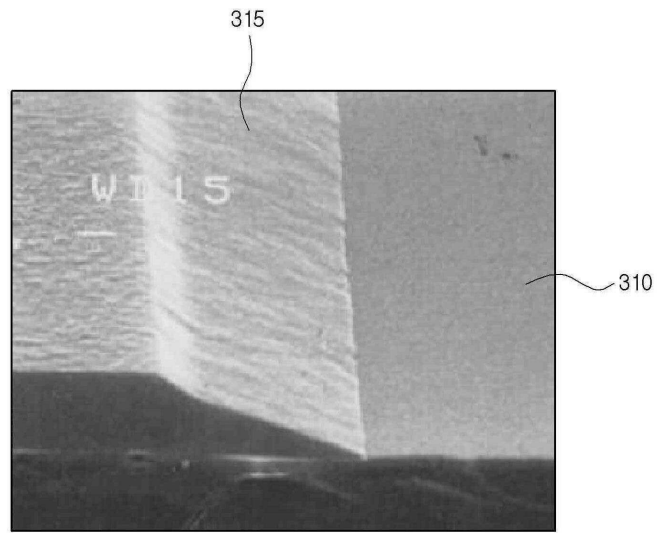
$\text{SiH}_4:\text{NH}_3 = 1:2$

도면4c



$\text{SiH}_4:\text{NH}_3 = 1:3$

도면4d



$\text{SiH}_4:\text{NH}_3 = 1:4$