

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 21/824

[12] 发明专利申请公开说明书

[21] 申请号 98124452.1

[43]公开日 1999年5月26日

[11]公开号 CN 1217575A

[22]申请日 98.11.5 [21]申请号 98124452.1

[30]优先权

[32]97.11.6 [33]JP [31]304591/97

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 铃木久满

[74]专利代理机构 中科专利代理有限责任公司

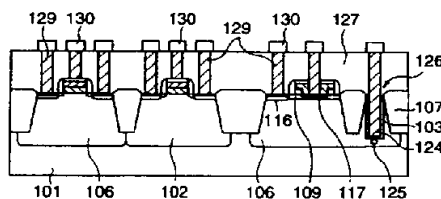
代理人 刘晓峰

权利要求书 3 页 说明书 7 页 附图页数 10 页

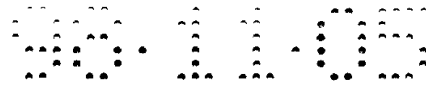
[54]发明名称 制作 BiCMOS 半导体器件的方法

[57]摘要

一种制作 BiCMOS 半导体器件的方法,其中用不同的多晶硅层形成 CMOS 器件的栅电极和双极器件的发射极引线电极,第一多晶硅层形成 CMOS 器件的栅电极的下部,同时第二高掺杂多晶硅层形成双极器件的发射极引线电极的中心部分。



ISSN 1008-4274



权 利 要 求 书

1、一种制造具有双极晶体管及 MOS 晶体管的半导体器件的方法，其特征在于包含如下步骤：

(a) 在半导体基片上形成第一绝缘膜；

(b) 在第一绝缘膜上形成第一导电膜；

(c) 在双极晶体管发射区及集电区处将第一绝缘膜及第一导电膜开孔以形成到达半导体基片表面的发射极窗口及集电极窗口；

(d) 形成不同于第一导电膜并盖住电极窗口及发射极窗口的第二导电膜；

(e) 去除集电极窗口上的第二导电膜并保留发射极窗口的第二导电膜，通过集电极窗口在半导体基片内形成集电极沟道；及

(f) 通过去除 MOS 晶体管栅区之外区域处的第一导电膜形成 MOS 晶体管的栅电极。

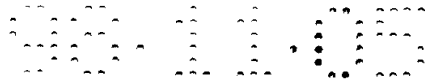
2、根据权利要求 1 所述的方法，其特征在于将集电极沟道蚀刻成具有局部最高杂质浓度的基片的集电极区，还包括用接点插塞填充集电极沟道的步骤。

3、根据权利要求 1 所述的方法，其特征在于在进行步骤 (c) 之前用第二绝缘膜盖住第一导电膜的步骤。

4、根据权利要求 1 所述的方法，其特征在于还包含在步骤 (e) 后在第一导电膜上形成第三导电膜的步骤从而栅电极包括第一导电膜及第三导电膜的叠层结构。

5、根据权利要求 4 所述的方法，其特征在于其中在盖住发射极窗口的第二导电膜上形成第三导电膜，且其中第二及第三导电膜形成发射极引线电极。

6、根据权利要求 4 所述的方法，其特征在于第一到第三导电膜包含多晶硅。



7、根据权利要求 4 所述的方法，其特征在于第三导电膜由耐熔金属及耐熔金属硅化物中的一种制成。

8、根据权利要求 1 所述的方法，其特征在于还包含在步骤（e）之前及步骤（d）之后，在第二导电膜上形成第三绝缘膜的步骤。

9、根据权利要求 1 所述的方法，其特征在于其中步骤（e）中去除第二导电膜的步骤留下形成发射极引线电极一部分的部分第二导电膜。

10、根据权利要求 1 所述的方法，其特征在于第一绝缘膜包含栅氧化膜。

11、根据权利要求 1 所述的方法，其特征在于第一和第二导电膜包含多晶硅。

12、根据权利要求 1 所述的方法，其特征在于在步骤（d）中在第一导电膜上形成的第二导电膜填充发射极窗口。

13、一种制造具有双极晶体管、P 沟道 MOS 晶体管及 N 沟道 MOS 晶体管的半导体器件的方法，其特征在于包含如下步骤：

（a）在半导体基片上形成第一绝缘膜；

（b）在第一绝缘膜上形成第一导电膜；

（c）在第一导电膜的表面内形成发射极窗口及集电极窗口；

（d）形成不同于第一导电膜的盖住发射极窗口的第二导电膜；

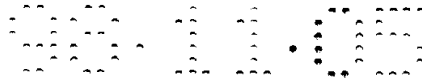
（e）通过集电极窗口形成半导体基片内的集电极沟道；及

（f）通过去除 P 沟道 MOS 晶体管及 N 沟道 MOS 晶体管的栅极区的外区域处的第一导电层，形成各 P 沟道 MOS 晶体管及 N 沟道 MOS 晶体管的栅电极。

14、根据权利要求 13 所述的方法，其特征在于集电极沟道是对具有局部最高杂质浓度的基片的集电极区蚀刻成的，并且还包含用接点插塞填充集电极沟道的步骤。

15、根据权利要求 13 所述的方法，其特征在于在进行步骤（c）之前用第二绝缘膜盖住第一导电膜的步骤。

16、根据权利要求 13 所述的方法，其特征在于还包含在步骤（e）后在第一导电膜上形成第三导电膜的步骤，从而使栅电极包括第一导电膜及第三导电膜的叠层结构。

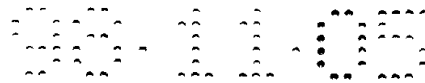


17、根据权利要求16所述的方法，其特征在于第三导电膜由耐熔金属及耐熔金属硅化物中的一种构成。

18、根据权利要求13所述的方法，其特征在于第一绝缘膜包含栅氧化膜。

19、根据权利要求13所述的方法，其特征在于第一和第二导电膜包含多晶硅。

20、根据权利要求13所述的方法，其特征在于在步骤(d)中在第一导电膜上形成的第二导电膜填充发射极窗口。



说明书

制作BiCMOS半导体器件的方法

本发明涉及半导体器件的生产方法，尤其涉及制造具有双极晶体管及互补场效应晶体管的半导体器件（此后指BiCMOS）的生产方法。

在半导体集成电路器件的现有技术中，为了实现双极晶体管的高速运行及高驱动能力。以及CMOS的小功率消耗，传统的公知的方法是在BiCMOS结构中的同一芯片基片上形成双极晶体管及CMOS。

然而，对更高速度、更小能耗及更小尺寸的需求还未获得满意的结果，相应地，本发明人在与本发明相关的日本专利申请No. 09-171657中揭示了一种对传统方法的改进方法，但其不属现有技术。

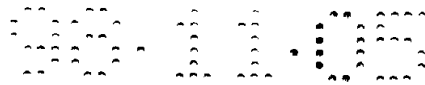
下面参考图1A到1H对比相关发明进行描述。

首先，在图1A中，通过公知的LOCOS（硅的局部氧化）隔离方法及STI（窄沟道隔离）方法，在P-型硅基片101内形成元件隔离氧化膜107及第一氧化膜133。

然后，如图1B中所示，通过以350keV的能量及 $5 \times 10^{13} \text{ cm}^{-2}$ 浓度植入硼离子，在NMOS中形成第一P-型阱区102。并通过以700keV的能量及 $5 \times 10^{13} \text{ cm}^{-2}$ 浓度植入磷离子从而在PMOS形成区及双极晶体管的集电极区内形成第一N型阱区106。

如图1C中所示，在去除第一氧化膜133后，在基片101的表面上形成厚度为5-10nm的第一绝缘膜108，第一绝缘膜108包含栅氧化膜。然后，以10到50keV的能量及 $5 \times 10^{13} \text{ cm}^{-2}$ 到 $5 \times 10^{14} \text{ cm}^{-2}$ 浓度植入硼离子或 BF_2 离子以形成P型基极区109，发射极接点110及集电极接点126被开路，然后生长厚度为150到400nm的第一导电多晶硅112。

尤其是如图1D中所示，用由光刻胶等制成的掩膜通过各向异性蚀刻自第一多晶硅112制成栅电极113、141及发射极引线电极114。通过用同一掩膜及第一绝缘膜108作为掩膜进行蚀刻形成集电极沟道124，此后去



除掩膜。在相同条件下这些蚀刻过程可连续进行，或通过将蚀刻分为几个阶段以多步骤形式进行。

然后，如图1E中所示，形成N型LDD（轻掺杂漏极）层120及P型LDD层121。然后通过各向异性蚀刻分别在栅电极113、141、发射极引线电极114、及集电极沟道124的壁上形成侧壁119。

然后，在图1F中，形成厚度为5到20nm的薄氧化膜132，通过植入磷或砷离子的杂质形成集电极沟道124底面处的 N^+ 型扩散层128及NMOS器件的 N^+ 型源-漏极122。通过植入此N型离子，使NMOS器件的栅电极113成为N型栅电极，通过植入硼或 BF_2 离子，形成 P^+ 型源-漏区123及 P^+ 型PMOS器件的接枝基极116。通过植入此P型离子，同样使PMOS器件的栅电极141成为P型栅电极。

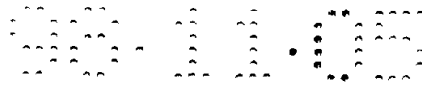
需注意的是，在形成 N^+ 源-漏区122时，通过植入诸如磷或等离子或通过加入另一工艺步骤引入杂质而将杂质引入发射极引线电极114。

参考图1G，通过传统方法，用诸如钛、钴、或镍金属将栅电极113、141的表面、发射极引线电极114、集电极沟道124底面处的 N^+ 型扩散层128、 N^+ 型源-漏区122、 N^+ 型源-漏区123及 P^+ 型接枝基极116转换为硅化物进而形成硅化物层125。

在图1H中，生长由5nm厚的氧化膜（TEOS- SiO_2 ）及800nm厚的BPSG（硼-磷-硅化-玻璃）形成的层绝缘膜127。在1050℃对膜127进行5到15秒的RTA（快速热处理）或在900℃进行20到30分钟的炉退化以形成发射极扩散层117，此后，对接点开口以通过阻挡层金属（未示出）形成接点塞129，然后，完成金属布线130。

然而，此工艺的第一个问题在于，在形成如图1D中所示的集电极沟道时，由光刻胶等构成的掩膜及第一绝缘膜108被分别掩蔽并刻蚀，这样就减少了第一绝缘膜108的厚度并降低了其作为掩膜的效果。

此工艺的第二个问题在于，在BiCMOS生产方法中，当布线层由栅电极及发射极引线电极共用时，如果P-沟道MOS栅电极及N-沟道MOS栅电极都由N型多晶硅构成，则没问题的。然而，当在P沟道MOS上形成P-型栅电极及在N沟道MOS上形成N型栅电极时（指PN栅极），并且当共同使用发射极电极及布线层时，必须在构成栅电极及发射极引线电极



的多晶硅内分别植入P型及N型杂质，这增加了工时数并降低了生产过程中的自由度数。

因此，本发明的第一个目的是提供一种制造BiCMOS器件的新方法，其可避免相关现有技术中的这些问题。

本发明的第二个目的是提供一种制造BiCMOS半导体器件的改进方法，其可提高用于形成双极晶体管的发射极引线电极及集电极沟道的工艺余量。

本发明的第三个目的是提供一种半导体器件的制造方法，其中用不同的多晶硅层制造MOS器件的栅电极及双极器件的发射极电极。

通过下面结合相应附图的描述，对本领域技术人员而言，会对权利要求范围的本发明的以上及其它目的有更清楚的了解。

图1A到1H为用于解释相关现有技术的截面示意图；

图2A到2K为用于解释本发明第一实施例的截面示意图；

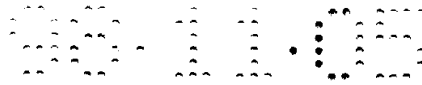
图3A到3HK为用于解释本发明第一实施例的截面示意图。

本发明是关于一种制造BiCMOS半导体器件的方法，其中用不同的多晶硅层用于形成CMOS器件的栅电极及双极器件的发射极引线电极，第一多晶硅层形成CMOS器件的栅电极的下部，而第二高掺杂多晶硅层形成双极器件的发射极引线电极的中心部分。

下面参考附图2A-2K对本发明第一实施例进行描述。

正如在相关现有技术及图2A中所示的，通过LOCOS隔离方法及STI方法在P型硅基片101内形成元件隔离氧化膜107及第一氧化膜133。然后，在图2B中，通过用350keV的能量及 $5 \times 10^{13} \text{ cm}^{-2}$ 浓度植入硼离子，从而在NMOS中形成第一P型阱区102。通过以700keV的能量及 $5 \times 10^{13} \text{ cm}^{-2}$ 浓度植入磷离子，从而在PMOS形成区及双极晶体管的集电极区内形成第一N型阱区106。另外，如图2C中所示，在去除第一氧化膜133后，在基片101的表面上形成厚度为5到10nm的第一绝缘膜108。第一绝缘膜108包含栅氧化膜。然后，以10到50keV的能量及 1×10^{13} 到 $5 \times 10^{14} \text{ cm}^{-2}$ 浓度植入硼或 BF_2 离子以形成P型基区109。

与现有技术相比，在第一绝缘膜108上生长50到200nm厚的第二多晶硅103，并在其上形成5到10nm厚的氧化硅或氮化硅第二绝缘膜104。用由



光刻胶等制成的第一掩膜105通过各向异性蚀刻去除第二绝缘膜104，第二多晶硅103及第一绝缘膜108，从而露出发射极接点110及集电极接点126。

然后，如图2D中所示，去除第一掩膜105，并形成50到200nm厚的第三多晶硅111，并在其上形成厚度为50到100nm的第三氧化硅膜或氟化硅膜的绝缘膜115。

在此情况下，用磷或砷离子植入第三多晶硅111，从而第三多晶硅111中的杂质峰值浓度变为 1×10^{19} 至 $1 \times 10^{21} \text{ cm}^{-3}$ 。

然后，在图2E中，用由光刻胶或类似材料制成的第二掩膜118通过各向异性蚀刻形成发射极引线电极114。通过用同一掩膜及第二绝缘膜104作为掩膜进行蚀刻形成集电极沟道124。然后，去除第二绝缘膜104，可以连续进行这些蚀刻过程也可以分多个步骤进行。集电极沟道124的底部延伸到N型阱区106内到达具有局部最高杂质浓度的集电极区。

在图2F中，去除发射极引线电极114上的第二掩膜118，并形成厚度为50到300nm的第四多晶硅131。

然后，在图2G中，用光刻胶或类似材料制成的掩膜通过各异性蚀刻形成包含第二多晶硅103及第四多晶硅131的栅电极113、141。因此，通过在井区102、106上顺序叠置第一绝缘膜108、第二多晶硅103及第四多晶硅131从而形成CMOS器件的栅电极113、141。

在此情况下，在发射极引线电极114的底部侧面及集电极沟道124的侧壁上留下第二多晶硅103。

然后，在图2H中，形成N型LDD层120及P型LDD层121，并生长用于侧壁的氧化膜，此后，形成栅电极113、141及发射引线电极114的侧壁，通过各向异性蚀刻在作为集电极沟道124侧壁的第二多晶硅103上形成侧壁119。

然后，在图2I中，在器件的暴露的表面上形成厚度约为5到20nm的薄氧化膜132，然后通过植入磷或砷离子从而形成NMOS的 N^+ 型源-漏区122并在集电极沟道124的底部形成 N^+ 型扩散层128。此种 N^+ 型离子植入同样使NMOS器件的栅电极113成为N型栅电极，通过植入诸如硼杂质离子形成PMOS的 P^+ 型源漏区123及 P^+ 型接枝基极116。此种 P^+ 型

离子植入同样使PMOS器件的栅电极141成为P型栅电极，在形成NMOS的N⁺型源漏区122时，通过植入磷或砷离子或通过另一附加工艺步骤的离子植入将杂质引入发射极引线电极114中。

在图2J中，通过公知方法，用诸如钛、钴或镍等金属，将栅电极113、141、集电极沟道124底部处的N⁺型扩散层128、N⁺型源漏区122、P⁺型源漏区123及P⁺型接枝基极116的表面转换成硅化物从而形成硅化层125。

接着，在图2K中，生长由5nm厚氧化膜（TEOS-SiO₂）及800nm厚BPSG（硼-磷-硅化-玻璃）构成的绝缘膜127，在1050℃对膜127进行5到15秒的RTA（快速热处理）或在900°进行20到30分钟的炉热处理形成发射极扩散层117，开出一个接点，并通过阻挡金属（未示出）形成接点插塞129，从而形成金属布线130。

在上述实施例中，由发射引线电极114的发射极区、在发射极区的底侧处与P型基极区109相连的硅化层125的基极区、及集电极沟道124底面处的N⁺型扩散层128的集电极区形成双极晶体管。

在本发明第一实施例的情况下，通过植入磷或砷离子，从而形成作为发射极引线电极114的一部分的图2D中所示的第三多晶硅111，从而第三多晶硅中的峰值杂质变为 1×10^{19} 到 $1 \times 10^{21} \text{ cm}^{-3}$ 。然而，当发射极接点110的宽度降低时，通过离子植入向第三多晶硅111中引入杂质的过程由于插塞的影响很难使发射极接点110中第三多晶硅111内的杂质浓度恒定。这会导致发射极电阻的增大及电流放大系数的波动。

因此，在本发明第一实施例的情况下，由于发射极引线电极114的表面被第三绝缘膜115覆盖，因此不可能在发射极引线电极114上形成硅化层125，因此，与现有技术相比，发射极引线电极的引线部分的电阻会增大。

下面参考图3A-3H对解决上述问题的本发明的第二实施例进行描述。

在完成图2A-2C中所示的步骤后，并参考图3A，去除第一掩膜105，形成厚度为50到200nm并含浓度为 1×10^{19} 到 $1 \times 10^{21} \text{ cm}^{-3}$ 砷或磷杂质的N型杂质的第五多晶硅134，第五多晶硅134至少被完全掩膜在发射极接点110处。

如图3B中所示，用由光刻胶等制成的第三掩膜135通过各向异性蚀刻形成集电极沟道124，集电极沟道124的底部达到高杂质浓度的集电极区。

然后，在图3C中，去除第三掩膜135，并形成厚度为50到300nm厚的第四多晶硅131。

如图3D中所示，用光刻胶等材料构成的掩膜通过各向异性刻蚀形成栅电极113、141及发射极引线电极的引线部分136。

接着，在图3E中，形成N型LDD层120及P型LDD层121，生长侧壁氧化膜，然后通过各向异性刻蚀在栅电极113、141、发射极引线电极114及集电极沟道124等的侧壁上形成侧壁119。

参考图3F，形成厚度为5到20nm的薄氧化膜132，然后通过植入诸如磷或砷离子，在NMOS器件的N⁺型源漏区122及集电极沟道124的底面形成N⁺型扩散层128。此种N型离子植入同样使NMOS器件的栅电极113成为N型栅电极通过植入诸如硼或BF₂杂质离子形成PMOS的P⁺型源漏区123及P⁺接技基极116，这种的P型离子植入使PMOS器件的栅电极141成为P型栅电极。在形成NMOS的N⁺型源漏区122时，通过植入如磷或砷杂质离子或通过另一步骤中引入磷或砷离子，将杂质引入发射极引入线电极136。

此后，在图3G中，用诸如钛、钴或镍等金属，将栅电极113、141、发射极引线电极136、集电极沟道124底面处的N⁺扩散层128、N⁺型源漏区122、P⁺型源漏区123及P⁺型接技基极116的表面转换成硅化物由此形成硅化层125。

如图3H中所示，生长5nm厚的层绝缘氧化膜127 (TEOS-SiO₂) 及800nm厚的BPSG (硼-磷-硅化-玻璃)。在1050℃对膜进行5到15秒的RTA (快速热处理) 或在900℃进行20到30分钟的炉热处理以形成发射极扩散117，然后开出一个接点，通过阻挡金属 (未示出) 形成接点插塞129，接着，形成金属布线130。

如图3D中所示，发射极引线电极134包括其引线部分136的底侧处的第五多晶硅且多晶硅被用作电极134的引线部分，然而，在用钨或诸如硅化钨的耐熔金属硅化物作为引线部分136时可以降低发射极引线电极136

及栅电极113、141的布线电阻。

已对本发明的最佳实施例进行的描述，而明确本发明的全部范围仅由所附权利要求进行限定。

说明书附图

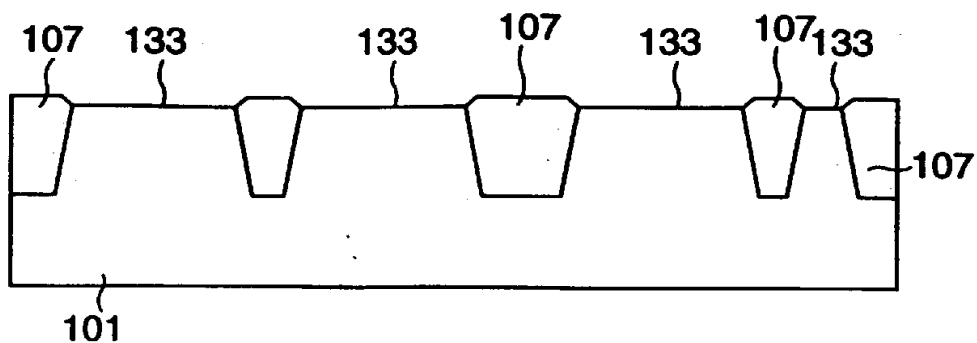


图 1A

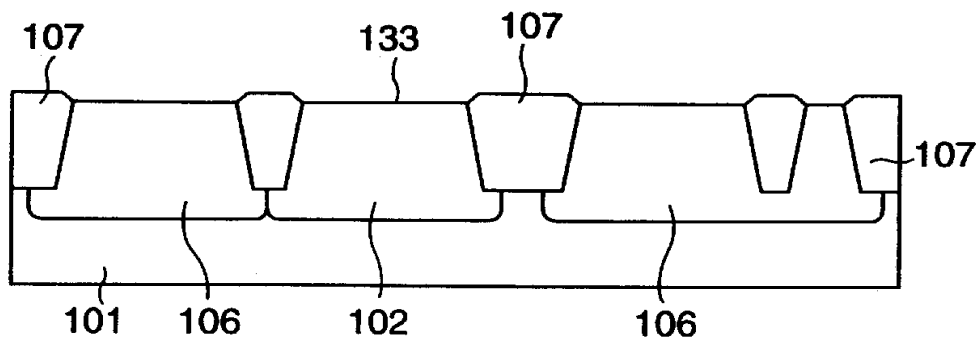


图 1B

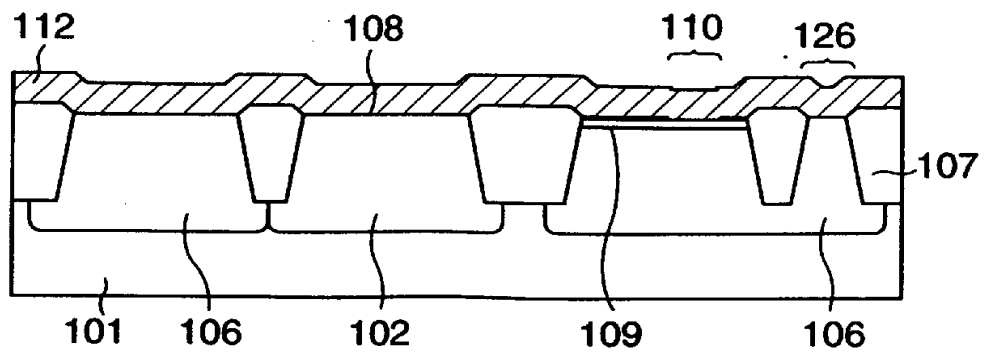


图 1C

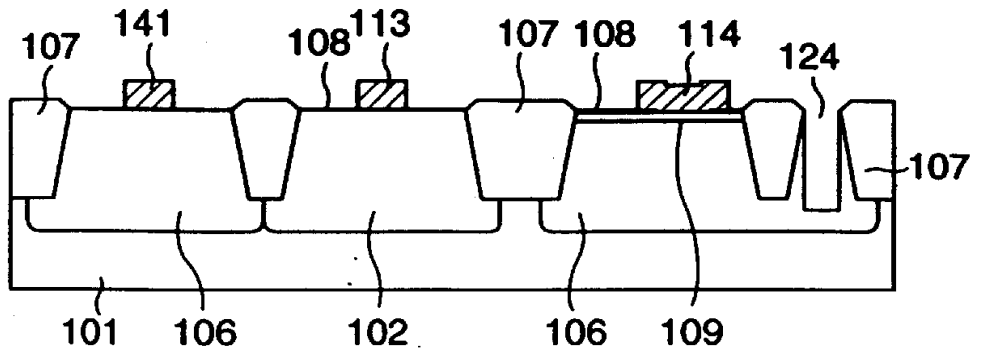


图 1D

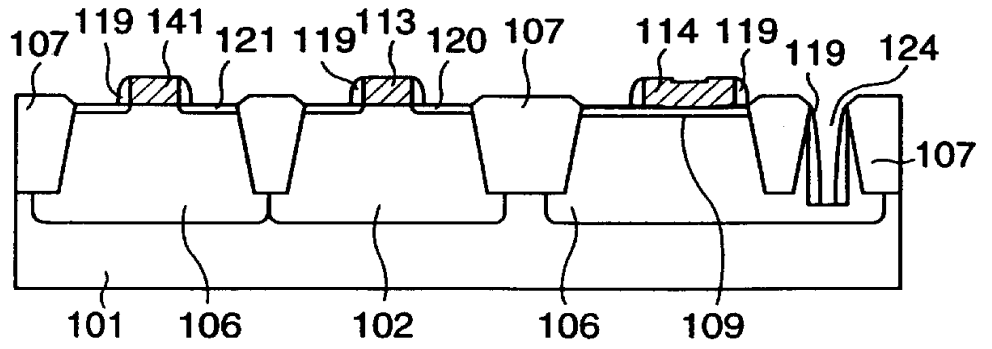


图 1E

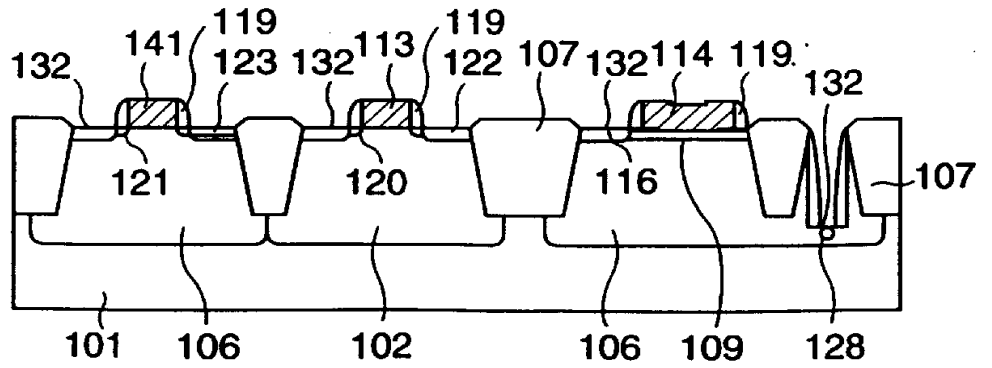


图 1F

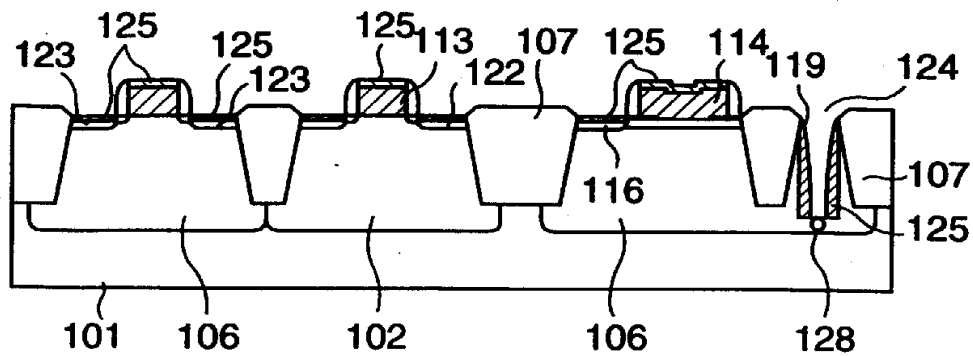


图 1G

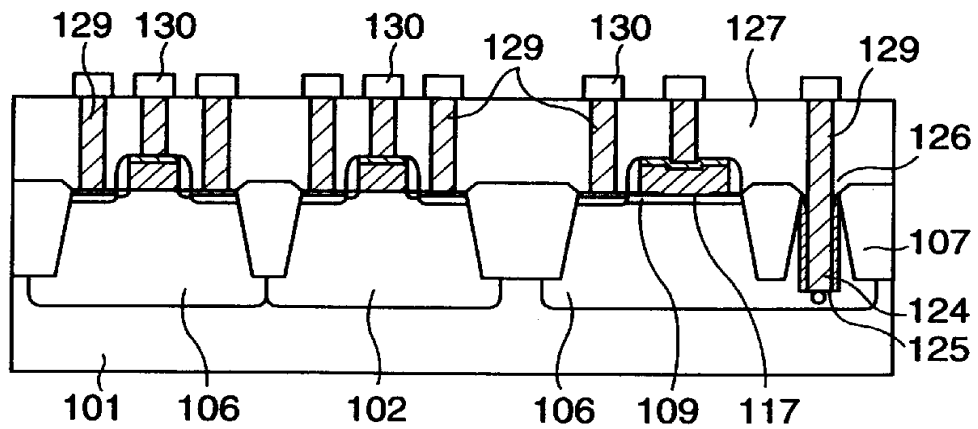


图 1H

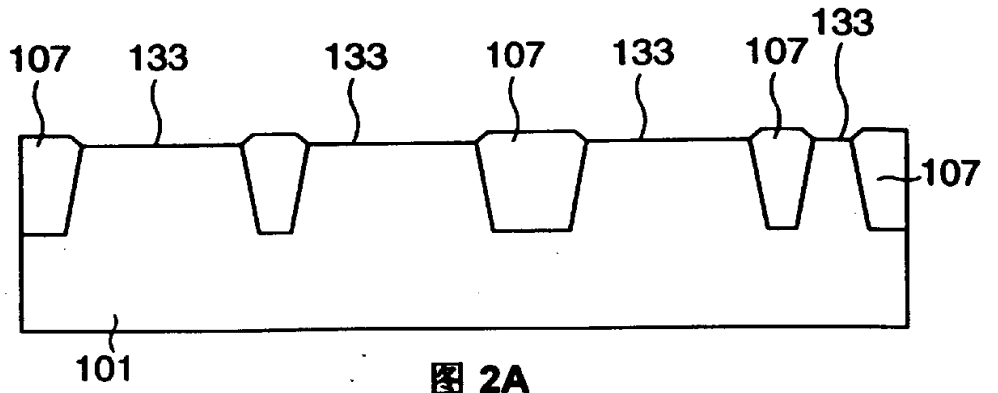


图 2A

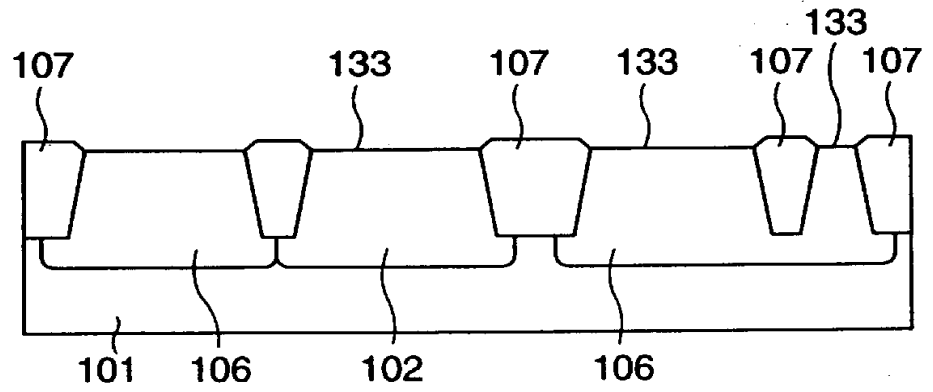


图 2B

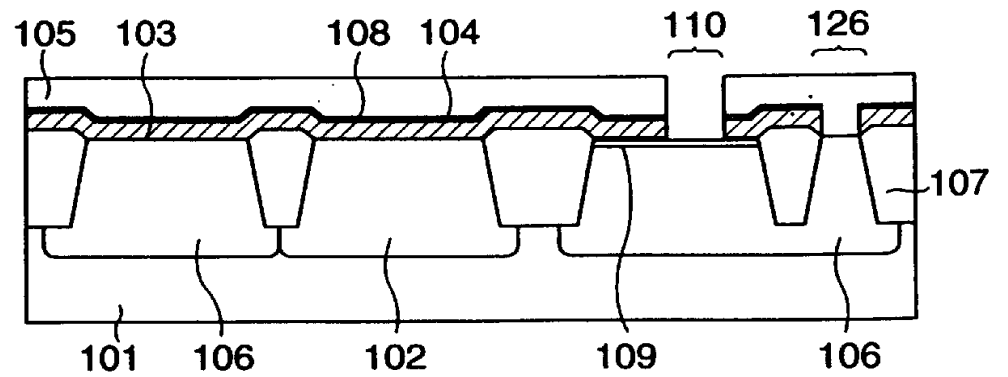


图 2C

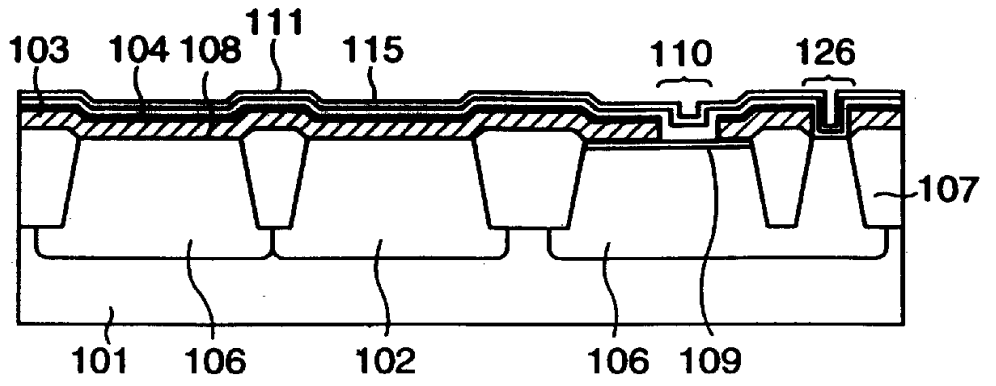


图 2D

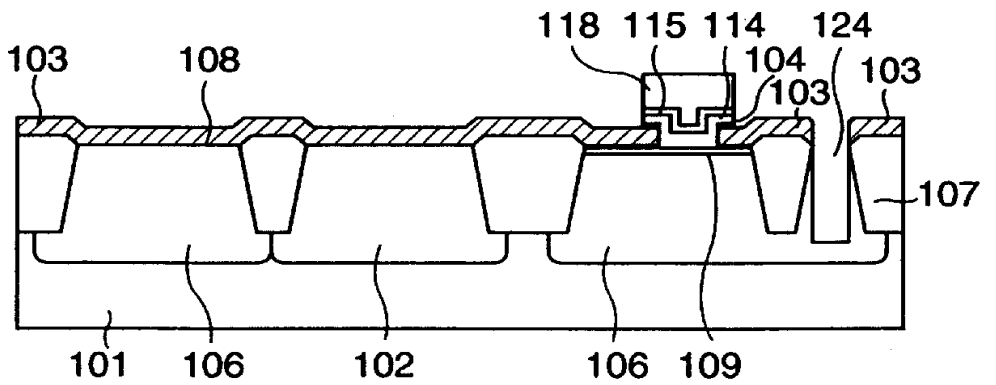


图 2E

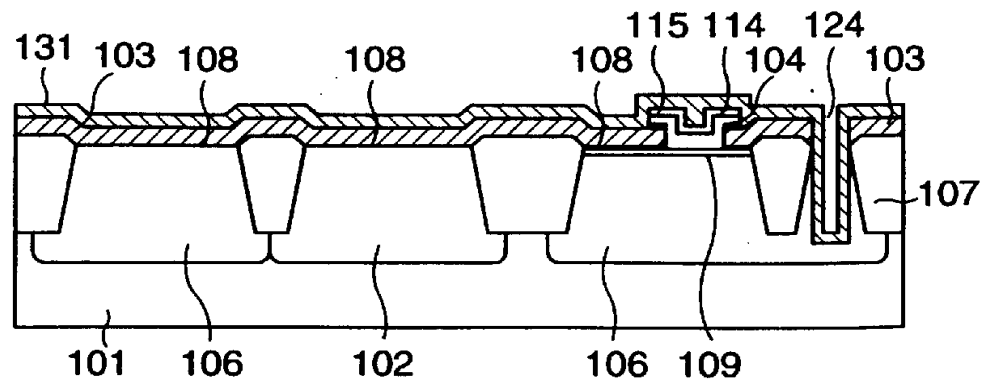


图 2F

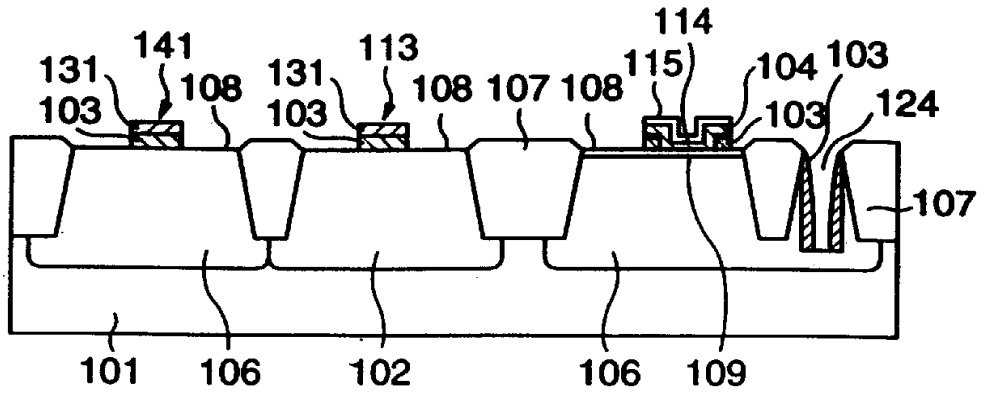


图 2G

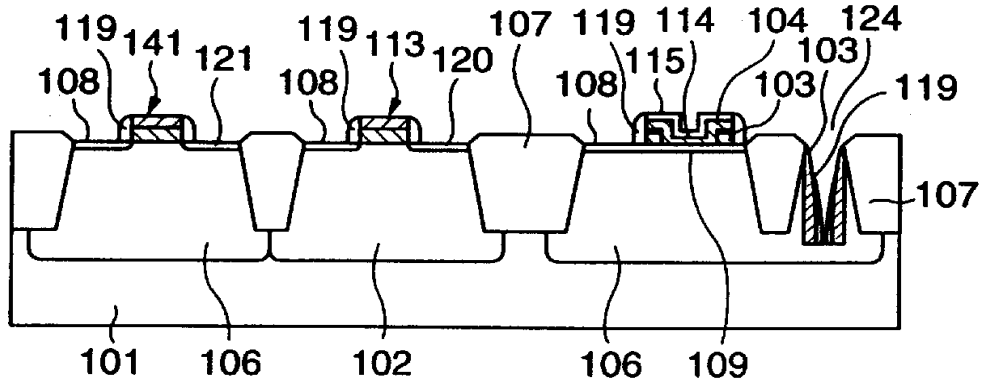


图 2H

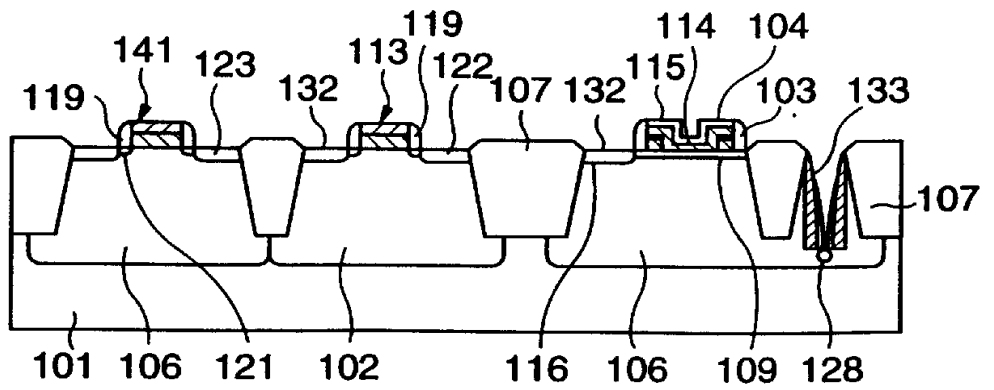


图 2I

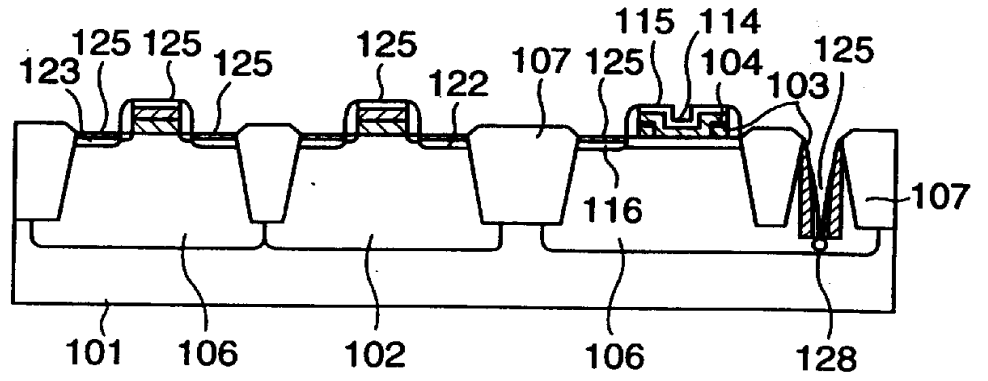


图 2J

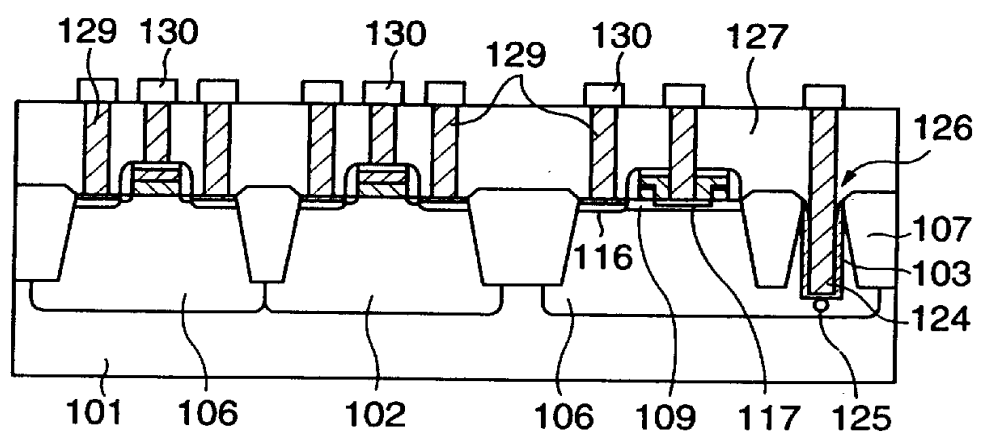


图 2K

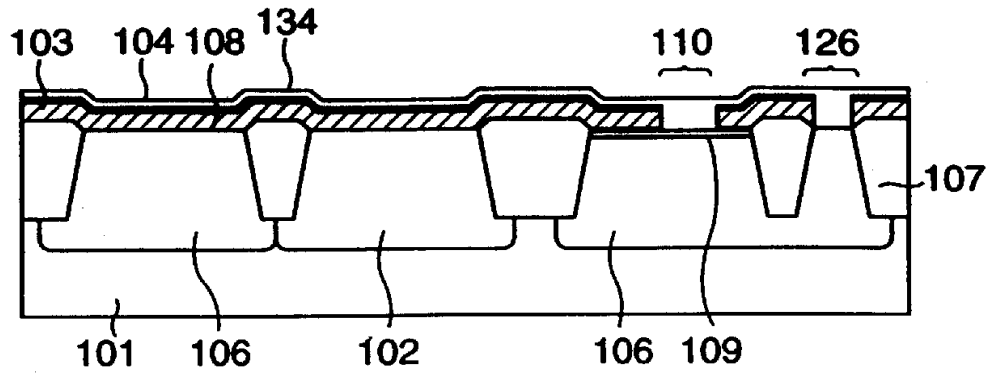


图 3A

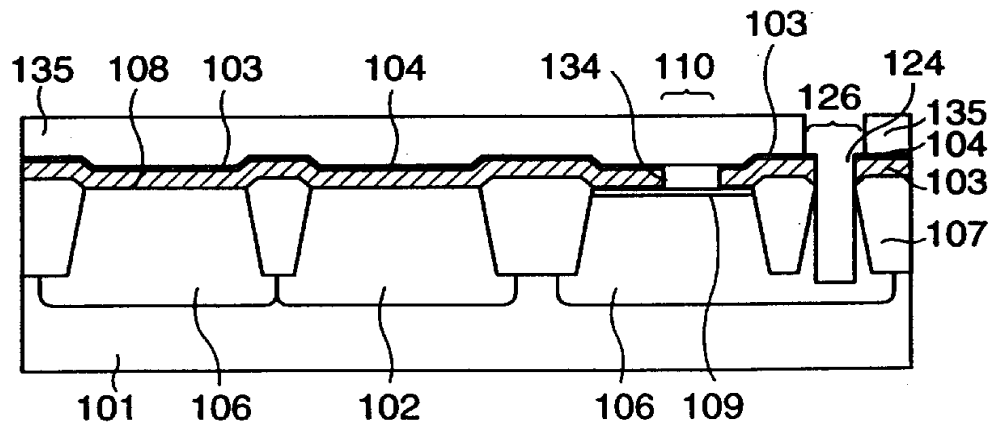


图 3B

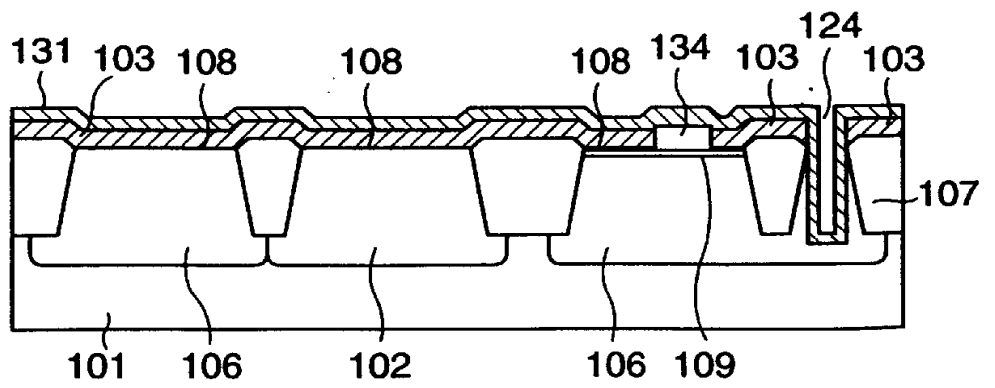


图 3C

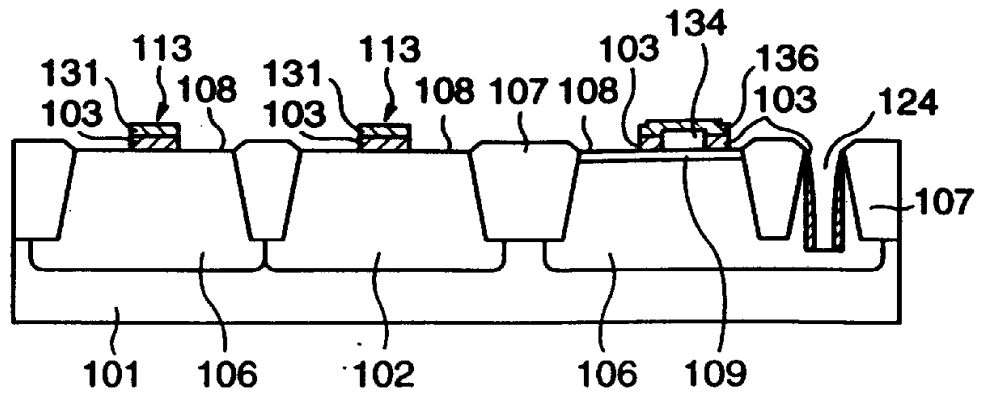


图 3D

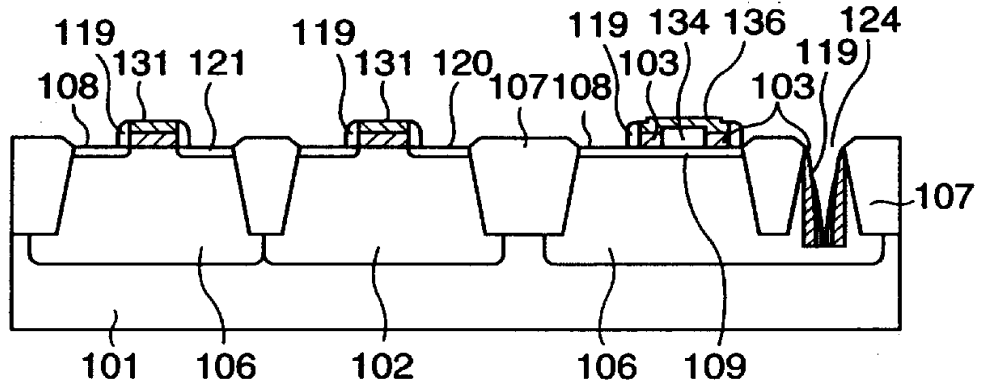


图 3E

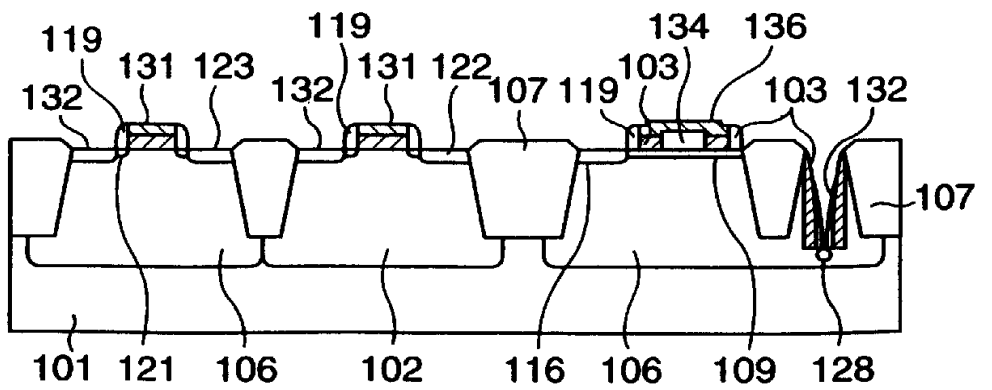


图 3F

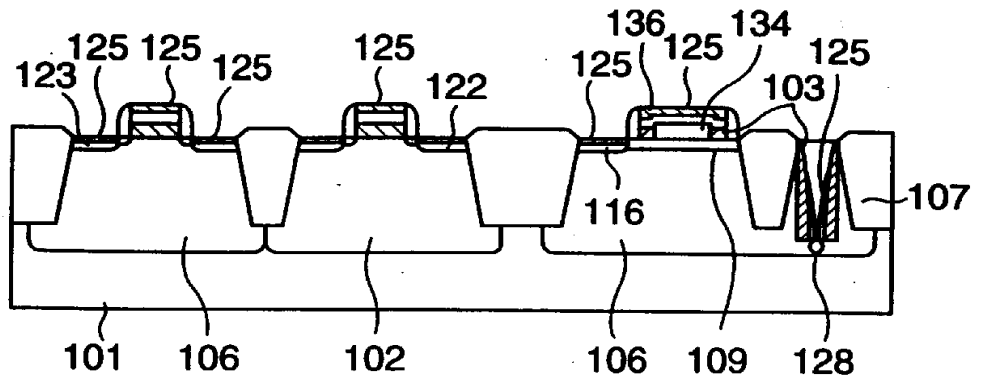


图 3G

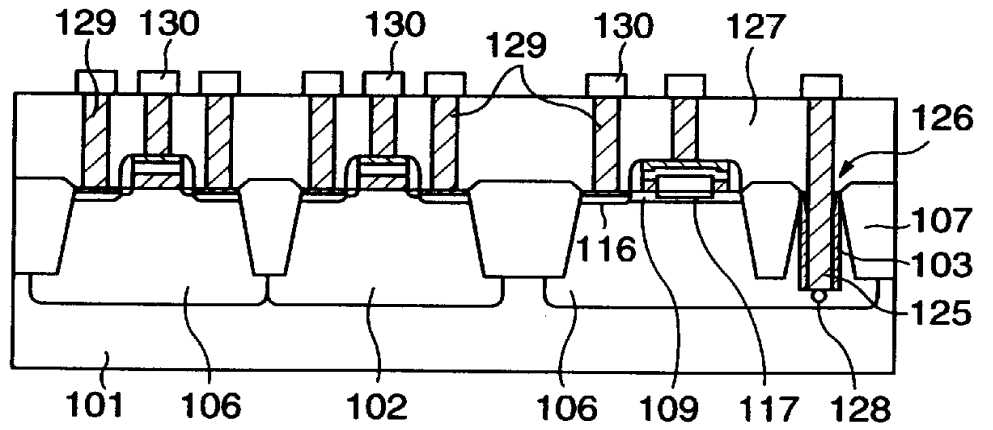


图 3H