

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H05K 1/18	(45) 공고일자 2000년05월01일	(11) 등록번호 10-0255476
(21) 출원번호 10-1997-0030380	(24) 등록일자 2000년02월14일	(65) 공개번호 특1999-0006158
(22) 출원일자 1997년06월30일	(43) 공개일자 1999년01월25일	

(73) 특허권자	현대전자산업주식회사	김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1	남택환
(74) 대리인	서울특별시 동작구 상도 4동 214번지 331호	강성배

심사관 : 정성태

(54) 불 그리드 어레이 패키지

요약

본 발명은 반도체 칩을 다층으로 적층하여 일정 면적에서의 용량을 높인 불 그리드 어레이(BGA) 패키지를 개시한다. 본 발명에 따르면, 불 그리드 어레이 패키지는 가장자리에 신호전달을 위한 다수의 패드가 형성되고, 상층부로 갈수록 작은 면적을 갖도록 적층된 다수의 반도체 칩; 상기 다수의 반도체 칩이 내부에 안치되는 공간을 갖는 몸체부; 상기 몸체부에 구비되어, 상기 다수의 반도체 칩중 제일 상부의 반도체 칩을 제외한 반도체 칩들 각각에 구비된 다수의 패드 전극들과 전기적으로 연결되는 도전성의 다수의 스타드; 상기 다수의 반도체 칩 중 제일 상부에 위치한 반도체 칩 상부에 형성되어, 그것의 패드전극과 전기적으로 연결시키는 빔 리드필름; 상기 반도체 칩과 빔 리드필름 사이에 개재되어 상기 반도체 칩과 빔 리드필름 사이에서 완충작용을 하는 컴플라이언트층; 상기 빔 리드필름의 상부에 형성되어, 상기 빔 리드필름의 배선과 전기적으로 연결되는 다수의 도전성의 제1솔더 볼; 및 상기 몸체부의 가장자리 상부에 형성되어, 상기 다수의 스타드들과 전기적으로 연결되는 다수의 도전성의 제2솔더 볼을 포함하는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

제1도는 종래의 실시예에 따른 불 그리드 어레이 패키지의 단면도.

제2도는 본 발명의 실시예에 따른 불 그리드 어레이 패키지의 단면도.

제3(a),(b),(c)도와, 제4(a),(b)도 및 제5(a),(b)도는 제2도에 도시된 불 그리드 어레이 패키지의 제조공정을 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------|-------------|
| 1 : 패키지 몸체부 | 2 : 접착제 |
| 3 : 제1반도체 칩 | 4 : 제2반도체 칩 |
| 5 : 테이프 | 6 : 캐리어 필름 |
| 7 : 컴플라이언트 층 | 8 : 솔더 볼 |
| 9 : 빔 리드필름 | 10 : 와이어 |
| 11 : 스타드 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 볼 그리드 어레이 패키지에 관한 것으로서, 특히 반도체 칩이 다층으로 적층된 마이크로-볼 그리드 어레이 패키지에 관한 것이다.

일반적으로 반도체 소자의 칩 제조공정에서 설계된 단위셀을 배열하고 연결하기 위해 반도체 기판의 예정된 부분에 불순물의 선택적 도입공정, 절연층과 도전층을 적층하는 적층공정 및 패턴 마스크 공정등이 차례로 실행되어 웨이퍼에 집적회로가 형성된다.

이와 같이 형성된 집적회로 칩은 조립공정으로 보내져서 칩절단, 칩부착, 와이어 본딩, 몰드, 트림 및 포밍공정 등의 순서로 진행하여 패키지가 된다.

제1도는 종래의 칩 스케일 패키지(Chip Scale Package) 그룹의 대표적인 마이크로-볼 그리드 어레이(μ -Ball Grid Array: μ -BGA)의 단면도이다.

제1도를 참조하면, 마이크로-볼 그리드 어레이 패키지는 다이(20) 표면 위에 컴플라이언트층(21) 및 회로 배선이 인쇄된 범 리드필름(22)이 순차적으로 적층된다. 범 리드필름(22)의 배선은 다이(21)에 신호 입출력을 위하여 구비된 다수의 본딩 패드와 와이어(24)를 통하여 와이어 본딩된다. 상기 범 리드필름(22)의 표면에는 다이(21)와의 신호 입출력을 위하여 배선과 연결된 도전성의 볼(23)이 제공된다.

상기한 구조의 볼 그리드 어레이 패키지는 도전성의 볼(23)이 인쇄회로기판에 형성된 배선과 솔더링되거나, 소켓에 접속되는 것에 의하여 전기적인 신호연결 체계를 이룬다.

종래의 볼 그리드 어레이 패키지는 점차적으로 소형화되어가고 있는 다이면적에 대하여 핀 수의 증가요구를 수용하기 위해서는 와이어 본딩 기술의 고도화가 요구된다.

발명이 이루고자 하는 기술적 과제

그러나, 와이어 본딩 기술만으로는 핀 수의 증가요구를 수용하기에는 한계가 따를 뿐만 아니라, 와이어 본딩 기술의 고도화에 따른 다른 문제점, 예를 들면, 와이어간의 쇼트와 같은 문제가 발생할 수 있다.

또한, 종래의 볼 그리드 어레이 패키지는 하나의 칩만으로 구성되므로, 일정 면적에서 용량을 증가시키기에 적절하지 못하다.

따라서, 본 발명은 일정 면적에 실장되는 반도체 칩의 용량을 증가시키는 동시에, 용량의 증가에 따른 볼 수의 증가요구를 만족시킬 수 있는 볼 그리드 어레이 패키지를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따르면, 볼그리드 어레이 패키지는 가장자리에 신호전달을 위한 다수의 패드가 형성되고, 상층부로 갈수록 작은 면적을 갖도록 적층된 다수의 반도체 칩; 상기 다수의 반도체 칩이 내부에 안치되는 공간을 갖는 몸체부; 상기 몸체부에 구비되어, 상기 다수의 반도체 칩 중 제일 상부의 반도체 칩을 제외한 반도체 칩들 각각에 구비된 다수의 패드 전극들과 전기적으로 연결되는 도전성의 다수의 스테드; 상기 다수의 반도체 칩 중 제일 상부에 위치한 반도체 칩 상부에 형성되어, 그것의 패드전극과 전기적으로 연결시키는 범 리드필름; 상기 반도체 칩과 범 리드필름 사이에 개재되어 상기 반도체 칩과 범 리드필름 사이에서 완충작용을 하는 컴플라이언트층; 상기 범 리드필름의 상부에 형성되어, 상기 범 리드필름의 배선과 전기적으로 연결되는 다수의 도전성의 제1솔더 볼; 및 상기 몸체부의 가장자리 상부에 형성되어, 상기 다수의 스테드들과 전기적으로 연결되는 다수의 도전성의 제2솔더 볼을 포함하는 것을 특징으로 한다.

[실시예]

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

제2도는 본 발명의 볼 그리드 어레이 패키지의 단면도이고, 제3(a),(b),(c)도와, 제4(a),(b)도 및 제5(a),(b)도는 제2도에 도시된 볼 그리드 어레이 패키지의 제조 공정을 나타낸 도면이다.

제3(b)도를 참조하면, 정육면체의 형상을 가지며, 그 내측에 반도체 칩이 안치될 수 있는 정도의 공간을 갖는 패키지 몸체부(1)가 제공된다. 상기 몸체부는 절연성의 물질이 사용되며, 플라스틱 화합물이 바람직하다. 상기 몸체부의 가장자리 부근에 위치한 경사면에는, 제3(c)도에 도시된 것처럼, 제1다이(3)와의 신호입출력을 위하여 다수의 도전성의 스테드(stud)(11)들이 심어져 있다. 상기 스테드(11)들로는 금이 사용되며, 제3(c)도에 도시한 것처럼, 계단식으로 인너 리드 부분을 여러층으로 만들어주고, 3개가 한 조가 되도록 스테드(11)들을 대각선으로 연결한다. 상기 공간의 바닥면 위에는, 가장자리를 따라서 다수의 패드 전극들을 갖는 제1다이(3)가 접착제(2)가 개재된 상태로 접착된다. 제1다이(3)가 접착된 후, 상기한 스테드(11)와 제1다이(3)의 패드 전극들을 전기적으로 연결시키기 위한 공정이 수행된다. 제3(c)도에 도시된 것처럼, 본 실시예에서는 상기 제1다이(3)와 스테드(11)가 소정 간격만큼 분리된 상태를 유지하기 때문에 와이어 본딩 방법을 사용하여 각 스테드(11)와 그에 대항하는 각 패드 전극을 와이어(10)로 연결하였다. 그러나, 상기한 연결은 다른 방법의 적용도 가능할 것이다. 제3(a)도는 와이어 본딩 공정이 완료된 상태의 평면도로서, 경사면에 심어진 스테드(11)는 와이어간의 쇼트 방지를 위한 최소한의 간격을 유지하기 위하여, 단일 라인 배열이 아닌 다수의 라인 배열을 갖도록 한다. 본 실시예에서는 3행 배열을 도시하였다.

제4(a),(b)도를 참조하면, 제1다이(3) 위에 제1다이 보다 적은 면적을 갖는 제2다이(4)를 적층하기 위하여, 양면부착이 가능하도록 캐리어 필름(6)을 개재하여 제1테이프(5a)와 제2테이프(5b)를 부착한다. 제2테이프(5b) 위에는 제2다이(4)를 안치하고, 제2다이(4)의 위에는 제2다이(4)의 가장자리를 따라서 형성된 패드 전극을 노출시키는 정도의 면적을 갖으면서, 이후 접착되는 범 리드필름과 다이 사이에서 소정의 완충작용을 하도록 컴플라이언트층(7)을 안치시킨다. 컴플라이언트층(7)과 제2다이(4)의 가장자리 위에 배

선 패턴이 형성된 빔 리드필름(9)을 접착한 다음, 빔 리드 본딩을 실시하여 제2다이의 가장자리에 형성된 다수의 패드 전극들과 빔 리드필름(9)의 배선을 전기적으로 연결한다. 상기한 과정의 완료된 상태의 평면도를 제4(a)도에 도시하였다.

배선공정의 완료후에는 인캡슐레이션 공정을 실시하여 배선들이 노출된 경사면 영역을 봉지한다. 이때, 봉지를 위하여 사용되는 물질은 액상의 봉지수지이다.

다음으로, 제5(a)도 및 제5(b)도에 도시된 것처럼, 제1다이와 제2다이 각각의 신호입출력을 위하여 솔더 볼을 형성하는 공정이 실시된다. 제1다이(3)와의 연결을 위한 다수의 솔더 볼(8)들은 패키지 몸체부(1)의 가장자리 표면까지 노출된 스테드(11)들과 전기적으로 연결되며, 제2다이(4)와의 연결을 위한 다수의 솔더 볼(8)들은 빔 리드필름(9)의 상부에 노출된 배선과 전기적으로 연결된다.

상기한 실시예에서는 두 개의 다이를 적층하는 예를 제시하였지만, 경사면의 기울기를 완만하게 하여 스테드의 집적도를 증가시키므로써, 다이를 3층 또는 그 이상으로 구성하는 것도 가능하다. 즉, 제일 상부에 안치되는 다이는 상기한 실시예의 제2다이와 동일한 방법으로 배선연결을 하고, 나머지 다이들은 스테드를 통하여 연결하므로써, 일정 면적에서 보다 높은 용량을 갖는 패키지의 제작이 가능해진다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명의 볼 그리드 어레이 패키지는 다이를 다층으로 적층하므로써, 동일 면적에서 높은 용량을 갖는 패키지 구현을 가능하게 한다. 이는 작은 칩 사이즈 대비 핀 수를 증가시키는 것을 가능하게 한다. 또한, 고용량의 패키지 구현을 위하여, 보다 고도한 와이어 본딩 기술의 적용없이, 종래 기술 수준의 와이어 본딩 기술을 적용할 수 있기 때문에 제조비용의 증가 및 수율 감소를 방지할 수 있다. 아울러, 완성된 패키지는 다운 타입의 패키지이므로 열방출 효과가 우수하다.

여기에서는 본 발명의 특정 실시예에 대해서 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1

가장자리에 신호전달을 위한 다수의 패드가 형성되고, 상층부로 갈수록 작은 면적을 갖도록 적층된 다수의 반도체 칩; 상기 다수의 반도체 칩이 내부에 안치되는 공간을 갖는 몸체부; 상기 몸체부에 구비되어, 상기 다수의 반도체 칩 중 제일 상부의 반도체 칩을 제외한 반도체 칩들 각각에 구비된 다수의 패드 전극들과 전기적으로 연결되는 도전성의 다수의 스테드; 상기 다수의 반도체 칩 중 제일 상부에 위치한 반도체 칩 상부에 형성되어, 그것의 패드전극과 전기적으로 연결시키는 빔 리드필름; 상기 반도체 칩과 빔 리드필름 사이에 개재되어 상기 반도체 칩과 빔 리드필름 사이에서 완충작용을 하는 컴플라이언트층와; 상기 빔 리드필름의 상부에 형성되어, 상기 빔 리드필름의 배선과 전기적으로 연결되는 다수의 도전성의 제1솔더 볼; 및 상기 몸체부의 가장자리 상부에 형성되어, 상기 다수의 스테드들과 전기적으로 연결되는 다수의 도전성의 제2솔더 볼을 포함하는 것을 특징으로 하는 볼 그리드 어레이 패키지.

청구항 2

제1항에 있어서, 상기 다수의 반도체 칩은 두 개인 것을 특징으로 하는 볼 그리드 어레이 패키지.

청구항 3

제2항에 있어서, 상기 다수의 반도체 칩의 패드와 와이어 본딩된 부분은 경화된 액상 수지에 의하여 봉지되는 것을 특징으로 하는 볼 그리드 어레이 패키지.

청구항 4

제1항에 있어서, 상기 다수의 반도체 칩중 제일 하부의 반도체 칩은 접착제가 개재된 상태로 상기 몸체부의 공간의 바닥면에 부착되는 것을 특징으로 하는 볼 그리드 어레이 패키지.

청구항 5

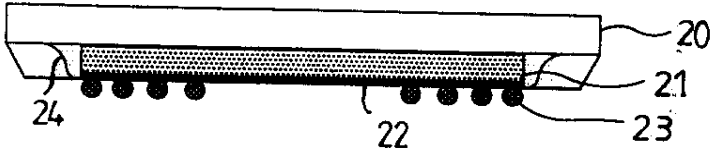
제1항에 있어서, 상기 다수의 반도체 칩중 인접하는 칩 간에는 제1테이프, 캐리어 필름 및 제2테이프가 순차적으로 적층되는 것을 특징으로 하는 볼 그리드 어레이 패키지.

청구항 6

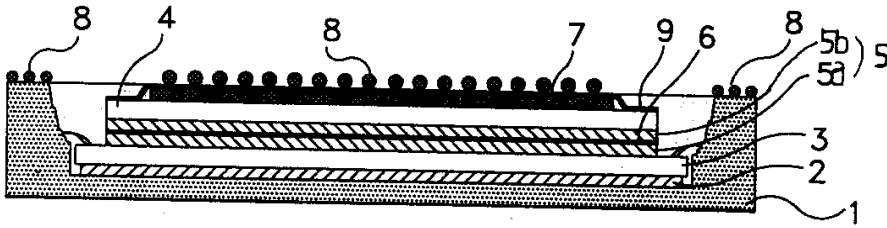
제1항에 있어서, 상기 다수의 스테드와 상기 반도체 칩의 패드들은 와이어에 의하여 연결된 것을 특징으로 하는 볼 그리드 어레이 패키지.

도면

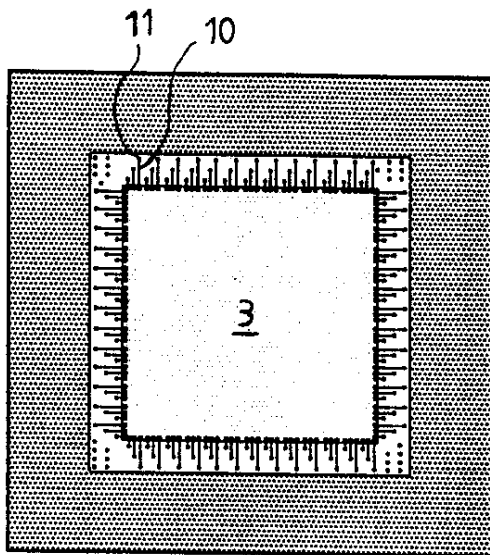
도면1



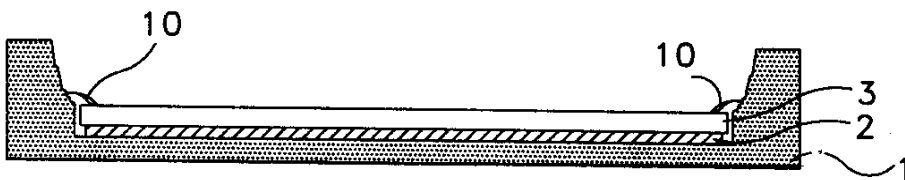
도면2



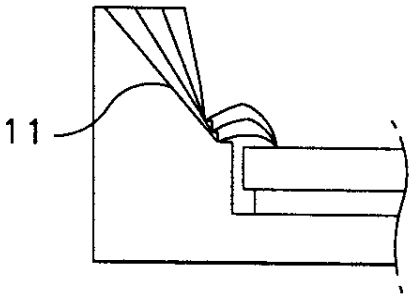
도면3a



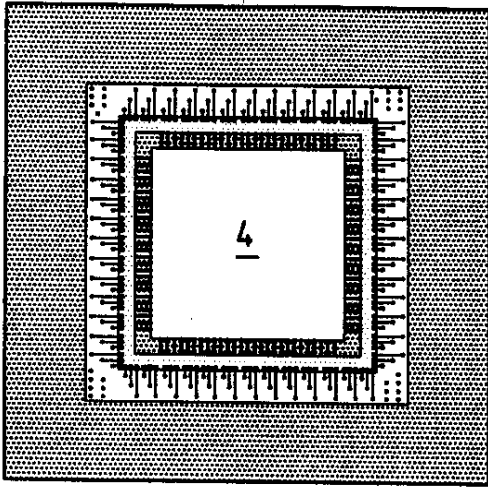
도면3b



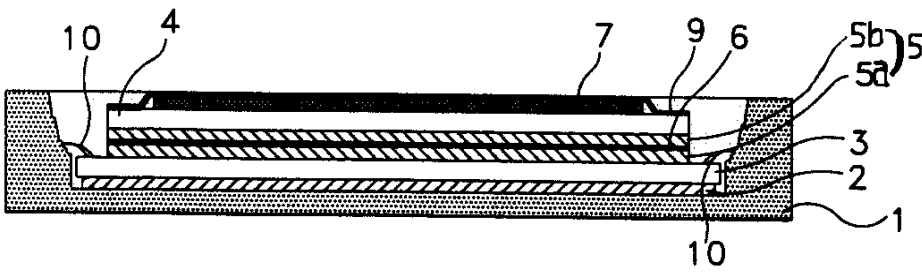
도면3c



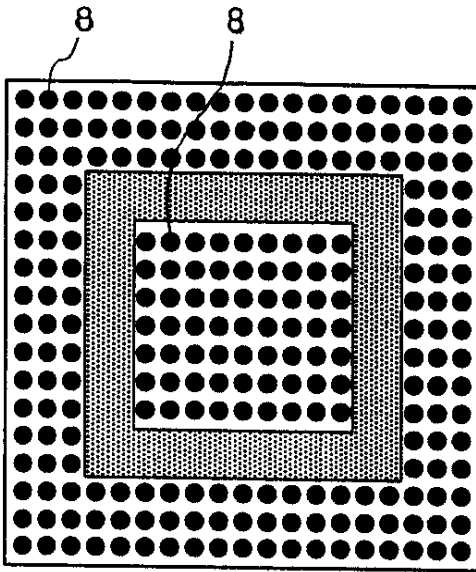
도면4a



도면4b



도면5a



도면5b

