

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-110299
(P2004-110299A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.⁷
G06F 12/06

F I
G06F 12/06 515L
G06F 12/06 522A

テーマコード(参考)
5B060

審査請求 未請求 請求項の数 15 O L (全 17 頁)

(21) 出願番号 特願2002-270600 (P2002-270600)
(22) 出願日 平成14年9月17日(2002.9.17)

(71) 出願人 598149242
パシフィック・デザイン株式会社
東京都新宿区西新宿6丁目12番1号
(74) 代理人 100102934
弁理士 今井 彰
(72) 発明者 佐藤 武
東京都新宿区西新宿6丁目12番1号 パシフィック・デザイン株式会社内
Fターム(参考) 5B060 MM03 MM16

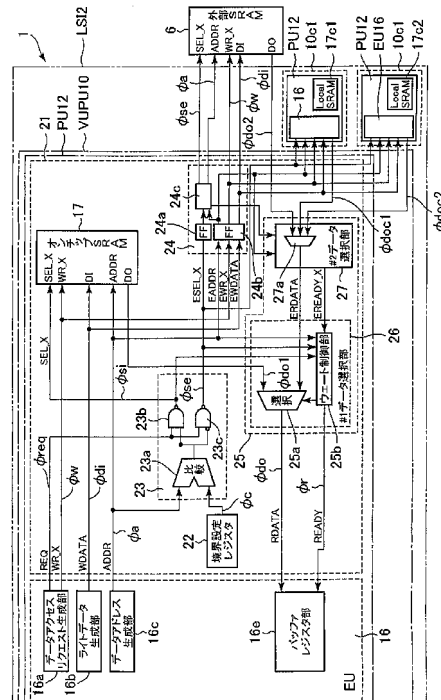
(54) 【発明の名称】 メモリ装置およびデータ処理システム

(57) 【要約】

【課題】 アクセスが速い内部メモリの有利な条件を活かしながら、キャッシュミスによる予測できない処理速度の低下を防止できるメモリ制御ユニットを提供する。

【解決手段】 内部メモリ17と、内部メモリ17に割り当てられたメモリアドレス aの境界値を格納した境界設定レジスタ22と、メモリアドレス aが境界設定レジスタ22により設定された範囲外であれば、外部メモリ6に対するメモリ選択信号 seを出力する外部メモリ制御部23とを有するメモリ制御ユニット21を提供する。このメモリ制御ユニット21であると、メモリアドレス aを指定することにより、ユーザは任意に、高速な内部メモリ17と、大容量の外部メモリ6を使うことができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

供給されたメモリアドレスによりアクセスの対象となる内部メモリと、
前記内部メモリに割り当てられた前記メモリアドレスの境界値を格納した内部境界設定レジスタと、
前記メモリアドレスが前記内部境界設定レジスタにより設定された範囲外であれば、外部メモリに対するメモリ選択信号を出力する外部メモリ制御部とを有するメモリ制御ユニット。

【請求項 2】

請求項 1 において、前記外部メモリに対して、前記外部メモリに対する前記メモリ選択信号、前記メモリアドレスを伝達する信号、前記外部メモリに対する書き込みデータ信号を、タイミングを調整して供給する信号供給部を有するメモリ制御ユニット。

10

【請求項 3】

請求項 1 において、前記内部メモリからの第 1 の読み出しデータまたは前記外部メモリからの第 2 の読み出しデータを選択して出力するデータ選択部を有するメモリ制御ユニット。

【請求項 4】

請求項 3 において、前記データ選択部は、出力するデータが前記第 1 または第 2 の読み出しデータであることにより、異なるタイミングでレディー信号を出力するメモリ制御ユニット。

20

【請求項 5】

請求項 1 において、複数の外部メモリに割り当てられた前記メモリアドレスの境界値を格納した外部境界設定レジスタを有し、
前記外部メモリ制御部は、前記メモリアドレスを前記外部境界設定レジスタの境界値と比較し、複数の外部メモリのいずれかに前記メモリ選択信号を出力するメモリ制御ユニット。

【請求項 6】

請求項 1 において、前記内部メモリは、入出力ポートと出力ポートを備えた 2 ポートメモリであり、前記出力ポートは外部からアクセス可能であるメモリ制御ユニット。

【請求項 7】

請求項 1 に記載のメモリ制御ユニットと、
前記メモリアドレスの生成部と、
前記書き込み用のデータを出力するデータ生成部と、
前記内部メモリまたは外部メモリからの読み出しデータが入力されるデータ入力部とを備えた処理ユニットを有する集積回路装置。

30

【請求項 8】

請求項 7 において、前記外部メモリはオフチップメモリである集積回路装置。

【請求項 9】

請求項 7 において、複数の処理ユニットを有し、
前記メモリ制御ユニットは、複数の外部メモリに割り当てられた前記メモリアドレスの境界値を格納した外部境界設定レジスタを備えており、
前記外部メモリ制御部は、前記メモリアドレスにより複数の外部メモリのいずれかに前記メモリ選択信号を出力し、
前記複数の外部メモリの少なくとも 1 つはオフチップメモリであり、他の外部メモリの少なくとも 1 つは他の処理ユニットの内部メモリである集積回路装置。

40

【請求項 10】

請求項 9 において、前記内部メモリは、入出力ポートと出力ポートを備えた 2 ポートメモリであり、前記出力ポートは前記他の処理ユニットからアクセス可能である集積回路装置。

【請求項 11】

50

請求項 7 において、前記内部メモリおよび外部メモリは、プログラム実行形式を格納するコードメモリである集積回路装置。

【請求項 1 2】

請求項 7 において、前記内部メモリおよび外部メモリは、プログラム実行時のデータを格納するデータメモリである集積回路装置。

【請求項 1 3】

請求項 7 に記載の集積回路装置と、前記外部メモリとなるオフチップメモリとを有するデータ処理システム。

【請求項 1 4】

供給されたメモリアドレスが、内部境界設定レジスタに格納された境界値により割り当てられた内部メモリの範囲内であれば前記内部メモリにアクセスする第 1 の工程と、前記メモリアドレスが前記内部境界設定レジスタにより設定された範囲外であれば、前記メモリアドレスおよび外部メモリに対するメモリ選択信号を出力する第 2 の工程とを有するメモリの制御方法。 10

【請求項 1 5】

請求項 1 4 において、前記第 2 の工程では、外部境界設定レジスタに格納された複数の外部メモリに割り当てられた境界値により複数の外部メモリのいずれかに前記メモリ選択信号を出力するメモリの制御方法。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、内部メモリおよび外部メモリの制御に関するものである。

【0002】

【従来の技術】

外部メモリからプロセッサに対するデータの供給速度を向上するために、小容量のキャッシュメモリをプロセッサの近くにおき、キャッシュメモリを介してプロセッサにデータを供給する階層的な構成が用いられている。このキャッシュシステムは、プロセッサがアクセスするデータの局所性を利用したものであるが、キャッシュメモリにデータがないキャッシュミスが発生すると、キャッシュメモリの内容が入れ替わる。したがって、キャッシュミスの発生頻度が多いと、処理能力は低下する。このため、特開 2002-116955 5 5 などにおいては、キャッシュシステムの階層化を進めたり、キャッシュミスが発生し難いように外部メモリに格納されるデータの構成を変えたりしている。 30

【0003】

【特許文献 1】

特開 2002-116955 号公報

【0004】

【発明が解決しようとする課題】

システム L S I の分野においても、複数の C P U や D S P (以降、単にプロセッサと称す) がシリコン上に搭載可能な状況になりつつある。複数のプロセッサが搭載されたカスタム L S I もしくはシステム L S I (以降、単に L S I と称す) をシリコン上に構成するには、各々のプロセッサを制御するコードや、各々のプロセッサで処理するデータを蓄積するために大きなメモリ容量が必要となる。 40

【0005】

これらのコードメモリやデータメモリをすべて同一 L S I チップ上に搭載することは可能であるが、面積が膨大なものとなり経済的ではない。また、メモリは標準品を購入して L S I とは独立させた方がコスト的に有利である。したがって、システム L S I においても、プロセッサの近傍、すなわち L S I 内部に小さなキャッシュ用の内部メモリを設け、外部メモリから内部メモリにデータを転送するキャッシュ制御機構が採用される。L S I 内部の一次記憶(内部メモリ)と、L S I 外部の 2 次記憶(外部メモリ)とに階層的に分離し、これら両者の間にメモリマネージメントユニット(M M U)もしくはキャッシュ構 50

造（以降、単にキャッシュ構造と称す）と称される制御機構を置くことにより局所性の高いデータをハンドリングする場合は問題をある程度解決できる。また、キャッシュ構造においては、プログラムを作成するユーザからは外部メモリ（2次記憶）は見えないので、ユーザは1次記憶や2次記憶を意識することなくメモリをアクセスできるというメリットもある。

【0006】

しかしながら、キャッシュミスが発生すると、内部メモリを介して外部メモリにアクセスするので、キャッシュミスが発生したときは、キャッシュ構造を採用していない場合よりも処理が遅くなる。そして、キャッシュミスが発生するか否かは、キャッシュメモリに格納されているデータの内容に依存するので、個々に予測することは不可能である。キャッシュ構造は、単一のCPUで制御されるコンピュータのメモリ制御の手法として発展してきた経緯があり、OSを含めて複数のユーザ・プログラムもしくはタスクを走行させるのに適した構造である。しかしながら、組込み目的のLSIで処理されるアプリケーションの多くが、通信やネットワークにおけるリアルタイム処理であり、クロック単位で処理を進める必要があるのに、予測しないキャッシュミスが発生してコードあるいはデータに対するアクセスが遅れることは許容できない場合もある。

10

【0007】

だからといって、すべてのメモリをLSIに搭載することは上述したように経済的ではないし、システムLSIの規模が大きくなるとそのようなことは不可能になる。すべてのメモリを外部に置くという解もあるが、アクセススピードの点からは内部メモリが有利であり、内部メモリの利点をまったく無視するような設計も不合理である。

20

【0008】

そこで、本発明においては、アクセススピードが速い内部メモリの有利な条件を活かしながら、キャッシュミスによる予測できない処理速度の低下を防止することができるメモリ制御ユニットおよびそれを搭載した集積回路装置を提供することを目的としている。また、リアルタイム処理を目的としたプロセッサ組込みLSIにおいて、外部メモリを用いることにより低コストで大容量のメモリを利用可能とし、その一方で、内部メモリを用いることにより処理速度の向上も図ることができるメモリ制御ユニットおよび集積回路装置を提供することも本発明の目的としている。

【0009】**【課題を解決するための手段】**

このため、本発明においては、内部メモリと外部メモリとによる階層的なメモリ構成の代わりに、内部メモリと外部メモリとにより連続するメモリ空間を形成する。そして、プロセッサには内部メモリのメモリ空間（アドレス空間）と外部メモリのメモリ空間（アドレス空間）とがシームレスに接続されたメモリ空間を提供し、それら内部メモリと外部メモリとの境界をレジスタに設定することにより、物理的には、プロセッサ側で単にメモリアドレスを指定するだけで高速アクセス可能なチップ内のメモリと、大容量格納可能なチップ外のメモリと別れてアクセスされるようにしている。

30

【0010】

すなわち、本発明においては、供給されたメモリアドレスによりアクセスの対象となる内部メモリと、内部メモリに割り当てられたメモリアドレスの境界値を格納した内部境界設定レジスタと、メモリアドレスが内部境界設定レジスタにより設定された範囲外であれば、外部メモリに対するメモリ選択信号を出力する外部メモリ制御部とを有するメモリ制御ユニットを提供する。このメモリ制御ユニットであると、メモリアドレスを指定することにより、内部メモリと外部メモリとを対して任意にアクセスすることができる。したがって、ユーザは、内部メモリと外部メモリとを意識して使い分けることが可能となり、キャッシュミスが発生することはなく、予測不可能な処理速度の低下を阻止できる。また、ユーザは任意に、高速な内部メモリと、大容量の外部メモリを使うことができる。このため、クロック単位の処理の精度が要求される通信やネットワーク処理のようなリアルタイム処理を実行可能であり、さらに、低コストでコンパクトでありながら、高速性と大容量性

40

50

とを持つメモリを利用可能なメモリ制御ユニットを本発明により提供できる。

【0011】

このメモリ制御ユニットを採用することにより、供給されたメモリアドレスが、内部境界設定レジスタに格納された境界値により割り当てられた内部メモリの範囲内であれば内部メモリにアクセスする第1の工程と、メモリアドレスが内部境界設定レジスタにより設定された範囲外であれば、メモリアドレスおよび外部メモリに対するメモリ選択信号を出力する第2の工程とを有するメモリの制御方法を提供できる。

【0012】

したがって、本発明のメモリ制御ユニットと、メモリアドレスの生成部と、書き込み用のデータを出力するデータ生成部と、内部メモリまたは外部メモリからの読み出しデータが入力されるデータ入力部とを備えた処理ユニットを有する集積回路装置を提供することにより、高速性と大容量性を持つ内部メモリと外部メモリを利用可能な集積回路装置(LSI)であって、ユーザがそれらのメモリを効率よく制御可能なプログラムを構築できるLSIを提供することが可能となる。このLSIにおいて、外部メモリはオフチップメモリであり、LSIと、外部メモリであるオフチップメモリとを搭載したデータ処理システムあるいはデータ処理装置という形態で提供することも可能である。

10

【0013】

外部メモリにアクセスするスピードは、外部メモリの動作速度およびプロセッサからの距離といった点で内部メモリにアクセスするスピードよりも遅い。したがって、外部メモリに対して、外部メモリに対するメモリ選択信号、メモリアドレスを伝達する信号、外部メモリに対する書き込みデータ信号を、タイミングを調整して供給する信号供給部を設けておくことが望ましい。

20

【0014】

また、内部メモリと外部メモリとを同一のデータバスに接続しても良いが、プロセッサと外部メモリを接続するバスを内部メモリで駆動すると、内部メモリからデータを読み出すときの処理速度が低下する。このため、内部メモリからの読み出し速度の低下を防ぐには、内部メモリからの第1の読み出しデータまたは外部メモリからの第2の読み出しデータを選択して出力するデータ選択部を設けておくことが望ましい。そして、第1の読み出しデータと第2の読み出しデータとでは出力速度が異なるので、データ選択部は、出力するデータが第1または第2の読み出しデータであることにより、異なるタイミングでレディー信号を出力することが望ましい。

30

【0015】

本発明のメモリ制御ユニットを介してアクセス可能な外部メモリは1つに限定されない。各々の外部メモリが、メモリアドレスの内容に応じて自己のメモリに対するアクセス要求であることを判断するアドレス制御部またはアドレス変換部を備えていれば複数の外部メモリに対してアクセスできる。

【0016】

また、本発明のメモリ制御ユニットを用いて、集積回路装置に分散配置された他の処理ユニットとメモリを介して通信するシステムを構築することができる。他の処理ユニットの内部メモリに書き込むだけの場合は、他の処理ユニットの内部メモリを外部メモリと共通するバスで接続するだけで良い。一方、読み込みも行う場合は、複数の外部メモリに割り当てられたメモリアドレスの境界値を格納した外部境界設定レジスタを設け、外部メモリ制御部は、メモリアドレスを外部境界設定レジスタの境界値と比較し、複数の外部メモリのいずれかにメモリ選択信号を出力することが望ましい。そして、複数の外部メモリの少なくとも1つはオフチップメモリであり、他の外部メモリの少なくとも1つは他の処理ユニットの内部メモリとなる。すなわち、このメモリ制御ユニットでは、上記のメモリの制御方法の第2の工程において、外部境界設定レジスタに格納された複数の外部メモリに割り当てられた境界値により複数の外部メモリのいずれかにメモリ選択信号を出力する。

40

【0017】

本発明のメモリ制御ユニットにより、他の処理ユニットの内部メモリに対して、アドレス

50

を指定して書き込んだり、読み込んだりすることにより、他の処理ユニットとデータを交換できる。したがって、プロセッサ間の通信のために複雑なプロトコルは不要となり、単純なソフトウェアおよびハードウェアにより通信システムを構築できる。さらに、アドレスを指定するだけで通信が行えるので、C言語などのハードウェアを意識しない高級記述言語によりデータ転送を制御することができる。

【0018】

他の処理ユニットとの通信に適した内部メモリの1つは、入出力ポートと出力ポートを備えた2ポートメモリであり、出力ポートを外部からの通信用として他の処理ユニットに開放することができる。また、本発明のメモリ制御ユニットに、他の処理ユニットの内部メモリにアクセスするためにアドレスを変換する通信用の機能を含めさせることも可能である。

10

【0019】

また、本発明のメモリ制御ユニットは、プログラム実行形式を格納するコードメモリ、および、プログラム実行時のデータを格納するデータメモリに対しても適用できる。

【0020】**【発明の実施の形態】**

以下に図面を参照して本発明についてさらに説明する。図1に、本発明のメモリ制御ユニットを備えたデータ処理システムの概要を示してある。図1に示したデータ処理システム1は、システムLSI2と、このシステムLSI2によりアクセスされるオフチップのコードメモリ5と、データメモリ6とを備えている。システムLSIあるいはASIC（以下においてはLSI）2は、複数の処理ユニット（プロセッサ）10を備えており、それらにより大量の画像データや通信用のデータを処理する機能19が形成されている。

20

【0021】

個々の処理ユニット10は、特定の処理に特化した専用データ処理ユニット（専用命令実行ユニット、以降ではVU）11と、汎用的な構成の汎用データ処理ユニット（汎用命令実行ユニットあるいはプロセスユニット、以降ではPU）12とを備えている。個々の処理ユニット10は、それぞれが独立した専用回路を備えたプログラマブルなプロセッサであり、PU12は、実行形式の制御プログラム（プログラムコード、マイクロプログラムコード）を内蔵したコードRAM14と、このコードRAM14から命令をフェッチし、専用データ処理ユニット11および汎用データ処理ユニット12の実行ユニット16にデコードされた制御信号を提供するフェッチユニット15を備えている。コードRAM14に格納されたプログラムあるいはオブジェクトコードには、VU11に供給される専用命令vと、PU12において実行される汎用命令pとがユーザが意図する処理を実現するように順番に含まれており、フェッチユニット15は、それぞれの命令vおよびpをデコードしてVU11またはPU12の実行ユニット16に供給する。

30

【0022】

実行ユニット16は、汎用レジスタ、フラグレジスタおよび演算ユニット（ALU）などから構成される汎用性の高い処理回路である。そして、データRAM17を一時的な記憶領域としてデータを入出力しながら汎用処理を実行できるようになっている。

【0023】

FU15からの専用命令vを実行する専用データ処理ユニットVU11は、FU15が供給する命令がV命令vであるかなどをデコードするユニット11aと、予め特定のデータ処理を行うように制御信号をハードウェア的に出力するシーケンサ（FSM（Finite State Machine）、ファイナйтステートマシン）11bと、このシーケンサ11bからの制御信号に従って特定のデータ処理を行うようにデザインされたデータパス部11cを備えている。また、VU11は、PU12からアクセス可能なレジスタ11dを備えており、データパス部20の処理に必要なデータをインターフェイスレジスタ11dを介してPU12で制御したり、VU11の内部状態をレジスタ11dを介してPU12で参照できるようになっている。また、データパス部11cで処理された結果はPU12に供給され、PU12ではその結果を利用した処理が行われる。

40

50

【0024】

このデータ処理ユニット10は、PU12を汎用性のあるプラットフォームとし、リアルタイム応答などの特殊な演算が要求される処理を実現できる専用回路を備えたVU11を組み合わせるにより、専用回路による高速処理性能と、プログラム制御によるフレキシビリティとを兼ね備えている。したがって、リアルタイム応答性を犠牲にすることなく、設計および開発期間を短縮でき、さらに、その後の変更や修正にも柔軟に対処できるものである。このため、VU11およびPU12の組合せを1つまたは複数搭載することにより、多種多様な機能を備えたシステムLSIあるいはASICを短期間に開発および設計できる。以降においては、VU11とPU12との組合せによる処理ユニット10あるいは処理装置の単位をVUPUと称することにする。

10

【0025】

本例のPU12は、さらに、コードRAM14を含むメモリ制御ユニット20と、データRAM17を含むメモリ制御ユニット21とを備えている。これらのメモリ制御ユニット20および21の構成は共通しているので、以降では、データRAM17を含むメモリ制御ユニット21を代表して説明する。また、オフチップのデータメモリ6を外部メモリと称し、これに対してオンチップのデータRAM17を内部メモリと称することにする。メモリ制御ユニット21は、EU16から供給されたメモリアドレスaによりアクセスの対象となる内部メモリ17と、内部メモリ17に割り当てられたメモリアドレスaの境界値を格納した内部境界設定レジスタ22と、メモリアドレスaが内部境界設定レジスタ22により設定された範囲外であれば、外部メモリ6に対するメモリ選択信号seを出力する外部メモリ制御部23とを備えている。さらに、外部メモリ6に対して、メモリ選択信号se、メモリアドレスa、外部メモリに対する書き込みデータdiを、タイミングを調整して供給する信号供給部24と、内部メモリ17からの第1の読み出しデータdo1または外部メモリ6からの第2の読み出しデータdo2を選択してEU16に対して出力するデータ選択部25を備えている。

20

【0026】

コードRAM14を内部メモリとして備えたメモリ制御ユニット20においては、メモリアドレスaがFU15から供給されたコードアドレスであり、外部メモリがオフチップのコードメモリ5となる。

【0027】

図2に、メモリ制御ユニット21のさらに詳しい構成を示してある。まず、PU12のEU16は、メモリに対するデータのアクセスを制御するデータアクセスリクエスト生成部16aを備えている。このデータアクセスリクエスト生成部16aは、メモリにアクセスをリクエストする信号reqと、書き込み用のデータが出力されていることを示すライト信号wとを出力する。EU16は、さらに、メモリにアクセスするアドレス(メモリアドレス)aを出力あるいは供給するデータアドレス生成部16cと、書き込み用のデータdiを出力するライトデータ生成部16bと、メモリから出力された出力データdoが書き込まれるバッファレジスタ部16eを備えている。バッファレジスタ部16eは、出力データdoが用意されたことを示す信号rにより出力データdoを格納あるいはラッチする。

30

40

【0028】

メモリ制御ユニット21は、境界設定レジスタ22を備えており、内部メモリ17と外部メモリ6との境界を示すアドレスが記録されている。本例では、メモリ用の連続アドレス空間を24ビット(16Mワード)とし、先頭の32kワードをオンチップメモリである内部メモリ17に割り当て、残りを外部メモリであるオフチップメモリ6に割り当てている。この構成によりユーザは、16Mワードの空間を連続的にアクセスしつつ、高速アクセスしたい場合には先頭の32kワードにデータを格納させればよく、大容量にアクセスしたい場合には残りの領域を使用すればよいことになる。

【0029】

このため、メモリ制御ユニット21は、環境設定レジスタ22に格納された境界値cと

50

、供給されたメモリアドレス a とを比較し、メモリアドレス a が内部メモリ 17 に割り当てられている範囲であれば内部メモリ 17 に選択信号 s_i を出力し、外部メモリ 6 に割り当てられている範囲であれば外部メモリ 6 に選択信号 s_e を出力する外部メモリ制御部 23 を備えている。本例の外部メモリ制御部 23 は、境界設定レジスタ 22 の境界値 c とメモリアドレス a とを比較する比較回路 23 a と、その比較結果とリクエスト信号 req とから内部メモリ用の選択信号 s_i を生成する NAND 回路 23 b と、同様に外部メモリ用の選択信号 s_e を生成する NAND 回路 23 c とを備えている。

【0030】

外部メモリ用の選択信号 s_e は、タイミング調整用の信号供給部 24 を介して外部メモリ 6 に供給される。同様に、メモリアドレス a 、ライトデータ di 、ライト信号 w も信号供給部 24 を介して外部メモリ 6 に供給される。外部メモリ 6 に対するアクセスは、内部メモリ 17 に対するアクセスより時間がかかるので、信号供給部 24 により時間が調整された後に出力される。このため、信号供給部 24 は、サイクル・タイミング調整用のフリップフロップ回路 (FF) 24 a および 24 b を備えている。さらに、信号供給部 24 は、メモリアドレス a を外部メモリ 6 の物理アドレスに変換して出力する外部メモリアドレス制御部 24 c とを備えている。

【0031】

一方、外部メモリ 6 から出力されたデータ do_2 は、内部メモリ 17 から出力されたデータ do_1 と共に、データ選択部 25 に供給され、メモリアドレス a あるいはメモリ選択信号 s_e を参考にしながら、一方のデータが選択されて EU 16 に対する出力データ do として出力される。このため、データ選択部 25 は、外部メモリ 6 から出力されたデータ do_2 と、内部メモリ 17 から出力されたデータ do_1 の一方を選択するセレクタ 25 a と、タイミングを調整して、出力データ do が出力可能になったらレディ信号 r を出力するウェイト制御部 25 b とを備えている。このデータ選択部 25 は、内部メモリ 17 からデータが出力される配線長が外部メモリと同じ程度になってしまうのを防止する効果があり、内部メモリ 17 と外部メモリ 6 とを同列に並べた構成にしたときに内部メモリ 17 に対するアクセススピードが低下するのを防止している。

【0032】

さらに、本例のメモリ制御ユニット 21 は、図 1 に示すように、LSI 2 の他の VUPU 10 c 1 および 10 c 2 の内部メモリ 17 c 1 および 17 c 2 に対して、外部メモリ 6 とほぼ同様にアクセスできるようになっている。このため、図 2 に示すように、外部メモリ選択信号 s_e 、メモリアドレス a 、ライト信号 w 、ライトデータ di 、出力データ do を供給する信号線がバスを形成するように他の VUPU 10 c 1 および 10 c 2 まで延びている。そして、内部メモリ 17 c 1 の出力データ doc_1 と、内部メモリ 17 c 2 の出力データ doc_2 とは、外部メモリ 6 の出力 do_2 とともに第 2 のデータ選択回路 27 に供給され、用意されたセレクタ 27 a によりメモリアドレス a によりいずれかの出力データが選択される。そして、選択された出力データが第 1 のデータ選択回路 26 により選択されて、EU 16 に供給される。

【0033】

一方、ライトデータ di は、単純に、外部メモリ 6、他の VUPU の内部メモリ 17 c 1 および 17 c 2 に供給される。そして、メモリアドレス a により活性化されたメモリにのみデータが書き込まれる。このため、本例ではライトデータ i のためのデータ選択部は用意されていない。他の VUPU 10 c 1 および 10 c 2 が、PU 12 を構成する EU 16 または他の回路要素により、供給されたメモリアドレス a から自己の内部メモリが選択されたか否かを判断し、さらに、必要であればアドレス変換を行い、それぞれの内部メモリ 17 c 1 あるいは 17 c 2 にデータ di を書き込む。

【0034】

図 3 に、VUPU 10、VUPU 10 c 1 および VUPU 10 c 2 のそれぞれの EU 16 のメモリマップを示してある。VUPU 10 の EU 16 は、上述したように、24 ビット (16 Mワード) の連続アドレス空間 31 を備えており、先頭の 32 kワード 32 が内部

10

20

30

40

50

メモリ17に割り当てられ、残りのアドレス空間33が外部メモリ6に割り当てられている。したがって、境界値「00_8000h」(c)がメモリ制御ユニット21の境界設定レジスタ22に格納されており、メモリアドレスaが境界値c以下であると内部メモリ17がアクセスされ、メモリアドレスaが境界値cを超えていると外部メモリ6がアクセスされる。さらに、外部メモリのアドレス空間33には、VUPU10c1への送信アドレス領域34aと、VUPU10c2への送信アドレス領域34bとが設定されている。このため、外部メモリ6は、外部メモリ用のアドレス区間33の内、これらの送信アドレス領域34aおよび34bを除いたメモリアドレスaに対してアクティブとなる。

【0035】

一方、VUPU10c1およびVUPU10c2のEU16は、これらの送信アドレス領域34aおよび34bのメモリアドレスaが供給されると、それぞれのEU16が内部メモリ17c1および17c2に対するアクセスであると判断する。そして、それぞれのEU16は、VUPU10の送信アドレス領域34aおよび34bを、自己の内部メモリ17c1および17c2のアドレス空間35aおよび35bのメモリアドレスに変換する。この結果、VUPU10のメモリ制御ユニット21は、他のVUPU10c1および10c2の内部メモリ17c1および17c2の通信用に確保された領域に対してアクセスすることが可能となり、ライトデータdiを書き込んだり、出力データdoc1またはdoc2を得ることができる。したがって、VUPU10とVUPU10c1の間、またはVUPU10とVUPU10c2との間でデータ交換を行い、VUPU間の通信機能を提供することができる。このVUPU間の通信機能をIVC機構(Inter VUPU Communication機構)と称することとする。

【0036】

図4に、メモリ制御ユニット21におけるメモリを選択する制御をフローチャートにより示してある。まず、ステップ41において、供給されたメモリアドレスaが、境界設定レジスタ22に格納された境界値cにより割り当てられた内部メモリ17の範囲内であるか比較する。内部メモリ17に割り当てられたアドレス空間の範囲内であれば、ステップ42において、内部メモリ17にアクセスする。一方、メモリアドレスaを境界値cと比較したときに、内部メモリ17に割り当てられたアドレス空間の範囲外であれば、ステップ43において、外部メモリ6に、メモリ選択信号seおよびメモリアドレスaを出力して外部メモリ6にアクセスする。外部メモリ6は、1つのDRAMまたはSRAMである必要はなく、複数であっても良い。そして、上述したように、オフチップメモリと共に他のVUPUの内部メモリであっても良い。

【0037】

上述したように、本例のLSI2においては、データメモリだけではなく、コードメモリについても同様にメモリ制御ユニット20が採用されている。すなわち、コードとデータを分離するハード・アーキテクチャ・プロセッサのコードメモリとデータメモリの両方に本発明を適用した例となっている。このため、LSI2の内部のメモリ14および17と外部のメモリ5および6に分離されてボード上でデータ処理システム1の全体が構成されることになる。このように外部メモリを用いたシステム構築により、コード量、データ量に最適化されたLSI2の構築が可能となる。これは、汎用的なCPUの使用形態と異なり、リアルタイム処理を要求されるアプリケーションに最適な形態となる。

【0038】

そして、本例のメモリ制御ユニット21においては、高速アクセス可能な内部メモリ17と、高速ではないが大容量の外部メモリ6とが階層的に組み合わせられておらず、アドレス空間に内部メモリ17と外部メモリ6とが表れている。このため、ユーザはプログラムによりメモリアドレスを指定することにより、高速アクセスしたい場合には内部メモリ17にアクセスでき、大容量にアクセスしたい場合には外部メモリ6に自由にアクセスできる。したがって、データ処理の内容によってメモリの種類を意図的に使い分けることが可能となり、その過程でキャッシュミスが発生することがないので、データアクセスの際に発

10

20

30

40

50

生する遅延などを事前に詳細に考慮したプログラミングが可能となる。このようなアーキテクチャは、通信や画像処理などの1クロックの単位で処理を行う必要があるリアルタイム処理を実行するには好適である。そして、これらのメモリにアクセスする制御は図4に示したように非常に簡素になり、それに伴って、キャッシュ制御のような複雑なハードウェアも不要である。したがって、本発明により、高速な内部メモリと、大容量の外部メモリを備えたデータ処理システム1であって、経済的であり、また、リアルタイム処理が要求されるアプリケーションに適したデータ処理システム1を提供することができる。

【0039】

さらに、メモリアドレス a が C 言語などの高級言語プログラムにより記述可能な情報であり、また、境界設定レジスタ 22 に格納された境界値 c も C 言語などの高級言語プログラムにより更新することができる。したがって、内部メモリ 17 にアクセスするメモリアドレスの範囲と、外部メモリ 6 にアクセスするメモリアドレスの範囲は、プログラムにより制御することが可能であり、アプリケーションを実行する中で、内部メモリ 17 と外部メモリ 6 とをプログラマが意図的にフレキシブルに利用することが可能となる。

10

【0040】

また、本発明のメモリ制御ユニット 21 は、VUPU の内部メモリを利用した通信もサポートできる。すなわち、メモリ制御ユニット 21 により、VUPU 間の通信を、メモリへのアクセスと同じ方法にて C 言語などから直接に行うことができ、極めて自由にデータ送受を行うことができる。このため、複数の C 言語により記述されたプロセスが並列に動作するような LSI 2 を設計することが極めて容易となる。すなわち、高級言語により記述されたプロセスを複数に分割した分散処理システムの設計が容易に行えることになり、複数の VUPU を用いた処理速度の速い分散型のデータ処理システムを本発明により、より手軽に設計することができ、短時間に低コストで分散型のデータ処理システムを市場に供給することが可能となる。

20

【0041】

図5に、本発明に係る異なるデータ処理システムの例を示してある。本例のデータ処理システム1も、複数のVUPU10を搭載したLSI2と、オフチップのメモリ6とを備えており、上記の例と共通する部分には同じ符号を付して説明を省略する。本例のメモリ制御ユニット21においては、2つの境界設定レジスタ22 aおよび22 bを用いてメモリ空間(アドレス空間)を3分割し、そのうち1つをメモリ制御ユニット21の内部メモリ17に割り当て、2つをメモリ制御ユニット21の外のメモリに割り当てるものである。さらに、メモリ制御ユニット21の外のメモリの1つは、オフチップの外部メモリ6であり、他の1つは他のVUPU10 cの内部メモリ17 cに割り当てて、プロセッサ間のデータ通信領域に使用するものである。

30

【0042】

さらに、VUPU10およびVUPU10 cは、それぞれ1RW/1RのデュアルポートRAMを内部メモリ17および17 cとして備えている。これらのデュアルポートRAM17および17 cのリードオンのポートは、互いに相手のデータ通信領域がアクセス可能になるように双方のVUPU10 cおよびVUPU10に開放されている。したがって、RAM17は、VUPU10 cにとってリードオンのメモリとなり、RAM17 cは、VUPU10にとってリードオンのメモリとなる。そして、VUPU10からVUPU10 cに伝えたい情報は自己のRAM17の通信領域に書き込み、相手のVUPU10 cが通信領域に書き込まれた情報を読み込むことで伝達される。すなわち、自己の内部メモリが通信用のRAMとなる。VUPU10 cからVUPU10への情報の伝達も同様であり、VUPU10 cがRAM17 cに書き込むことによりVUPU10に情報を伝達できる。

40

【0043】

このため、本例のメモリ制御ユニット21は、2つの境界設定レジスタ22 aおよび22 bを備えており、その1つ、第1の境界設定レジスタ22 aには、内部メモリ17と外のメモリとの境界値 c1が格納され、他の1つ、第2の境界設定レジスタ22 bには、メ

50

メモリ制御ユニット21の外のメモリとなる、他のVUPUの内部メモリ17cとオフチップの外部メモリ6との境界値c2が格納される。外部メモリ制御部23は、メモリアドレスaと第1の境界値c1とを比較する第1の比較器23a1と、メモリアドレスaと第2の境界値c2とを比較する第2の比較器23a2とを備えている。さらに、リクエスト信号reqおよび第1の比較器23a1の比較結果に基づいて内部メモリ16に対する選択信号siを出力する第1のNAND回路23bと、リクエスト信号reqおよび第2の比較回路23a2の比較結果に基づいて外部メモリ6に対する選択信号se1を出力する第2のNAND回路23cと、リクエスト信号reqおよび第2の比較回路23a2の比較結果に基づいて他のVUPUの内部メモリ17cに対する選択信号se2を出力する第3のNAND回路23dとを備えている。

10

【0044】

外部メモリ6に対する信号の入出力は上記とほぼ同様である。すなわち、選択信号se1、メモリアドレスa、ライト信号wおよびライトデータdiはタイミングを制御する信号供給部24を介して供給される。また、外部メモリ6からの出力データdo2は、データ選択部25により選択されてEU16に供給される。

【0045】

一方、他のVUPU10cの内部RAM17cに対しては、内部RAM17cがVUPU10にとってリードオンリメモリとなるので、読み取り動作だけが行われる構成と成っている。すなわち、ライトデータdiおよびライト信号wは供給されず、出力データdocがデータ選択部25に供給される。したがって、データ選択部25からは、内部メモリ17の出力do1、外部メモリ6の出力do2および他のVUPU10cの内部メモリ17cの出力docのいずれかが選択されて出力される。それと共に、選択された出力データが用意されたことを示すレディー信号(ウェート制御信号)rが出力される。これにより、各メモリ17、6および17cに対するアクセスのタイミングが調整される。

20

【0046】

また、この方式でVUPU10とVUPU10cとの通信が行われるように他のVUPU10cのPU12にもメモリ制御ユニット21が搭載されている。ただし、このメモリ制御ユニット21の外部メモリは、VUPU10の内部メモリ17だけになる。もちろん、VUPU10cのデータを蓄積するオフチップメモリを設けることも可能であり、その場合は、VUPU10とVUPU10cとは全く同じ構成になる。

30

【0047】

図6に、VUPU10およびVUPU10cのそれぞれのEU16のメモリマップを示してある。VUPU10のEU16は、内部メモリ17のメモリ空間31と、通信相手のVUPU10cの内部メモリ17cの内、リードオンリ領域、すなわち通信メモリとして開放されたメモリ空間36と、外部メモリ6のメモリ空間33が連続したアドレス空間31を備えている。したがって、内部メモリ17のメモリ空間31の境界値「00__8000h」(c1)が第1の境界設定レジスタ22aに格納されており、通信メモリとして開放されたメモリ空間36の境界値「01__0000h」(c2)が第2の境界設定レジスタ22bに格納されている。

40

【0048】

一方、VUPU10cのEU16は、内部メモリ17cのメモリ空間35と、通信相手のVUPU10の内部メモリ17の内、リードオンリの通信メモリとして開放されたメモリ空間37が連続したアドレス空間38を備えている。したがって、内部メモリ17cのメモリ空間35の境界値「00__8000h」(c)が、VUPU10cのメモリ制御ユニット21の境界設定レジスタ22に格納されている。

【0049】

図7に、2つの境界設定レジスタ22aおよび22bを備えたメモリ制御ユニット21におけるメモリを選択する制御をフローチャートにより示してある。まず、ステップ41において、供給されたメモリアドレスaが、第1の境界設定レジスタ22aに格納された

50

境界値 c_1 により割り当てられた内部メモリ 17 の範囲内であるか比較する。内部メモリ 17 に割り当てられたアドレス空間の範囲内であれば、ステップ 42 において、内部メモリ 17 にアクセスする。

【0050】

一方、メモリアドレス a を境界値 c_1 と比較したときに、内部メモリ 17 に割り当てられたアドレス空間の範囲外の場合は、さらに、ステップ 44 において、メモリアドレス a が、第 2 の境界設定レジスタ 22 b に格納された境界値 c_2 により割り当てられた通信メモリの範囲内であるか比較する。本例においては、通信相手の VUPU10 c の内部メモリ 17 c のうち、VUPU10 にリードオンリとして開放されメモリ空間 36 が通信メモリに割り当てられたアドレス空間となり、この範囲内であれば、ステップ 45 において、通信相手の VUPU10 c の内部メモリ 17 c にアクセスする。

10

【0051】

さらに、メモリアドレス a を第 2 の境界値 c_2 と比較したときに、通信メモリに割り当てられたアドレス空間の範囲外の場合は、ステップ 43 において、外部メモリ 6 にアクセスする。本例のメモリ制御ユニット 21 においては、このような簡易な制御で、VUPU 間の通信と、内部メモリ 17 および外部メモリ 6 に対するアクセス制御を行うことが可能となる。

【0052】

図 8 に、本発明に係るさらに異なるデータ処理システムの例を示してある。本例のデータ処理システム 1 も、複数の VUPU10 を搭載した LSI2 と、オフチップのメモリ 6 とを備えており、上記の例と共通する部分には同じ符号を付して説明を省略する。上述した 1RW/1R のデュアルポート RAM を内部メモリ 17 として採用したメモリ制御ユニット 21 は、内部メモリ 17 と外部メモリ 6 に対するプレーンなアクセスを可能とし、さらに、簡易な構成でプロセッサ間通信を行うことができる例である。しかしながら、複数のプロセッサ間でのデータ通信目的には適してはいない。そこで、本例のメモリ制御ユニット 21 は、通信により受信する領域をアドレス変換し、内部メモリに格納する通信ユニット 28 を備えている。

20

【0053】

この通信ユニット 28 は、IVC バス 29 のバス有効信号 IVC RSEL により有効になったアドレス IVC RADDR と比較して、自己の通信ユニット 28 がアクセスされる範囲のアドレスが供給されたことを認識するための IVC 受信領域設定レジスタ 28 a と、比較器 28 b とを備えている。そして、通信ユニット 28 がアクセスされると、受信 RAM アドレスレジスタ 28 c に格納されたアドレスを用いて、アドレス変換回路 28 c により供給されたアドレス IVC RADDR を変換し、自己の通信用の内部データ RAM 17 b にアクセスする。IVC バス 29 を介して供給された書き込み用のデータ IVC WDATA、リードライト制御信号 IVC RWRITE はバス有効信号 IVC RSEL と共に一端 IVC 受信制御バッファレジスタ 28 e に受信された後、タイミングを調整して通信用の内部メモリ 17 b に供給される。一方、出力データ（読み込み用のデータ）IVC RDATA と、読み出し用のバスサイクル有効信号 IVC RREADY_X は、データ選択部 25 から IVC リードバッファレジスタ 28 f にいったん格納された後に IVC バス 29 に出力される。

30

40

【0054】

このような通信ユニット 28 を設けてアドレス変換することにより、親あるいはバスマスタとなる VUPU10 p から IVC バス 29 により供給される通信用のアドレス IVC RADDR に対して、メモリ制御ユニット 21 の内部で内部メモリにアクセスするメモリアドレス a を独立して設定することが可能となり、内部メモリを汎用性のあるプロセッサ間通信用のメモリとして利用することが可能となる。したがって、IVC バス 29 により、複数の VUPU10 を子あるいはスレーブとして接続し、IVC バス 29 を介して VUPU10 および 10 p の間でデータ交換することができる。

【0055】

50

たとえば、複数の子のVUPU10に対するマスタのVUPU10pからバス29を介して送信された通信用のアドレスIVCRADDRが以下の通りであったとする。

【0056】

通信アドレス VUPU10. 1向け FF_0000h - FF_00FFh
 VUPU10. 2向け FF_0100h - FF_01FFh
 VUPU10. 3向け FF_0200h - FF_02FFh

各々のVUPU10においては、応答する通信用のアドレスがIVC受信領域設定レジスタ28aに設定され、その対応(変換先)のアドレス、例えば通信RAM17bに割り当てられた「00-8000h」がIVC受信RAMアドレスレジスタ28cに設定される。したがって、ローカルで通信RAM17bに割り当てられたアドレスはそれぞれの子のVUPU10で共通にすることができる。即ち、マスタのVUPU10pは、アドレス「FF_0000h」を受信先の通信アドレスとしてデータ転送し、子のVUPU10の通信ユニット28は、これを受けて、実際に通信用メモリ17bにアクセスするためのメモリアドレス a2「00_8000h」に変換する。

10

【0057】

したがって、マスタのVUPU10pにおいては、子のVUPU10に対する送信アドレスは、マスタのVUPU10pが内部または外部メモリに割り当てていないメモリ空間内のアドレスであれば良く、そのアドレスが子のVUPU10のいずれかに対応することをプログラマが意識していれば良い。したがって、レジスタなどに子の送信アドレスを設定する必要はない。一方、受信側のVUPU10においては、送信アドレスが設定されており、それを受信RAMアドレスレジスタ28cにより通信用の内部メモリ17bに割り当てられたメモリアドレスに変換されるように設定されていれば、自己の内部メモリ17bに通信用の情報を書き込んだり、読み込むことができる。この関係は、図3に示したVUPU10(図3(a))と、VUPU10c1および10c2(図3(b)および(c))におけるIVC通信においても同様であり、この場合は、VUPU10がマスタのVUPU、VUPU10c1および10c2が子のVUPUに相当する。

20

【0058】

図8に示したVUPU10では、ふたつの境界設定レジスタ22aおよび22bを用いて、バス接続によるIVC受信RAM17bをオンチップ高速RAMで構成すると同時に、他のオンチップ高速RAM(非IVC受信RAM)17aとオフチップ大容量RAM(非IVC受信RAM)6とを連続的なメモリ空間としてアクセス可能にしている。したがって、外部メモリ制御部23からは、EU16から供給されるメモリアドレス aと境界設定レジスタ22aおよび22bに格納された境界値 c1およびc2を比較して、第1の内部メモリ(非IVC受信RAM)17aを選択する第1の内部メモリ選択信号 si1と、第2の内部メモリ(IVC受信RAM)17bを選択する第2の内部メモリ選択信号 si2と、外部メモリ6を選択する外部メモリ選択信号 seが出力される。

30

【0059】

また、通信用の内部メモリ17bは2RWの2ポートRAMであり、子のVUPU10と親のVUPU10pの両方により読み書きされることでデータを交換することができる。

40

【0060】

図8に示したVUPU10においては、メモリ制御ユニット21に二つの境界設定レジスタ22aおよび22bを設けることにより、メモリ領域を他プロセッサからの通信用オンチップ高速RAM領域17bと、自己アクセス用のオンチップメモリ17aと、オフチップRAM6との3つに分割して制御することが可能となり、それらのメモリ領域はすべてプログラムからメモリアドレスを指定することで自由に利用することが可能となる。したがって、高速な自己アクセスを求めるとメモリ容量が不足し、一方、大容量のメモリを求めると高速性が不足するといったトレードオフを効果的に解決することができる。

【0061】

50

さらに、通信ユニット 28 を設けることによりバスマスタである親の V U P U 1 0 p より供給されるアドレスをメモリ制御ユニット 21 で取り扱い可能なメモリアドレスに変換することが可能となり、複数の V U P U 1 0 を I V C バス 29 で接続してプロセッサ間の通信を行うことが可能となる。したがって、この V U P U 1 0 は、リアルタイム処理目的のプロセッサ組込み型 L S I の構築に極めて有効である。さらに、オフチップメモリ 6 の側にも通信ユニット 28 と同様のアドレス変換機能を持たせることにより、オフチップメモリ 6 との接続にも I V C バス 29 を利用することが可能である。また、オフチップメモリ 6 の側に調停ユニットとしての機能も持たせることにより、複数の V U P U 1 0 に搭載されたメモリ制御ユニット 21 から同一のオフチップメモリ 6 を利用するような構成にすることも可能である。

10

【 0 0 6 2 】

【 発明の 効果 】

以上に示したように、本発明の集積回路装置およびデータ処理システムにおいては、メモリ制御ユニットに含まれる高速アクセス可能な内部メモリと、メモリ制御ユニットの外にある大容量の外部メモリとの間を階層的に接続するのではなく、内部メモリと外部メモリとにより連続するメモリ空間を形成する。一方で、それら内部メモリと外部メモリとの境界をレジスタに設定することにより、物理的には高速アクセス可能なチップ内のメモリと、大容量格納可能なチップ外のメモリとに対し、メモリアドレスを指定するだけで自由にアクセスできるようにしている。したがって、本発明のメモリ制御ユニットを採用することにより、アクセススピードが速い内部メモリの有利な条件を活かしながら、キャッシュミスによる予測できない処理速度の低下を防止することができ、さらに、大容量の外部メモリも自由にアクセスすることができる。このため、本発明のメモリ制御ユニットは、外部メモリを用いることにより低コストで大容量のメモリを利用可能とし、その一方で、内部メモリを用いることにより処理速度の向上も図ることができ、リアルタイム処理を目的としたプロセッサ組込み L S I を構築するのに好適である。そして、本発明の L S I を用いることにより、画像処理や通信処理に適したデータ処理システムを提供することが可能となる。

20

【 図面の簡単な説明 】

【 図 1 】 本発明のデータ処理システムの概要を示す図である。

【 図 2 】 メモリ制御ユニットおよび L S I の一例を示す図である。

30

【 図 3 】 図 2 に示す L S I を構成する複数の V U P U の内部メモリのメモリマップを示す図である。

【 図 4 】 図 2 に示すメモリ制御ユニットの制御を示すフローチャートである。

【 図 5 】 異なるメモリ制御ユニットおよび L S I の概略構成を示す図である。

【 図 6 】 図 5 に示す L S I を構成する複数の V U P U の内部メモリのメモリマップを示す図である。

【 図 7 】 図 5 に示すメモリ制御ユニットの制御を示すフローチャートである。

【 図 8 】 さらに異なるメモリ制御ユニットおよび L S I の概略構成を示す図である。

【 符号の説明 】

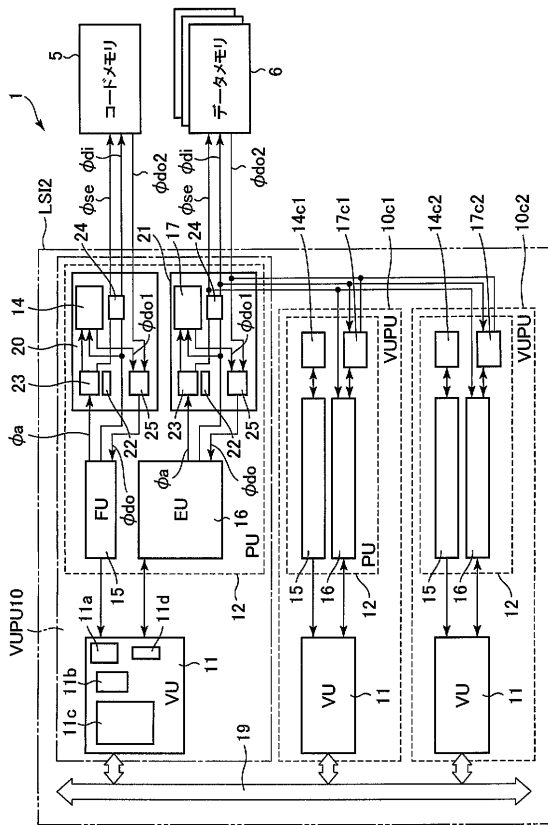
- 1 データ処理システム
- 2 L S I (集積回路装置)
- 5 オフチップコードメモリ
- 6 オフチップデータメモリ
- 1 0 データ処理ユニット (V U P U)
- 1 1 専用データ処理ユニット (V U)
- 1 2 汎用データ処理ユニット (P U)
- 1 4 内部コードメモリ
- 1 5 フェッチユニット (F U)
- 1 6 実行ユニット (E U)
- 1 7 内部データメモリ

40

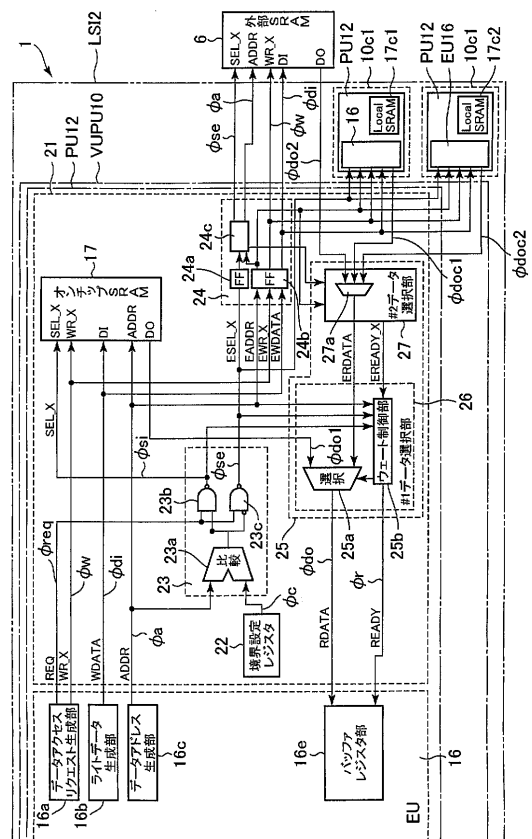
50

- 2 0 コードメモリを内蔵したメモリ制御ユニット
- 2 1 データメモリを内蔵したメモリ制御ユニット
- 2 2 境界設定レジスタ
- 2 3 外部メモリ制御部
- 2 4 信号供給部
- 2 5 データ選択部

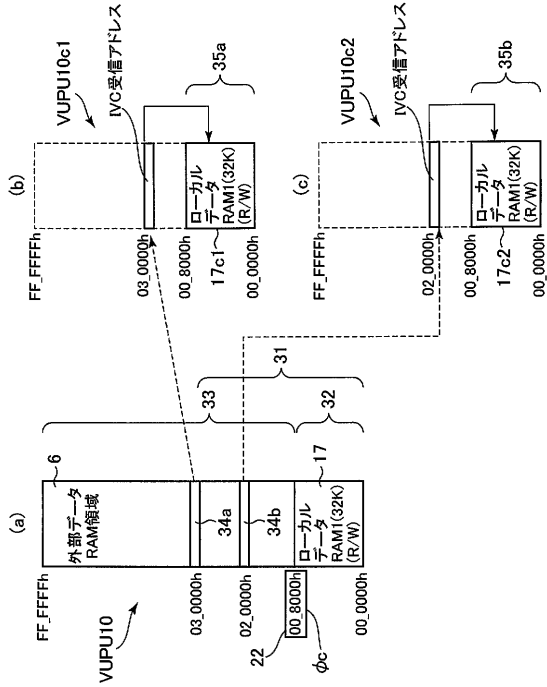
【 図 1 】



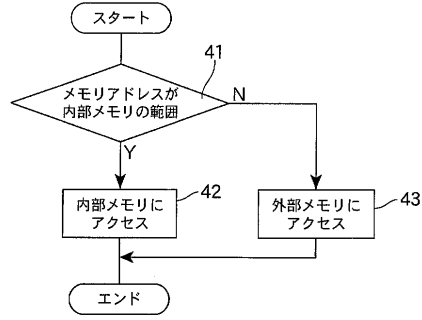
【 図 2 】



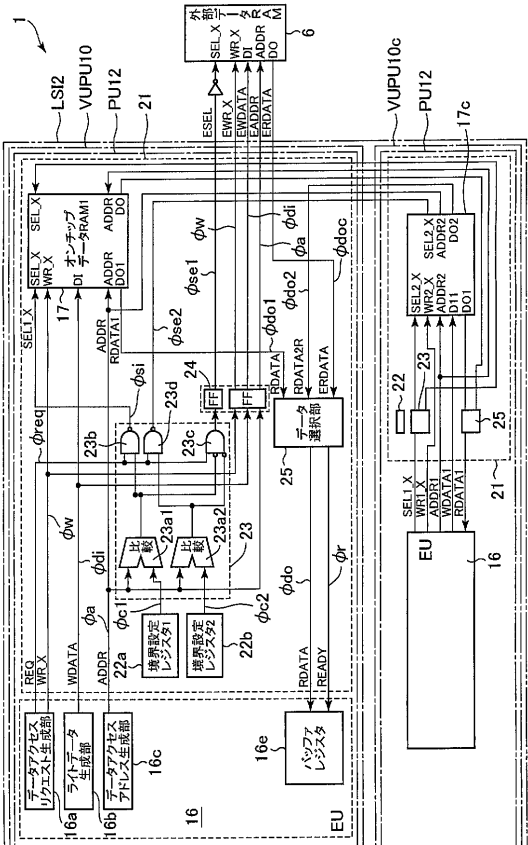
【図 3】



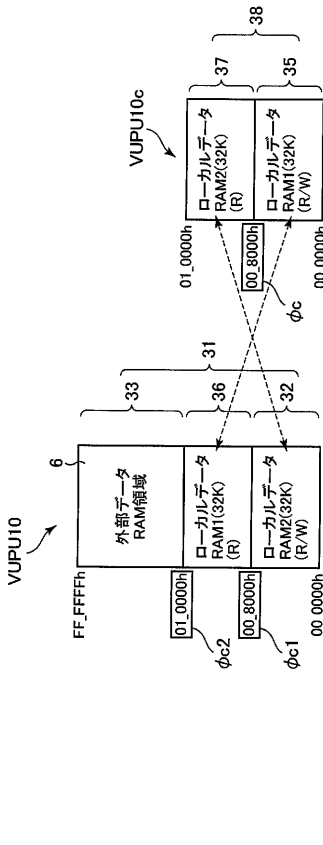
【図 4】



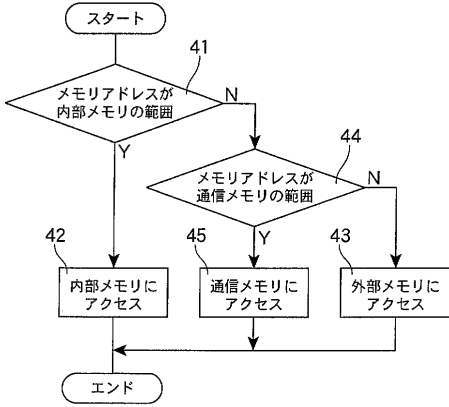
【図 5】



【図 6】



【 図 7 】



【 図 8 】

