

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年4月6日 (06.04.2006)

PCT

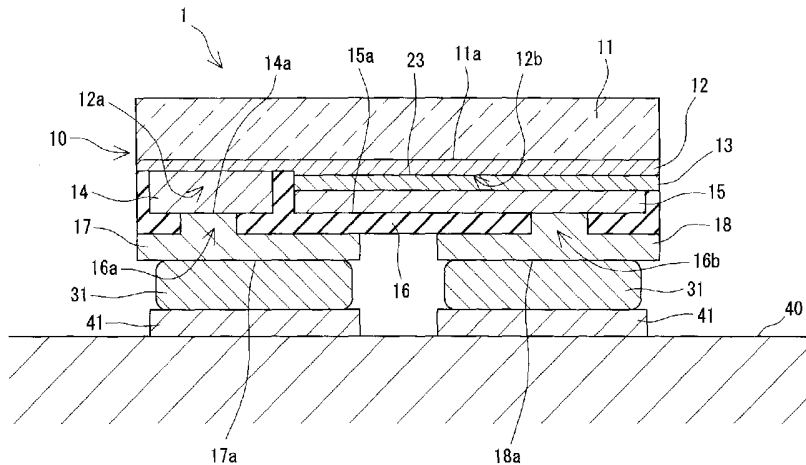
(10) 国際公開番号
WO 2006/035664 A1

- (51) 国際特許分類:
H01L 33/00 (2006.01)
- (21) 国際出願番号: PCT/JP2005/017467
- (22) 国際出願日: 2005年9月22日 (22.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-279049 2004年9月27日 (27.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 東和司 (HIGASHI, Kazushi). 石谷 伸治 (ISHITANI, Shinji).
- (74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見 1丁目3番7号 IMPビル 青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT EMITTING ELEMENT, MANUFACTURING METHOD AND MOUNTING METHOD OF THE SAME AND LIGHT EMITTING DEVICE

(54) 発明の名称: 半導体発光素子、その製造方法及びその実装方法、並びに発光装置



(57) Abstract: An LED chip (1) is successively provided with an n-type semiconductor layer (12) and a p-type semiconductor layer (13) on a lower plane of an element board (11), and the p-type semiconductor layer (13) is formed by excluding an n-electrode region (12a). In the n-electrode region (12a), a first n-electrode (14) is formed, and on the p-type semiconductor layer (13), a first p-electrode (15) is formed. On the first n-electrode (14) and the first p-electrode (15), a first insulating layer (16) having openings (16a, 16b) is formed, and on the first insulating layer (16), a second n-electrode (17) and a second p-electrode (18) which have substantially the same size are formed. Thus, the electrode on the side of the n-type semiconductor layer (12) can be made large in size, and mounting of the LED chip (1) on a wiring board (40) can be performed at low cost by using a solder (31).

(57) 要約: 本発明のLEDチップ(1)は、素子基板(11)の下面上にn型半導体層(12)及びp型半導体層(13)を順に備え、p型半導体層(13)はn電極用領域(12a)を除いて形成される。n電極用領域(12a)には第1n電極(14)が形成され、p型半導体層(13)上には第1p電極(15)が形成される。第1n電極(14)及び第1p電

[続葉有]



WO 2006/035664 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

極(15)上には開口(16a)、(16b)を有する第1絶縁層(16)が形成され、第1絶縁層(16)上にほぼ同じ大きさの第2n電極(17)及び第2p電極(18)が形成される。この構成より、n型半導体層(12)側の電極を大きくすることができ、配線基板(40)へのLEDチップ(1)の実装をはんだ(31)を用いて低コストにて行うことができる。

明 細 書

半導体発光素子、その製造方法及びその実装方法、並びに発光装置 技術分野

[0001] 本発明は、半導体発光素子、その製造方法及びその実装方法に関し、さらにその半導体発光素子を配線基板に実装した発光装置に関する。

背景技術

[0002] 近年、発光ダイオード(Light Emitting Diode、以下、「LED」と呼ぶ。)に代表される半導体発光素子のベアチップを配線基板上に多数実装することにより、照明や表示装置等を製造する技術が利用されつつある。LEDのベアチップ(以下、「LEDチップ」と呼ぶ。)を配線基板上に実装する実装技術としては、例えば特許文献1や特許文献2に示されているような、 bumps を利用したフリップチップ接合が一般的に用いられている。

[0003] 図16は、従来の典型的な構造を有するLEDチップが配線基板上に実装された状態を模式的に示す断面図である。図17は、従来のLEDチップの底面図である。図16は図17中のC-C線の位置における断面を模式的に示す図である。

[0004] LEDチップ101は、光透過性の基板(以下、「素子基板」と呼ぶ。)111と、素子基板111を覆うように素子基板111上に形成されたn型半導体層112と、n型半導体層112上の角部のn電極用領域112a(図17参照)を除いたn型半導体層111a上の領域を覆うように形成されたp型半導体層113と、n型半導体層112上のn電極用領域112aに形成されたn電極114と、p型半導体層113上に形成されたp電極115とにより構成されている。

[0005] LEDチップ101は、n電極114及びp電極115が配線基板140上の電極141上に形成された複数の bumps 142にそれぞれ超音波を利用して接合されることにより、配線基板140と電氣的に接続される。なお、このようにして配線基板140に電氣的に接続されたLEDチップ101は、n型半導体層112とp型半導体層113とのpn接合部123に電流が流れることにより発光する。

特許文献1:特開平11-161197号公報

特許文献2:特開平11-354836号公報

発明の開示

発明が解決しようとする課題

- [0006] 従来、LEDチップは、0.3mm角のサイズのもので一般的に用いられているが、近年、低消費電力、水銀レスなどの特徴から用途が広がり、中・大型液晶バックライトや特殊照明、車のヘッドライト等にも使用可能な高出力・高効率を実現できる大型のLEDチップ(例えば、1mm角以上)の開発が進められている。しかしながら、上述のようなフリップチップ接合による実装技術では、LEDチップの大きさが0.5mm角を超えると、LEDチップを均一に発光させるためにp電極に多数のバンプを形成する必要がある。p電極に多数のバンプを形成することは、接合歩留りの低下や、さらに実装時の位置ずれによるショートや接続不良の可能性の増大につながるため好ましくない。
- [0007] 一方、電子部品の実装分野では、一般に大型の電子部品に対しては、はんだや銀ペーストなどの導電性接着材料を用いて低コストにて配線基板への実装が行われている。しかしながら、従来のLEDチップ101の場合は、上述のようにpn接合部123で発光するので、発光領域を大きくするためには、n型半導体層112とn電極114との接合面をなるべく小さくして、発光領域に対応するn型半導体層112とp型半導体層113との接合面を大きくする必要がある。このため、仮にLEDチップ101を大型化したとしても、n電極114の面積を大型化することには繋がらない。
- [0008] したがって、従来のLEDチップ101の実装においては、n電極114の面積が小さいために、はんだや異方性導電性樹脂などの広い接合面積(例えばはんだの場合は、幅0.1mm以上且つ接合面積0.04mm²以上、異方性導電性樹脂の場合は、幅0.20mm以上且つ接合面積0.08mm²以上)を必要とする導電性接着材料を用いることが難しく、上述のようにバンプを利用したフリップチップ接合による実装を行わざるを得ない。また、バンプをその小さなn電極に位置合わせしてから実装しなければならないので、高い実装精度が必要となる。そのため、生産効率が低下し、生産性が低い。
- [0009] 本発明は上記課題に鑑みなされたものであり、はんだに代表される導電性接着材

料を用いて低コストにて配線基板に実装できる半導体発光素子、その製造方法及びその実装方法、並びにその半導体発光素子を配線基板に実装した発光装置を提供することを主たる目的としている。

課題を解決するための手段

[0010] 本発明は上記目的を達成するため、以下のように構成している。

本発明の第1態様によれば、光透過性の素子基板と、
前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、
前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、
前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、
前記p型半導体層上に形成された薄膜である第1p電極と、
前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、
前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1n電極及び前記第1絶縁層上に形成されることで、前記第1n電極に電氣的に接続されるとともに前記第1絶縁層により前記第1p電極と絶縁された第2n電極と、
前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として形成され、前記第1p電極に電氣的に接続される第2p電極と、
を備える半導体発光素子を提供する。

[0011] 本発明の第2態様によれば、光透過性の素子基板と、
前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、
前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、
前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、
前記p型半導体層上に形成された薄膜である第1p電極と、
n電極用開口及びp電極用開口がそれぞれ少なくとも1つ設けられ、n電極用開口及びp電極用開口を除いて、前記第1n電極及び前記第1p電極を覆うとともに、前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、
前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1

絶縁層上に形成され、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電氣的に接続された第2n電極と、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電氣的に接続された第2p電極と、

を備える半導体発光素子を提供する。

[0012] 本発明の第3態様によれば、前記p型半導体層上の前記第1絶縁層上に、前記n型半導体層と前記p型半導体層との接合面の面積よりも小さく、第2p電極の面積よりも大きな面積を有するように形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電氣的に接続された導電層と、

前記導電層と前記第2n電極とを絶縁するように前記導電層と前記第2n電極の間に形成された第2絶縁層と、

をさらに有し、

前記第2p電極は、前記p型半導体層と前記第1p電極との接合面よりも面積が大きい薄膜として前記導電層上に形成され、前記導電層を介して前記第1p電極に電氣的に接続されている第2態様に記載の半導体発光素子を提供する。

[0013] 本発明の第4態様によれば、前記第1絶縁層の前記p電極用開口は、複数個が大略均等に分散して設けられている第2態様又は第3態様に記載の半導体発光素子を提供する。

[0014] 本発明の第5態様によれば、前記第2n電極と前記第2p電極の大きさは、大略同一である第1態様から第3態様のいずれか一つに記載の半導体発光素子を提供する。

[0015] 本発明の第6態様によれば、前記導伝性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである第1態様から第3態様のいずれか一つに記載の半導体発光素子を提供する。

[0016] 本発明の第7態様によれば、第1態様に記載の半導体発光素子と、複数の電極を有する配線基板と、前記第2n電極と、前記第2p電極とを前記配線基板上の前記電極に電氣的に接続するとともに固定する導電性接着材料層と、

を備える発光装置を提供する。

[0017] 本発明の第8態様によれば、前記導電性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである第7態様に記載の発光装置を提供する。

[0018] 本発明の第9態様によれば、光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

前記第1n電極と前記第1p電極とを絶縁するように第1絶縁層を形成し、

前記第1n電極及び前記第1絶縁層上に、前記n型半導体層と前記第1n電極との接合面よりも大きい面積を有する薄膜である第2n電極を、前記第1絶縁層により前記第1p電極と絶縁され且つ前記第1n電極と電氣的に接続されるように形成するとともに、

前記第1p電極上に、前記n型半導体層と前記p型半導体層との接合面よりも小さい面積を有する薄膜である第2p電極を、前記第1p電極と電氣的に接続されるように形成する、

半導体発光素子の製造方法を提供する。

[0019] 本発明の第10態様によれば、光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

n電極用開口及びp電極用開口をそれぞれ少なくとも1つ設けた第1絶縁層を、前記第1n電極及び前記第1p電極を覆うように形成し、

前記n型半導体層と前記第1n電極との接合面よりも面積が大きい薄膜であり、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電氣的に接続される第2n電極を前記第1絶縁層上に形成するとともに、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜であり、

前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電氣的に接続される第2p電極を前記第1絶縁層上に形成する、

半導体発光素子の製造方法を提供する。

[0020] 本発明の第11態様によれば、前記第1絶縁層が、スパッタリングにより形成される第10態様に記載の半導体発光素子の製造方法を提供する。

[0021] 本発明の第12態様によれば、前記第2n電極及び前記第2p電極が、スパッタリング又はメッキにより形成される第9態様から第11態様のいずれか一つに記載の半導体発光素子の製造方法を提供する。

[0022] 本発明の第13態様によれば、第1態様に記載の半導体発光素子の前記第2n電極、及び前記第2p電極と、配線基板の複数の電極との間にはんだを配置してリフロー処理を行うことにより、配線基板にはんだを介して半導体発光素子を実装する半導体発光素子の実装方法を提供する。

発明の効果

[0023] 本発明の半導体発光素子、その製造方法及びその実装方法によれば、配線基板の電極に接合される第2n電極の面積を第1n電極よりも大きく、第2p電極の面積を第1p電極よりも小さくするようにしたので、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装することができる。

また、本発明の発光装置によれば、前記半導体発光素子が、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装されるので、高生産性、高接合品質、高歩留り等を実現できる。

図面の簡単な説明

[0024] 本発明のこれらと他の目的と特徴は、添付された図面についての好ましい実施の形態に関連した次の記述から明らかになる。この図面においては、

[図1]図1は、本発明の第1実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図2]図2は、本発明の第1実施形態に係るLEDチップの底面図であり、

[図3]図3は、本発明の第1実施形態に係る基礎チップの断面図であり、

[図4]図4は、本発明の第1実施形態に係るLEDチップを備えた他の発光装置の断

面図であり、

[図5]図5は、LEDチップの製造方法及び実装方法を示すフローチャートであり、

[図6]図6は、本発明の第1実施形態に係るLEDチップの製造方法を説明するための断面図であり、

[図7]図7は、本発明の第1実施形態に係るLEDチップの製造方法を説明するための断面図であり、

[図8]図8は、本発明の第1実施形態に係るLEDチップを多数用いたLED光源を示す図であり、

[図9]図9は、本発明の第2実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図10]図10は、本発明の第2実施形態に係るLEDチップの底面図であり、

[図11]図11は、本発明の第2実施形態に係るLEDチップの電極を外した底面図であり、

[図12]図12は、本発明の第2実施形態に係るLEDチップの製造方法を示すフローチャートであり、

[図13]図13は、本発明の第2実施形態に係る他のLEDチップを備えた発光装置の断面図であり、

[図14]図14は、本発明の第2実施形態に係る他のLEDチップの製造方法を示すフローチャートであり、

[図15]図15は、本発明の他の実施形態に係るLEDチップを備えた発光装置の断面図であり、

[図16]図16は、従来のLEDチップを備えた発光装置の断面図であり、

[図17]図17は、従来のLEDチップの底面図である。

発明を実施するための最良の形態

[0025] 本発明の記述を続ける前に、添付図面において同じ部品については同じ参照符号を付している。

以下に、本発明に係る実施の形態を図面に基づいて詳細に説明する。

[0026] 《第1実施形態》

図1は本発明の第1実施形態に係る半導体発光素子の一例であるLEDチップ1を配線基板40に導電性接着材料層の一例であるはんだ31を介して実装した発光装置を示す縦断面図であり、図2はLEDチップ1の底面図である。図1は図2中のA-A線の位置における断面を模式的に示している。なお、図1の断面図は、本発明の理解を容易にするために、一部誇張して表現している。以下、図の下方方向に各層、及び各電極を積層していくように説明する。

[0027] 図1において、LEDチップ1は、素子基板11と、素子基板11を覆うように素子基板11上に形成されたn型半導体層12と、n型半導体層12の角部のn電極用領域12aを除いたn型半導体層12のp型半導体層用領域12b上に形成されたp型半導体層13と、n電極用領域12a上に形成された第1n電極14と、p型半導体層13上に形成された第1p電極15とにより構成される基礎チップ10(図3参照)を備えている。

[0028] また、LEDチップ1は、第1n電極14及び第1p電極15を覆うとともに、第1n電極14と第1p電極15とを絶縁するように形成された第1絶縁層16と、第1絶縁層16上(すなわち、図1においてLEDチップ1の最も下側)に形成され、第1絶縁層16を貫通して第1n電極14に電氣的に接続された第2n電極17及び第1p電極15に電氣的に接続された第2p電極18を備えている。

[0029] 素子基板11は、例えばサファイアにて形成された大略正四角形状の光透過性の基板である。n型半導体層12は、素子基板11の(図1における)下面11aの全面を覆うように形成されている。p型半導体層13は、n型半導体層12のp型半導体層用領域12bを覆うように形成されている。第1n電極14は、n電極用領域12aの大略全面を覆うように、スパッタリングやメッキなどにより、例えば厚さ $0.1\mu\text{m}\sim 0.3\mu\text{m}$ 程度の薄膜で形成されている。n電極用領域12aは、発光面であるpn接合部23の面積を大きく取るために、図2に示すように、p型半導体層用領域12bよりも十分に小さい領域(例えば、p型半導体層用領域の10%)とされている。第1p電極15は、p型半導体層13の大略全面を覆うように、スパッタリングやメッキなどにより、例えば厚さ $0.1\mu\text{m}\sim 0.3\mu\text{m}$ 程度の薄膜から形成されている。第1n電極14の下面14aと第1p電極15の下面15aとは、素子基板11の下面11aを基準として大略同じ高さとなるように形成されている。

[0030] 第1絶縁層16は、電氣的リークや静電気破壊などを抑制するために、第1n電極14と第1p電極15との間、及び第1n電極14の下面14a及び第1p電極15の下面15aの大略全面を覆うように形成されている。また、第1絶縁層16は、このように形成されることで、後述する第2n電極17と第1p電極15とが接続されないようにしている。つまり、後述する第2n電極17と第1p電極15とを絶縁する。第1絶縁層16は、シリコンの酸化膜や窒化膜などで形成され、例えば $0.1\mu\text{m}$ ～ $1.0\mu\text{m}$ の厚さに形成されている。第1絶縁層16には、n電極用開口16aと複数のp電極用開口16bとがそれぞれ設けられている。

[0031] 第2n電極17と第2p電極18とは、第1絶縁層16上にスパッタリングやメッキなどにより、例えば厚さ $0.1\mu\text{m}$ ～ $0.3\mu\text{m}$ 程度の薄膜で形成され、図2に示すように、素子基板11の一つの対角線部を挟んで二等辺三角形状で大略同じ大きさとなるように形成されている。すなわち、第2n電極17の下面17aはn型半導体層12と第1n電極14との接合面よりも面積が大きくなり、その分、第2p電極18の下面18aはn型半導体層12とp型半導体層との接合面よりも面積が小さくされている。換言すれば、LEDチップ1では第1n電極14と第1p電極15とが、ほぼ同サイズに形成された第2n電極17と第2p電極18とへとそれぞれ配置を変えている。そして、第2n電極17は第1絶縁層16のn電極用開口16aを介して第1n電極14に電氣的に接続され、第2p電極18は複数のp電極用開口16bを介して第1p電極15に電氣的に接続されている。このとき、第2n電極17の下面17aと第2p電極18の下面18aとは、素子基板11を基準として大略同じ高さとなるように形成されている。なお、LEDチップ1の各層及び各界面には電極と面との接合を強化したり、絶縁を強化する等のために、必要に応じて非常に薄い他の層や膜を設けてもよい。

[0032] 本第1実施形態に係るLEDチップ1は、以上のように構成されている。

上記のように構成されるLEDチップ1は、第2n電極17及び第2p電極18が、図1に示すように、導電性接着材料層の一例であるはんだ31を介して配線基板40上の電極41に電氣的に接続されるとともに固定される。これにより、本第1実施形態に係るLEDチップ1を備えた発光装置が完成する。

[0033] なお、第2n電極17と第2p電極18の大きさ(面積)は、はんだ31や異方性導電性

樹脂などの接合に用いる導電性接着材料層に応じて、配線基板40に実装可能な大きさとすればよい。例えば、導電性接着材料としてはんだ31を用いる場合には、第2n電極17と第2p電極18の大きさは、それぞれ幅0.1mm以上且つ面積 0.04mm^2 以上を目安として確保すればよい。また、図4に示すように、導電性接着材料として異方性導電性樹脂32を用いる場合には、第2n電極17及び第2p電極18の大きさは、それぞれ幅0.20mm以上且つ面積 0.08mm^2 以上を目安として確保するとともに、異方性導電性樹脂32中の金属粒子が接触して電流が流れる面積が前記面積の5%以上となるようにすればよい。

[0034] 本第1実施形態に係るLEDチップ1を備えた発光装置においては、配線基板40を介して第2n電極17と第2p電極18との間に電流が与えられることにより、n型半導体層12とp型半導体層13との間で光を発生する。発生した光は素子基板11を透過して図1中の上方や側方へと出射される。

[0035] なお、第1絶縁層16に形成されたp電極用開口16bは、n型半導体層12とp型半導体層13との層間における電流密度の分布が発光強度に影響を与えるため、複数個が大略均等に分散して設けられることが好ましい。このようにすることにより、発光強度の分布の均一性を向上させることができ、さらには、LEDチップ1の輝度を効率よく向上させることができる。

[0036] また、本第1実施形態のLEDチップ1においては、第2n電極17と第2p電極18とを素子基板11の一つの対角線部を挟んで、二等辺三角形状で大略同じ大きさとなるように形成したが、これには限られない。第2n電極17と第2p電極18とは、LEDチップ1の中心を通る線部を挟んで、大略同じ大きさに形成されていればよく、例えば、第2n電極17と第2p電極18との形状は、長方形であってもよい。

[0037] また、第2n電極17と第2p電極18とは、違う大きさ(面積)に形成しても構わないが、大略同じ大きさに形成するほうが、配線基板40への実装時にLEDチップ1が傾いたり、マンハッタン現象を発生したりするなどの不具合が生じにくい。また、はんだ31などの広い接合面積を必要とする導電性接着材料を用いる場合に、第2n電極17と第2p電極18とを違う大きさに形成してどちらか一方を小さくするよりも、大略同じ大きさに形成するほうが、高い実装精度が要求されないなどの点で有利である。また、高

い実装精度が要求されないので、生産効率を良くして生産性を向上させることができる。なお、従来のLEDチップの一個あたりの実装時間は約1.0秒であるのに対し、本実施形態1のLEDチップ1の実装時間は0.1秒以下と、約10倍以上の生産性の向上が確認されている。

- [0038] 次に、図5～図7を用いてLEDチップ1の製造方法及び実装方法について説明する。図5はLEDチップ1の製造方法及び実装方法を示すフローチャートである。図6及び図7はLEDチップ1の製造過程を示す断面図である。図6及び図7中の一点鎖線X、Xは、後続のダイシング工程により切断される位置を示している。
- [0039] まず、通常のLEDチップと同様の製造工程を経て、図6に示すように、基礎チップ10の集合体を製造する(ステップS11)。
- [0040] 基礎チップ10の集合体の具体的な製造方法は、まず、例えばサファイヤにて形成された板状の光透過性の素子基板11の集合体の下面11aの全面を覆うようにn型半導体層12を形成する。次いで、n型半導体層12のn電極用領域12aを除いたn型半導体層12のp型半導体層用領域12b上にp型半導体層13を形成する。次いで、n電極用領域12a上にスパッタリングにより適宜幾つかの薄膜(電極と面との接合を強化する薄膜等)を形成したのち、スパッタリングにより金属薄膜である第1n電極14をさらに形成するとともに、p型半導体層13上にも適宜幾つかの薄膜を形成したのち、金属薄膜である第1p電極15を形成する。
- [0041] 上記のようにして、基礎チップ10の集合体を準備すると、次に、第1n電極14及び第1p電極15の大略全面を覆うようにスパッタリングにより第1絶縁層16を形成する。(ステップS12)次いで、レジストの塗布、露光、現像を行ってフォトリソグラフィ法により、図7に示すように、第1絶縁層16に第1n電極14に連絡するn電極用開口16a、及び第1p電極15に連絡するp電極用開口16bを形成する(ステップS13)。
- [0042] 次いで、第1絶縁層16上にスパッタリングにより金や銅等の金属薄膜を形成したのち、必要に応じて、チタンやクロム等の薄膜を電極の密着強化のために予め形成する。次いで、第1絶縁層16上に形成した金属薄膜をフォトリソグラフィ法により等分割し、第1絶縁層16上にn型半導体層12と第1n電極14との接合面よりも面積が大きい薄膜である第2n電極17を形成するとともに、n型半導体層12とp型半導体層13との

接合面よりも面積が小さい薄膜である第2p電極18を形成する(ステップS14)。これにより、LEDチップ1の集合体が完成する。なお、第2n電極17及び第2p電極18は、スパッタリング(及び付随するエッチング等の処理)により基礎チップ10の製造の延長工程において容易に形成することができる。また、第1絶縁層16は非常に薄い層であることから、第2n電極17及び第2p電極18は第1絶縁層16上に形成されるだけで、それぞれn電極用開口16a、p電極用開口16bを介して第1n電極14、第1p電極15に電氣的に接続される。

- [0043] 次いで、上記のようにして製造したLEDチップ1の集合体を、図6及び図7の一点鎖線X-Xの位置でダイシングにより切断し、1個1個のLEDチップ1に分割する(ステップS15)。これにより、LEDチップ1の製造が完了する。なお、上記LEDチップ1の製造工程においては、第2n電極17及び第2p電極18がスパッタリングを利用して形成されると説明したが、これらの電極はメッキ(及び付随する処理)によって形成してもよい。
- [0044] 次いで、LEDチップ1を、配線基板40上の電極41に印刷やメッキにより付与されたクリーム状のはんだ又はメッキはんだ上に装着し、リフロー処理を行う。これにより、図1に示すように、第2n電極17及び第2p電極18がはんだ31を介して配線基板40上の電極41に電氣的に接続されるとともに固定される(ステップS16)。以上のようにして、LEDチップ1が配線基板40に実装される。
- [0045] 本第1実施形態によれば、LEDチップ1の第2n電極17及び第2p電極18がLEDチップ1の約半分を覆う大きさとなることから、バンプを利用するフリップチップ接合のように高い実装精度を実現する必要がなく、はんだや銀ペースト、異方性導電性樹脂等の導電性接着材料層を用いて、低コストで且つ容易に実装することができる。これにより、LEDチップ1を実装した発光装置において、高接合品質、高歩留り及び高生産性を実現できる。
- [0046] また、LEDチップは発光すると約80℃程度まで発熱するが、上述のようなフリップチップ接合による従来の実装技術では、LEDチップと配線基板との接触面積が小さい(バンプのみ)ので、LEDチップの熱を十分に逃がすことができないという問題点がある。しかしながら、本第1実施形態によれば、n型半導体層12に接続される第1n

電極14を第2n電極17に接続して、LEDチップ1と配線基板40との接合面積を拡大したので、配線基板40との接合強度が増大するとともに放熱性も向上する。また、第1絶縁層16により第1n電極14及び第1p電極15が覆われているので、電氣的リークや静電気破壊も抑制できる。

[0047] また、本第1実施形態によれば、特に、多数のLEDチップ1を配線基板40に高密度にて実装する場合に、大型のLEDチップ1(例えば1mm以上)を一括して固定することができ、製造コストの削減を一層図ることができる。また、そのようにして多数の大型のLEDチップ1を高密度(例えば格子状や千鳥状)に実装した配線基板40に、例えば、図8に示すように、各LEDチップ1に対応するマイクロレンズ451を有するレンズアレイ45や、各LEDチップ1に対応する蛍光体46、反射板47を取り付ければ、例えば中・大型液晶バックライトや特殊照明、車のヘッドライト等の照明用のLED光源2として利用することができる。

[0048] 《第2実施形態》

図9は本発明の第2実施形態に係るLEDチップ1aを配線基板40に導電性接着材料層の一例であるはんだ31を介して実装した発光装置を示す縦断面図である。図10はLEDチップ1aの底面図、図11はLEDチップ1aの第2n電極17及び第2p電極18を形成する前の状態の底面図である。図9は、図10及び図11中のB-B線の位置における断面を模式的に示す図である。なお、図9の断面図は、本発明の理解を容易にするために、一部誇張して表現している。また、図11中の斜線部は、導電層14(細かい斜線部)及び第2絶縁層(太い斜線部)の領域の理解を容易にするために示したものであって、断面線を示すものではない。

[0049] 本第2実施形態のLEDチップ1aは、導電層19及び第2絶縁層20をさらに有する点において、本第1実施形態のLEDチップ1と異なる。その他の点においては同様であるので、同一符号を付した要素についての重複する説明は省略する。

[0050] 図9及び図11に示すように、導電層19(図11中の細かい斜線部)は、p型半導体層13上方の第1絶縁層16上に、n型半導体層12とp型半導体層13との接合面の面積よりも小さく、第2p電極18の面積よりも大きな面積を有するように形成され、第1絶縁層16の複数のp電極用開口16bを介して第1p電極15と電氣的に接続されている。導

電層19は、例えば厚さ0.1 μm ~0.3 μm 程度の薄膜であり、スパッタリングやメッキなどにより形成される。

[0051] 第2絶縁層20(図11の太い斜線部)は、第2n電極17と導電層16とを絶縁するために、第2n電極と導電層16との間に形成されている。換言すれば、第2絶縁層20は、導電層19の第2p電極18よりも第1n電極14側の領域19aを覆うように、第1絶縁層16及び第1n電極14側の領域19a上に形成されている。第2絶縁層20は、例えば厚さ0.1 μm ~1.0 μm 程度の薄膜であり、スパッタリングやメッキなどにより形成される。第2p電極18は、導電層19の第2絶縁層20に覆われていない領域19b上に形成され、導電層19及び第1絶縁層16のp電極用開口16bを介して第1p電極15に電気的に接続されている。

[0052] 本第2実施形態のLEDチップ1aによれば、導電層19及び第2絶縁層20により、図9~図11に示すように、LEDチップ1aの底面側から見て第1絶縁層16のp電極用開口16bを第2n電極17と重なる位置に設けた場合でも、p電極用開口16b及び導電層19を介して第1p電極15と第2p電極18とを多くの箇所で電気的に接続することができる。したがって、第1実施形態のLEDチップ1よりも、複数のp電極用開口16bを、より分散して設けて第1p電極15全体に十分な電流を供給することが可能となり、LEDチップ1aの発光の均一性をさらに向上させることができる。また、第2n電極17の面積を小さくしなくてよいので、はんだなど広い接合面積を必要とする導電性接着材料を用いることができる。

[0053] なお、LEDチップ1aを製造する際には、図12に示すように、図5のステップS13とステップS14との間において、スパッタリング等により第1絶縁層16上に導電層19を形成(ステップS21)したのち、導電層19の第1n電極14側の領域19aを覆うように第2絶縁層20を形成(ステップS22)する工程を追加すればよい。

[0054] なお、本第2実施形態においては、導電層19と第2n電極18とは別々に形成したが、一体的に形成してもよい。

また、素子基板11から第2n電極17の下面17aまでの高さ、素子基板11から第2p電極18の下面18aまでの高さが等しくなくてもよい場合、例えば、LEDチップ1bの姿勢を拘束しながら実装することが可能な場合には、図13に示すように、導電層19

の第2絶縁層20に覆われていない領域19b上に直接、はんだ31で接合するように構成してもよい。

[0055] なお、上記のように構成されるLEDチップ1bを製造する際には、図14に示すように、図5のステップS14に代えて、スパッタリング等により第1絶縁層16上に導電層19を形成(ステップS31)したのち、導電層19の第1n電極14側の領域19aを覆うように第2絶縁層20をスパッタリング等により形成(ステップS32)し、次いでスパッタリングまたはメッキ等により第1絶縁層16の第1n電極14を覆う領域16c及び第2絶縁層20の第1n電極14側の領域20aを覆うように第2n電極17を形成(ステップS33)する工程を追加すればよい。

[0056] 以上、本発明の第1及び第2実施形態について説明してきたが本発明は上記第1及び第2実施形態に限定されず、様々な変形が可能である。

[0057] 例えば、第1絶縁層16に形成されるn電極用開口16a、p電極用開口16bは図示では円形としたが、切り欠き状の(すなわち、第1絶縁層16のエッジに繋がった)開口でもよい。

[0058] また、第1絶縁層16は、第1n電極14及び第1p電極15を覆うように形成するとともに、n電極用開口16a及びp電極用開口16bを設けて、第1n電極14と第2n電極17、及び第1p電極15と第2p電極18とを電氣的に接続するようにしたが、これに限られるものではない。例えば図15に示すように、第1絶縁層16は第1n電極14と第1p電極15と第2n電極17とを互いに絶縁するように設けられていればよく、また、第2p電極18の上面18bは、第1p電極15の下面15aと全面的に接続されてもよい。つまりこの場合、第1絶縁層16には、n電極用開口16a及びp電極用開口16bを設ける必要がない。

[0059] なお、上記様々な実施の形態のうち任意の実施の形態を適宜組み合わせることにより、それぞれの有する効果を奏することができる。

[0060] 本発明は、添付図面を参照しながら好ましい実施の形態に関連して十分に記載されているが、この技術に熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

[0061] 2004年9月27日に出願された日本国特許出願No. 2004-279049号の明細書、図面、及び特許請求の範囲の開示内容は、全体として参照されて本明細書の中に取り入れられるものである。

産業上の利用可能性

[0062] 本発明の半導体発光素子、その製造方法及びその実装方法、並びにその半導体発光素子を配線基板に実装した発光装置は、はんだなどの導電性接着材料を用いて低コストにて配線基板に実装でき、高生産性、高接合品質、高歩留り等を実現できるので、特に中・大型液晶バックライトや特殊照明、車のヘッドライト等に有用である。

請求の範囲

- [1] 光透過性の素子基板と、
前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、
前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、
前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、
前記p型半導体層上に形成された薄膜である第1p電極と、
前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、
前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1n電極及び前記第1絶縁層上に形成されることで、前記第1n電極に電氣的に接続されるとともに前記第1絶縁層により前記第1p電極と絶縁された第2n電極と、
前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として形成され、前記第1p電極に電氣的に接続される第2p電極と、
を備える半導体発光素子。
- [2] 光透過性の素子基板と、
前記素子基板を覆うように前記素子基板上に形成されたn型半導体層と、
前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上を覆うように形成され、前記n型半導体層との間で発光を行うp型半導体層と、
前記n型半導体層の前記n電極用領域上に形成された薄膜である第1n電極と、
前記p型半導体層上に形成された薄膜である第1p電極と、
n電極用開口及びp電極用開口がそれぞれ少なくとも1つ設けられ、n電極用開口及びp電極用開口を除いて、前記第1n電極及び前記第1p電極を覆うとともに、前記第1n電極と前記第1p電極とを絶縁するように形成された第1絶縁層と、
前記n型半導体と前記第1n電極との接合面よりも面積が大きい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電氣的に接続された第2n電極と、
前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜として前記第1絶縁層上に形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p

- 電極に電氣的に接続された第2p電極と、
を備える半導体発光素子。
- [3] 前記p型半導体層上の前記第1絶縁層上に、前記n型半導体層と前記p型半導体層との接合面の面積よりも小さく、第2p電極の面積よりも大きな面積を有するように形成され、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電氣的に接続された導電層と、
前記導電層と前記第2n電極とを絶縁するように前記導電層と前記第2n電極の間に形成された第2絶縁層と、
をさらに有し、
前記第2p電極は、前記p型半導体層と前記第1p電極との接合面よりも面積が大きい薄膜として前記導電層上に形成され、前記導電層を介して前記第1p電極に電氣的に接続されている請求項2に記載の半導体発光素子。
- [4] 前記第1絶縁層の前記p電極用開口は、複数個が大略均等に分散して設けられている請求項2又は請求項3に記載の半導体発光素子。
- [5] 前記第2n電極と前記第2p電極の大きさは、大略同一である請求項1から請求項3のいずれか一つに記載の半導体発光素子。
- [6] 前記導電性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである請求項1から請求項3のいずれか一つに記載の半導体発光素子。
- [7] 請求項1に記載の半導体発光素子と、
複数の電極を有する配線基板と、
前記第2n電極と、前記第2p電極とを前記配線基板上の前記電極に電氣的に接続するとともに固定する導電性接着材料層と、
を備える発光装置。
- [8] 前記導電性接着材料層が、はんだ、銀ペースト、及び異方性導電性樹脂のいずれか一つである請求項7に記載の発光装置。
- [9] 光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電

極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

前記第1n電極と前記第1p電極とを絶縁するように第1絶縁層を形成し、

前記第1n電極及び前記第1絶縁層上に、前記n型半導体層と前記第1n電極との接合面よりも大きい面積を有する薄膜である第2n電極を、前記第1絶縁層により前記第1p電極と絶縁され且つ前記第1n電極と電氣的に接続されるように形成するとともに、

前記第1p電極上に、前記n型半導体層と前記p型半導体層との接合面よりも小さい面積を有する薄膜である第2p電極を、前記第1p電極と電氣的に接続されるように形成する、

半導体発光素子の製造方法。

- [10] 光透過性の素子基板を覆うように前記素子基板上にn型半導体層が形成され、前記n型半導体層のn電極用領域を除いた前記n型半導体層の領域上に前記n型半導体層との間で発光を行うp型半導体層が形成され、前記n型半導体層の前記n電極用領域上に薄膜である第1n電極が形成され、前記p型半導体層上に薄膜である第1p電極が形成された基礎発光素子を準備し、

n電極用開口及びp電極用開口をそれぞれ少なくとも1つ設けた第1絶縁層を、前記第1n電極及び前記第1p電極を覆うように形成し、

前記n型半導体層と前記第1n電極との接合面よりも面積が大きい薄膜であり、前記第1絶縁層の前記n電極用開口を介して前記第1n電極に電氣的に接続される第2n電極を前記第1絶縁層上に形成するとともに、

前記n型半導体層と前記p型半導体層との接合面よりも面積が小さい薄膜であり、前記第1絶縁層の前記p電極用開口を介して前記第1p電極に電氣的に接続される第2p電極を前記第1絶縁層上に形成する、

半導体発光素子の製造方法。

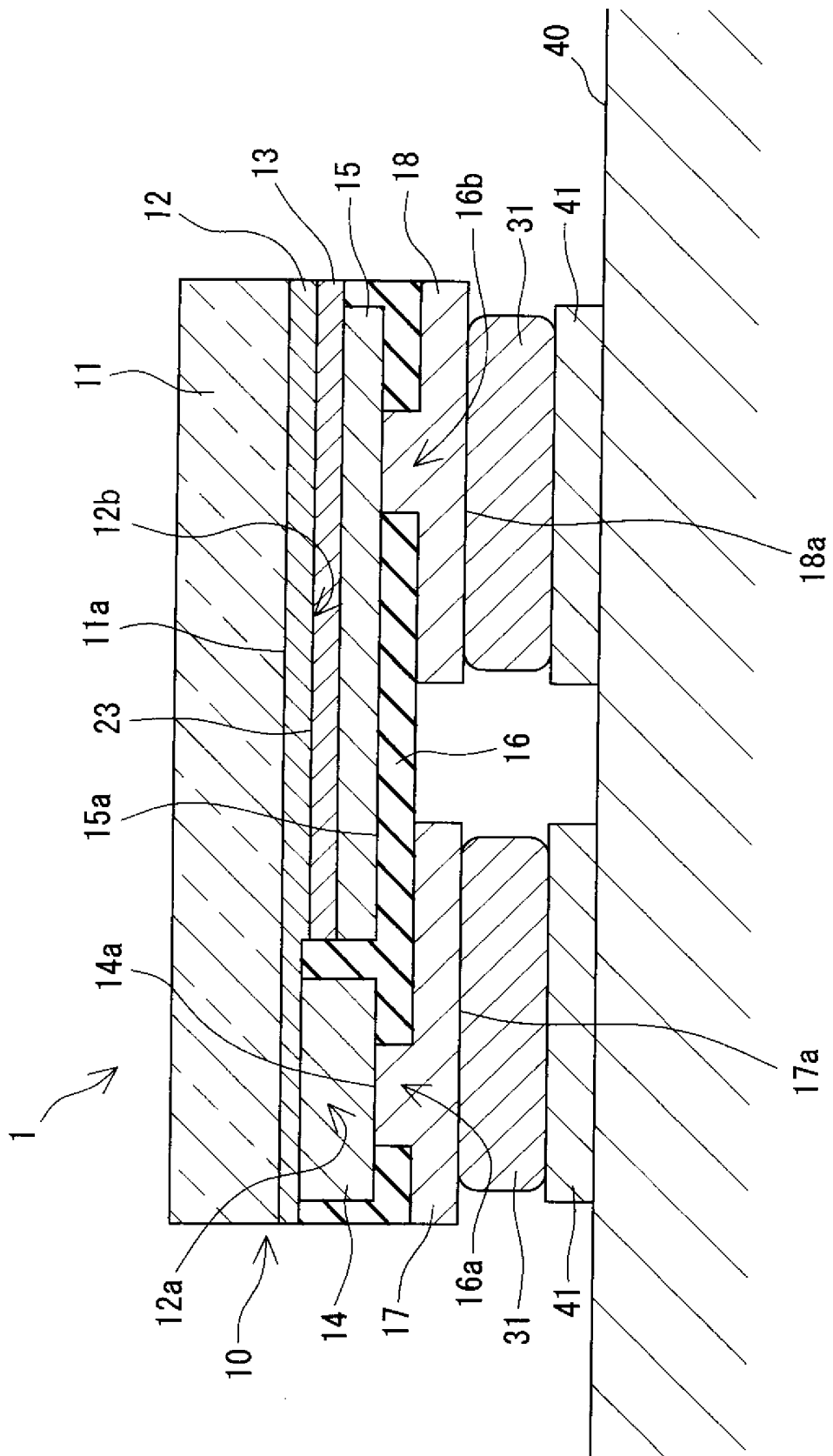
- [11] 前記第1絶縁層が、スパッタリングにより形成される請求項10に記載の半導体発光素子の製造方法。

- [12] 前記第2n電極及び前記第2p電極が、スパッタリング又はメッキにより形成される請

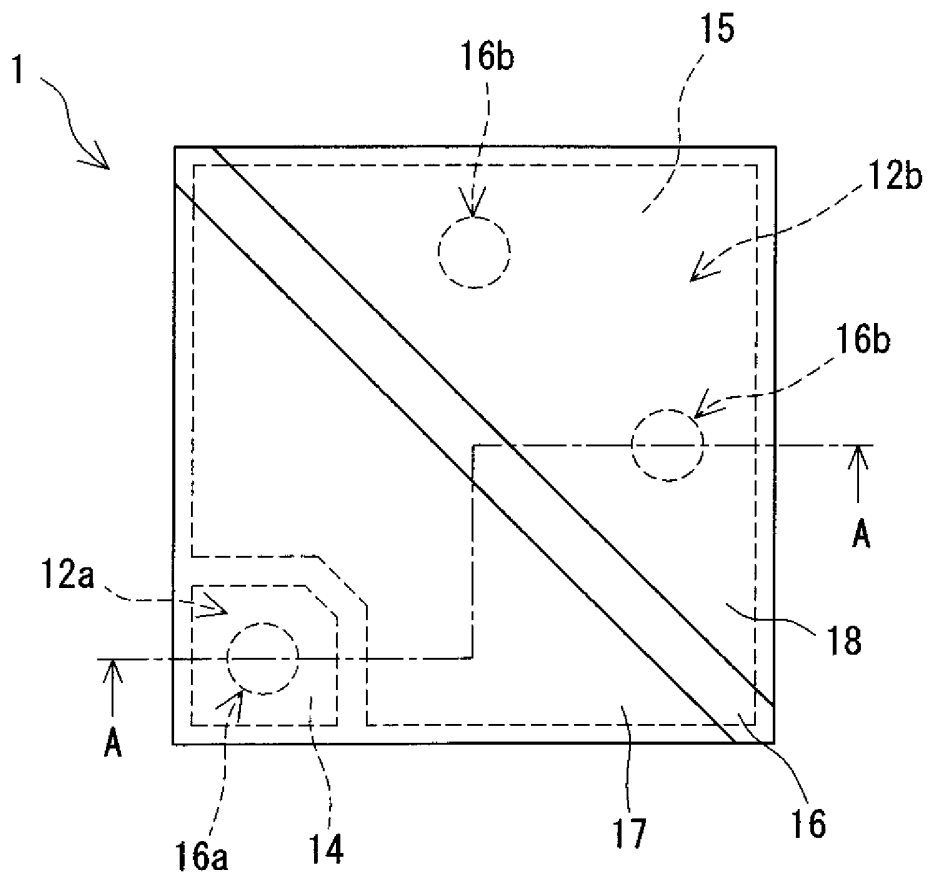
求項9から請求項11のいずれか一つに記載の半導体発光素子の製造方法。

- [13] 請求項1に記載の半導体発光素子の前記第2n電極、及び前記第2p電極と、配線基板の複数の電極との間にはんだを配置してリフロー処理を行うことにより、配線基板にはんだを介して半導体発光素子を実装する半導体発光素子の実装方法。

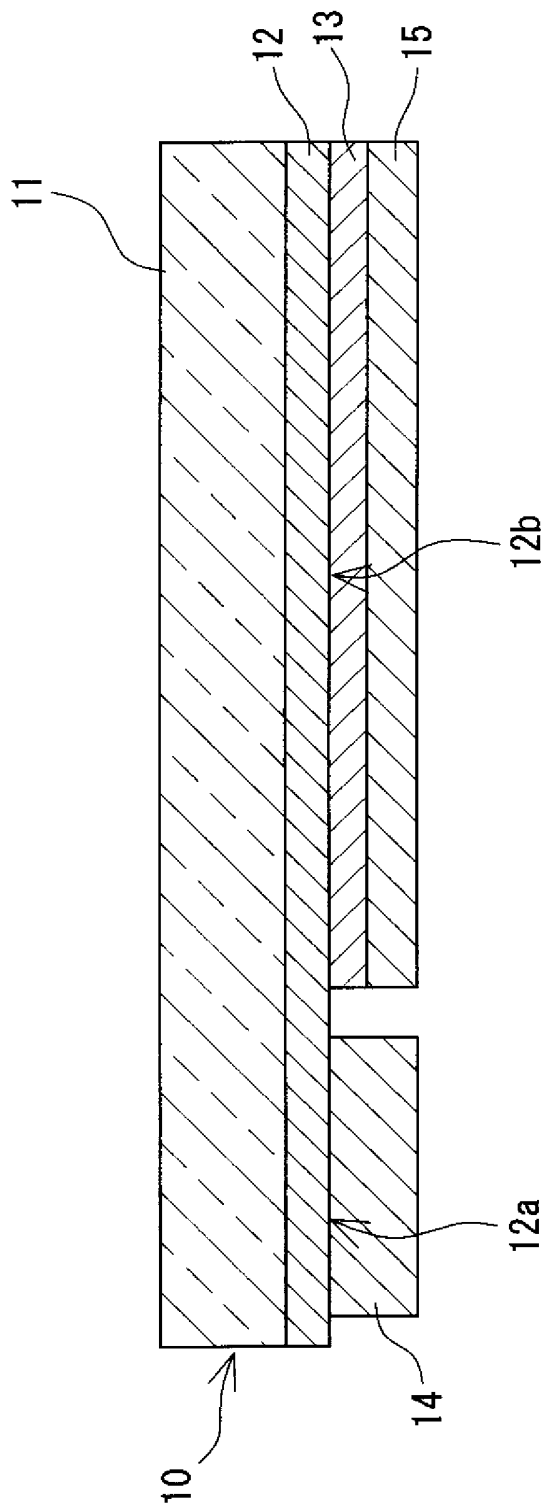
[図1]



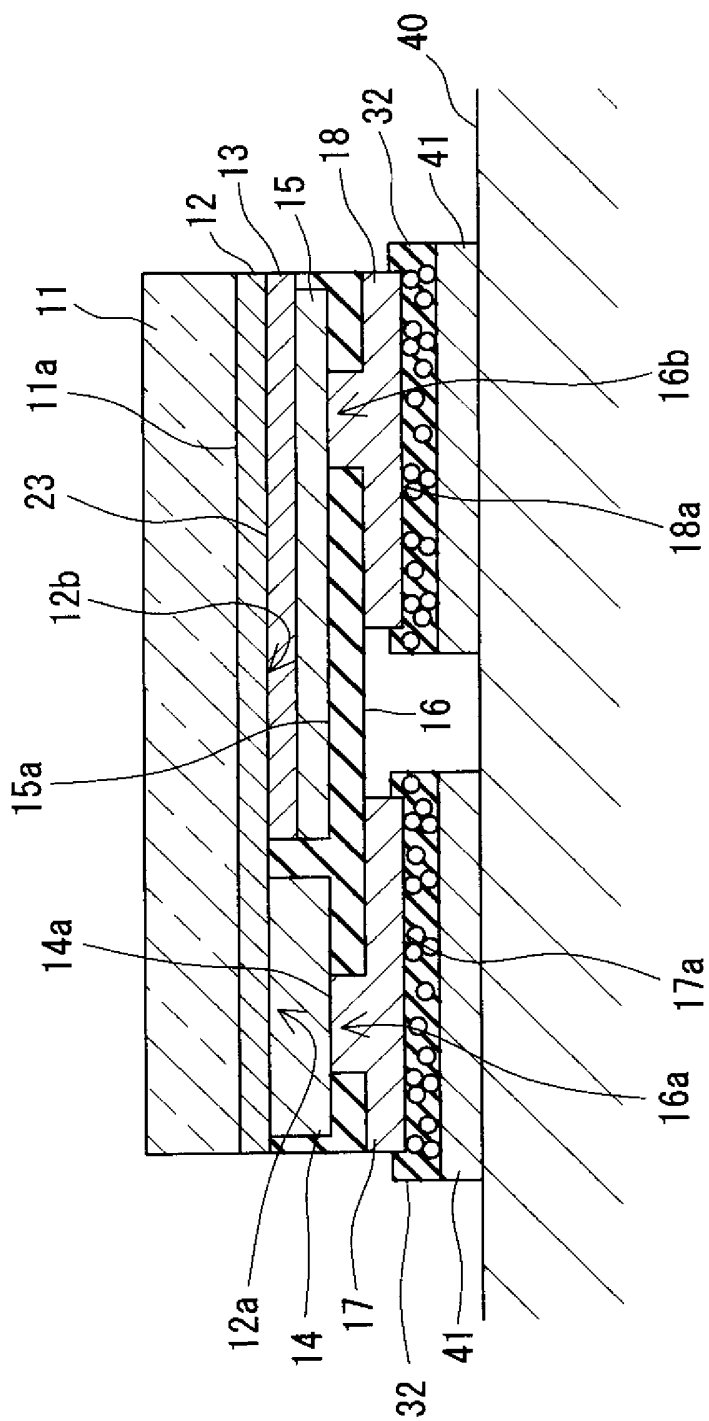
[図2]



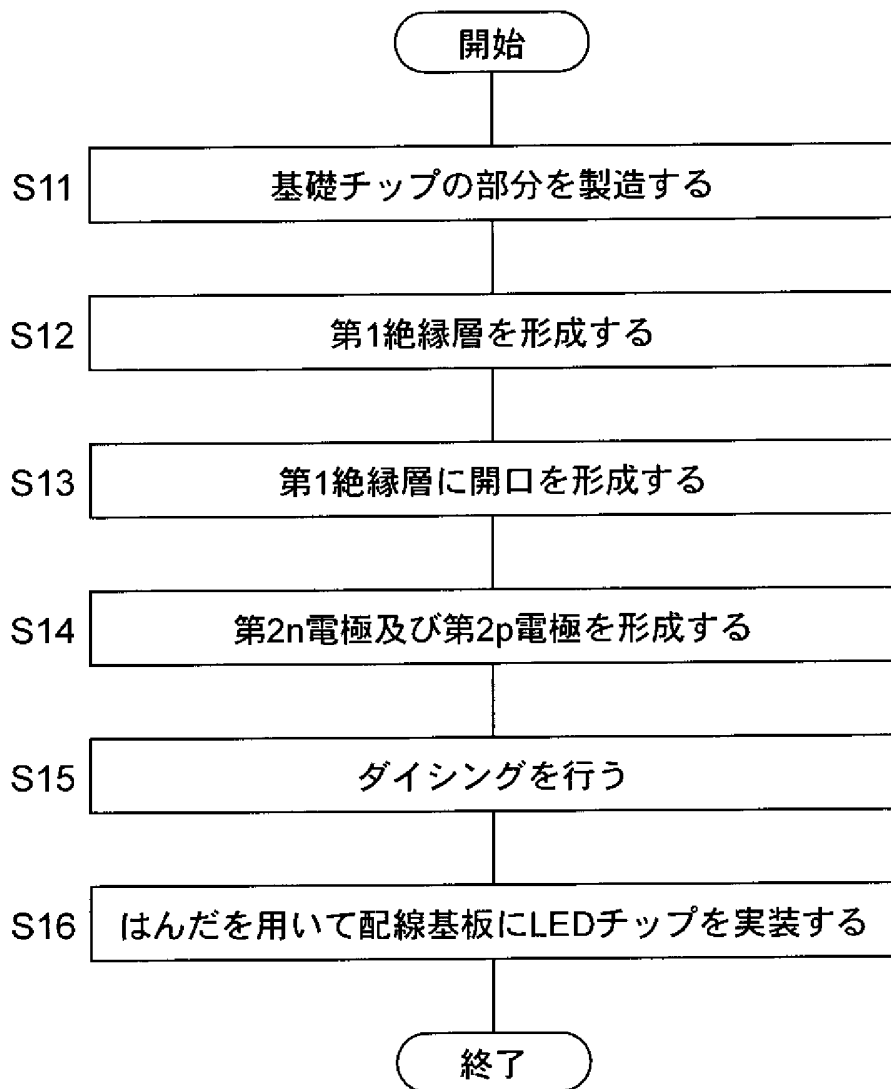
[図3]



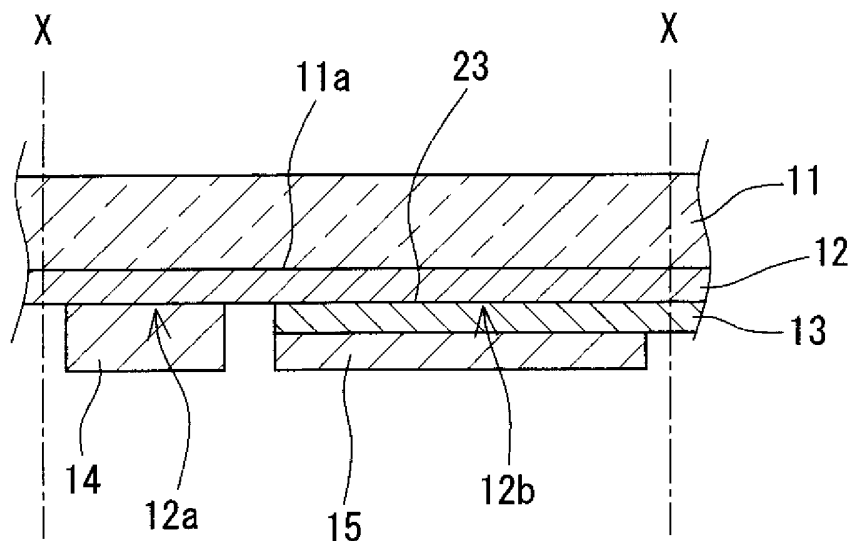
[図4]



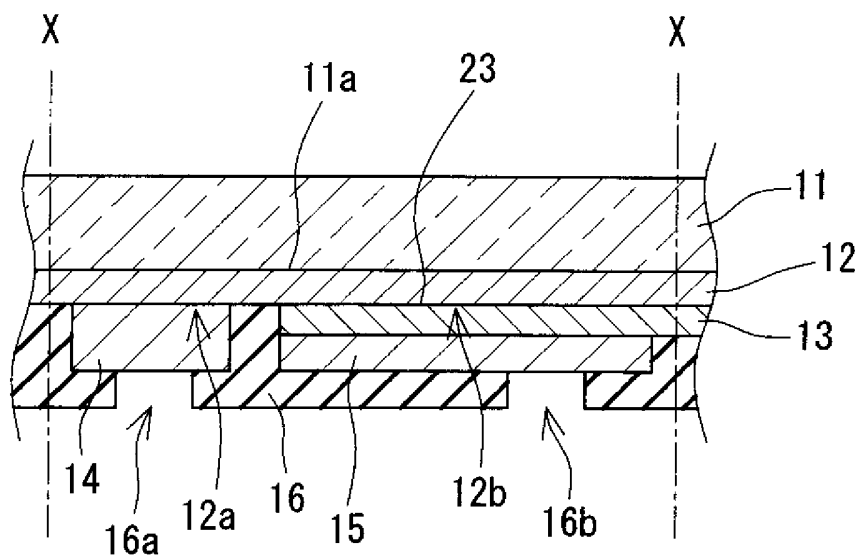
[図5]



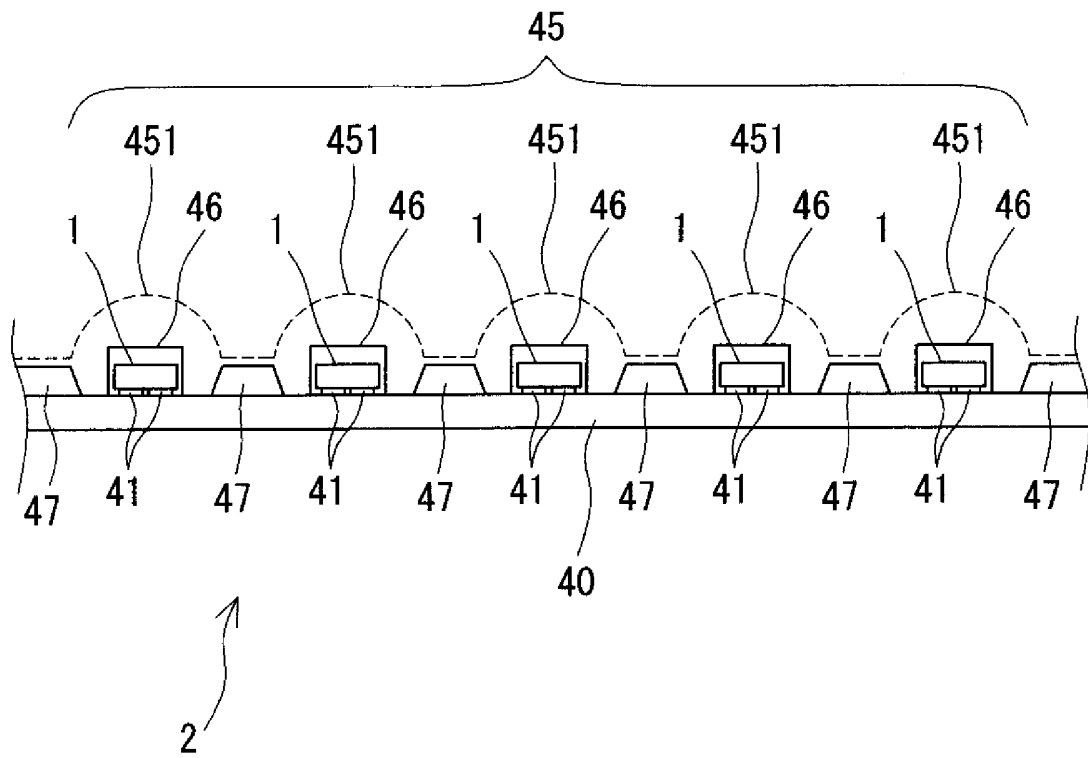
[図6]



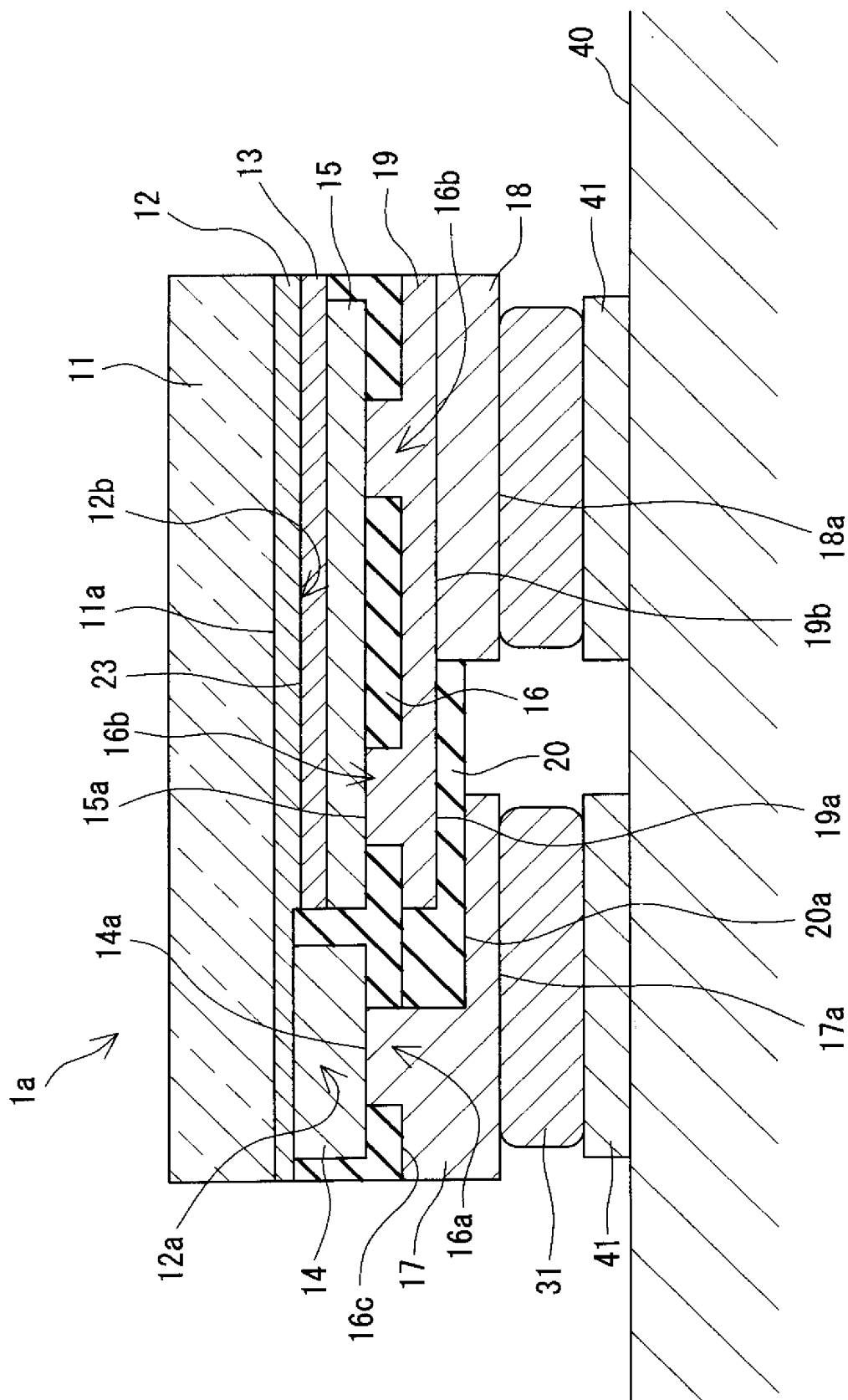
[図7]



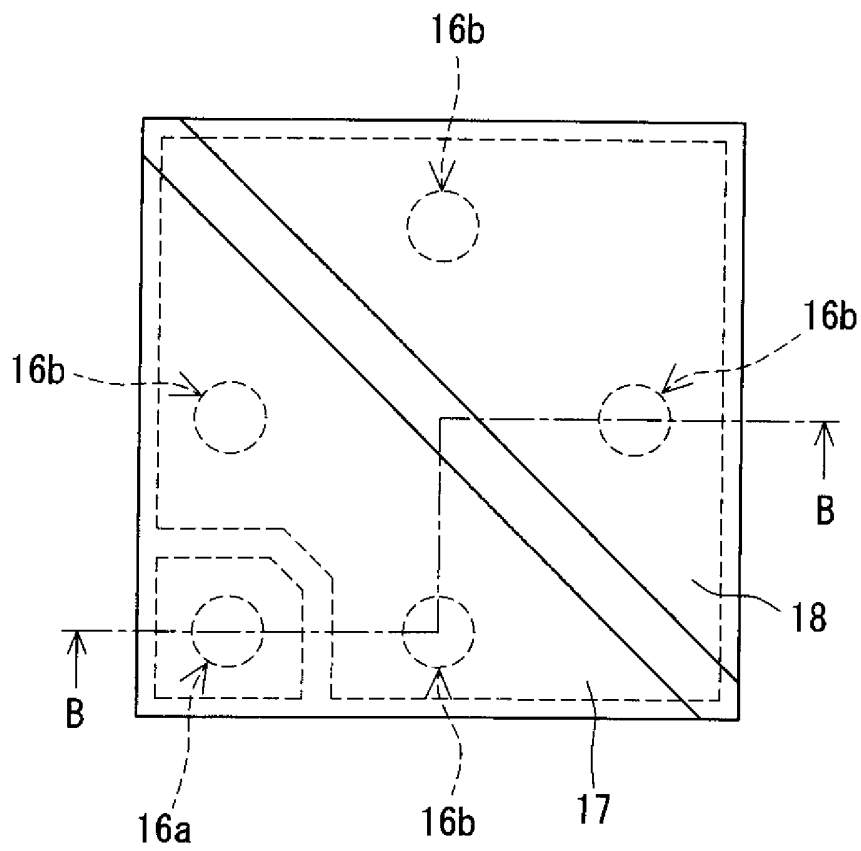
[図8]



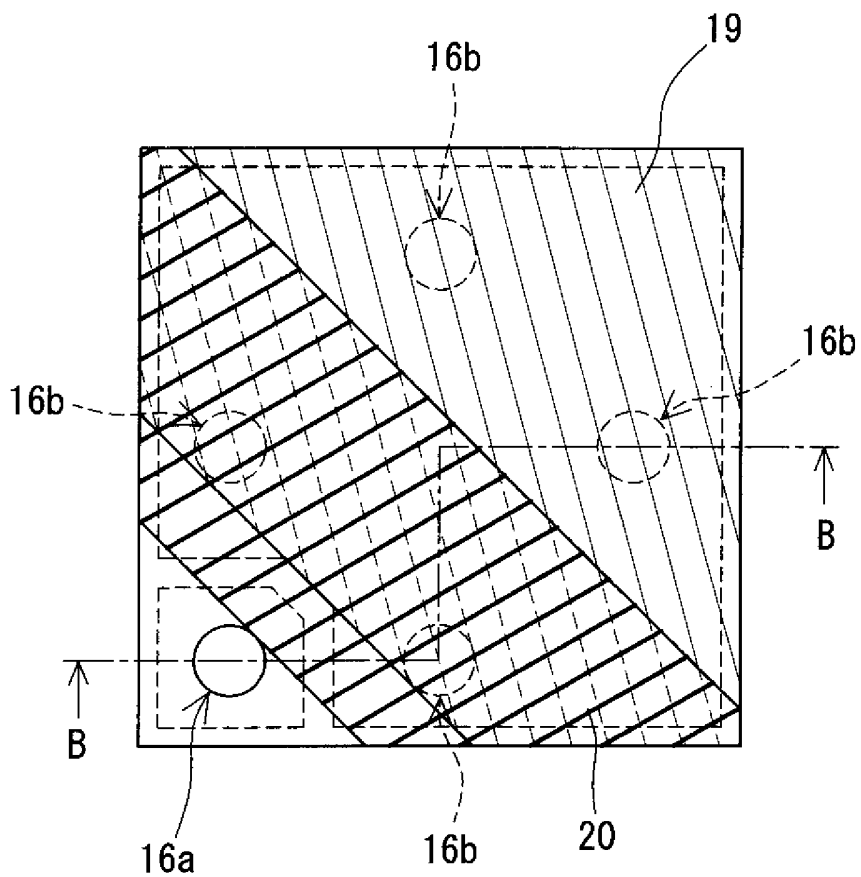
[図9]



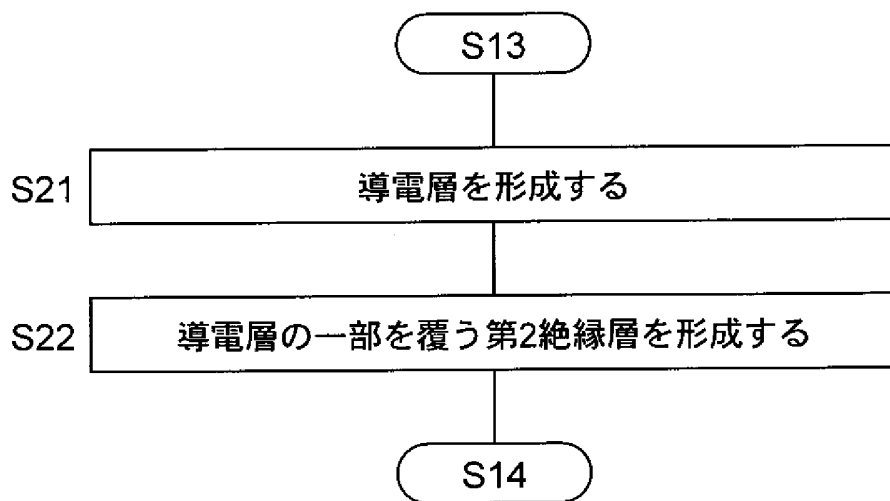
[図10]



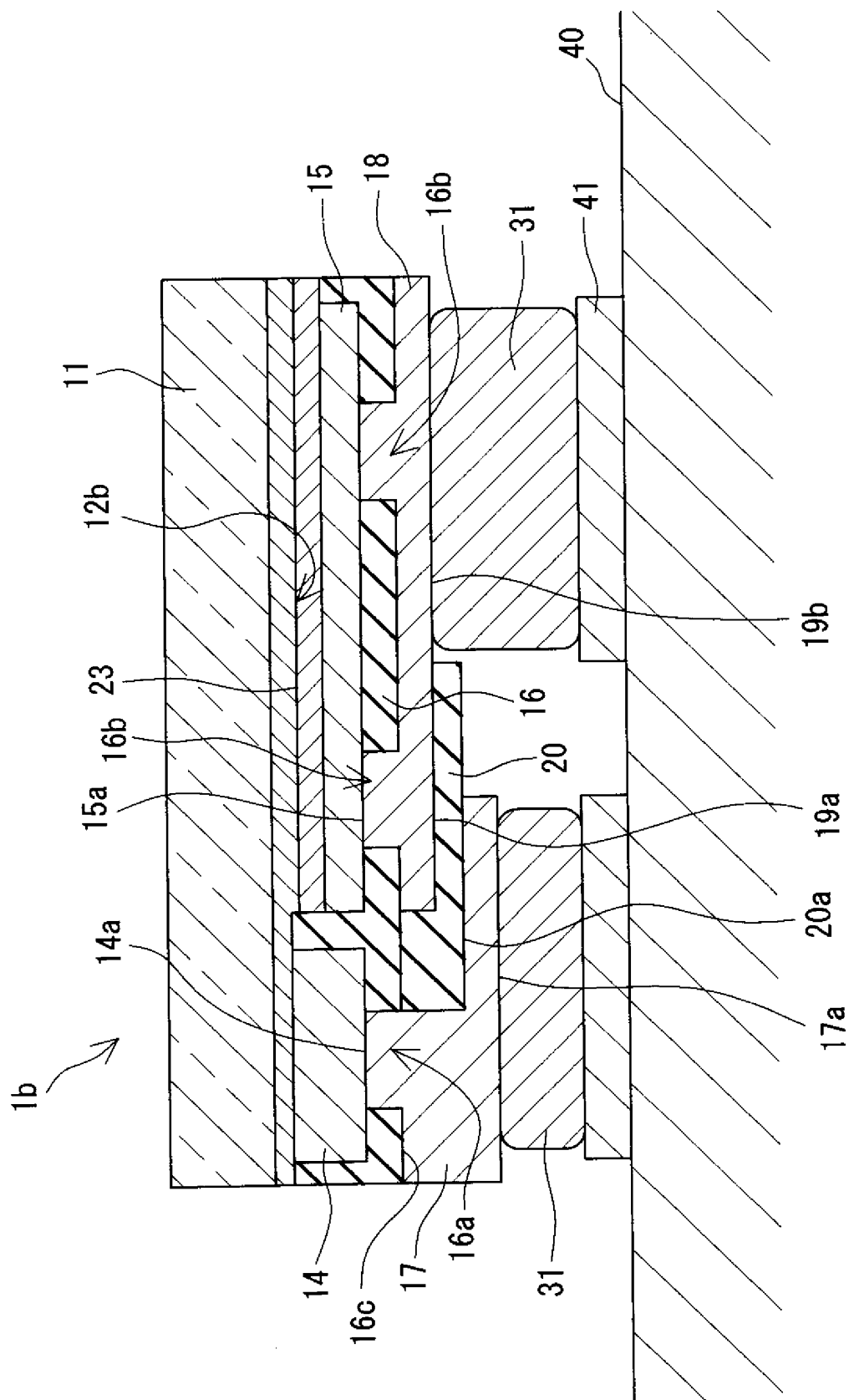
[図11]



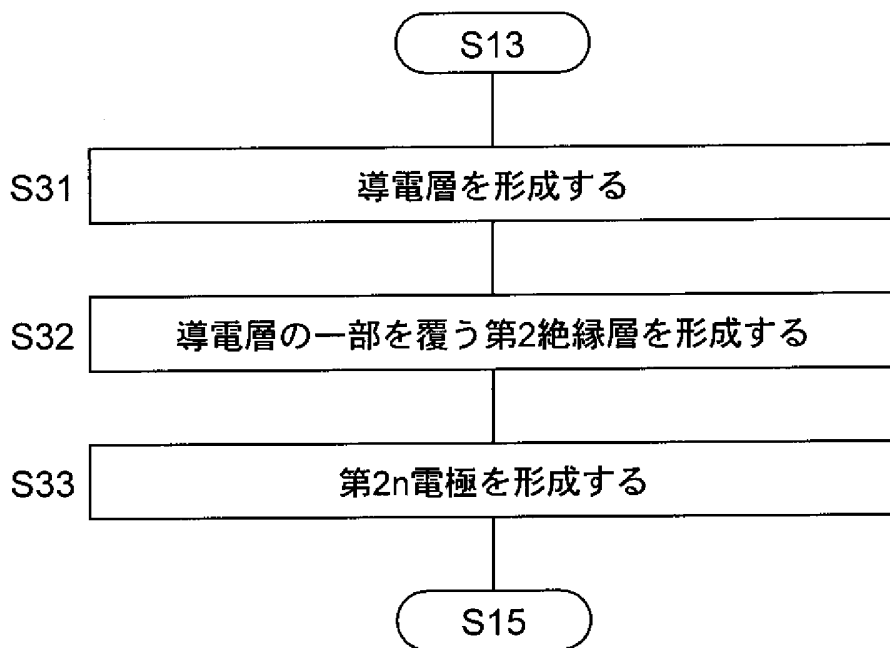
[図12]



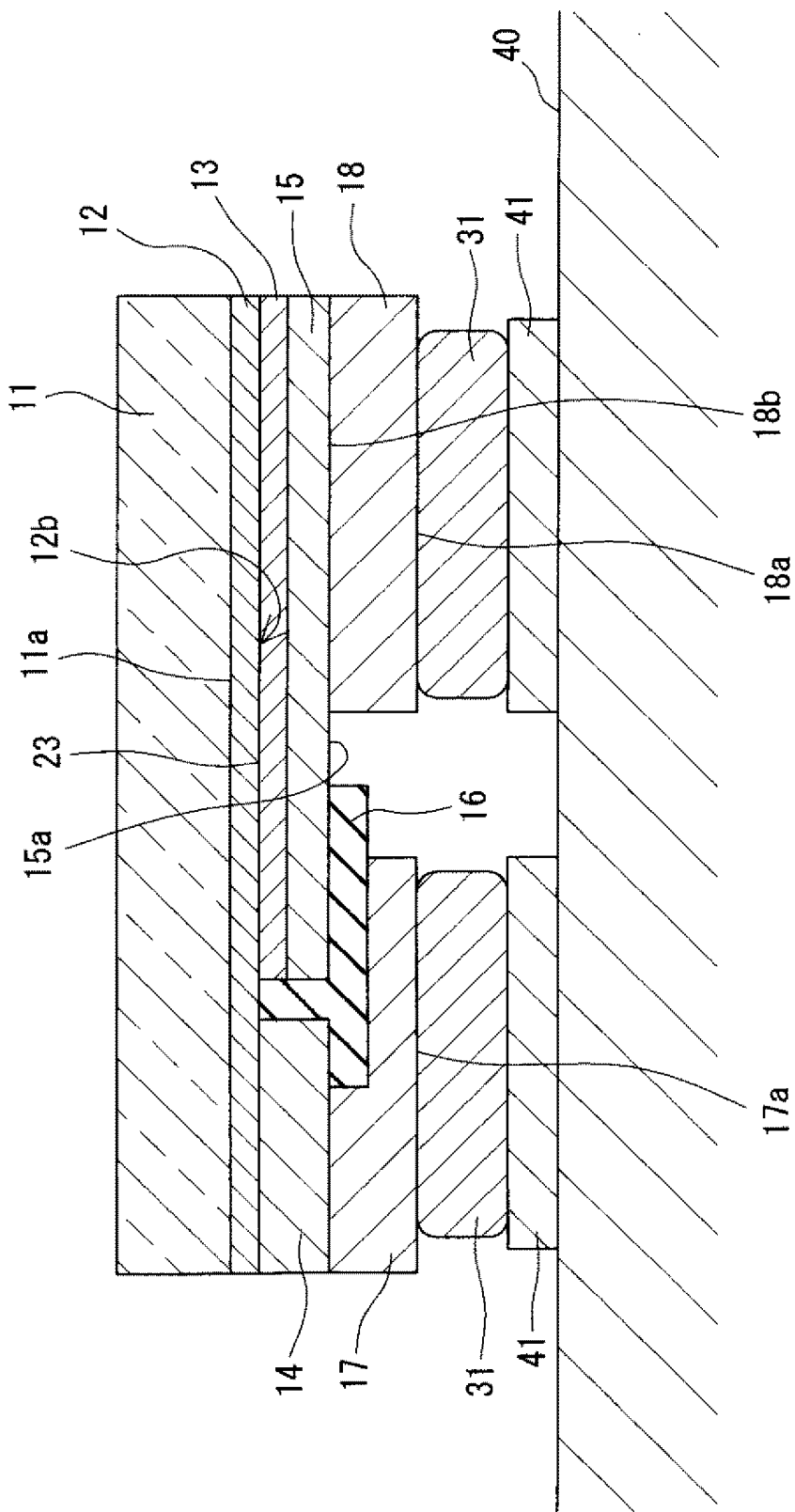
[図13]



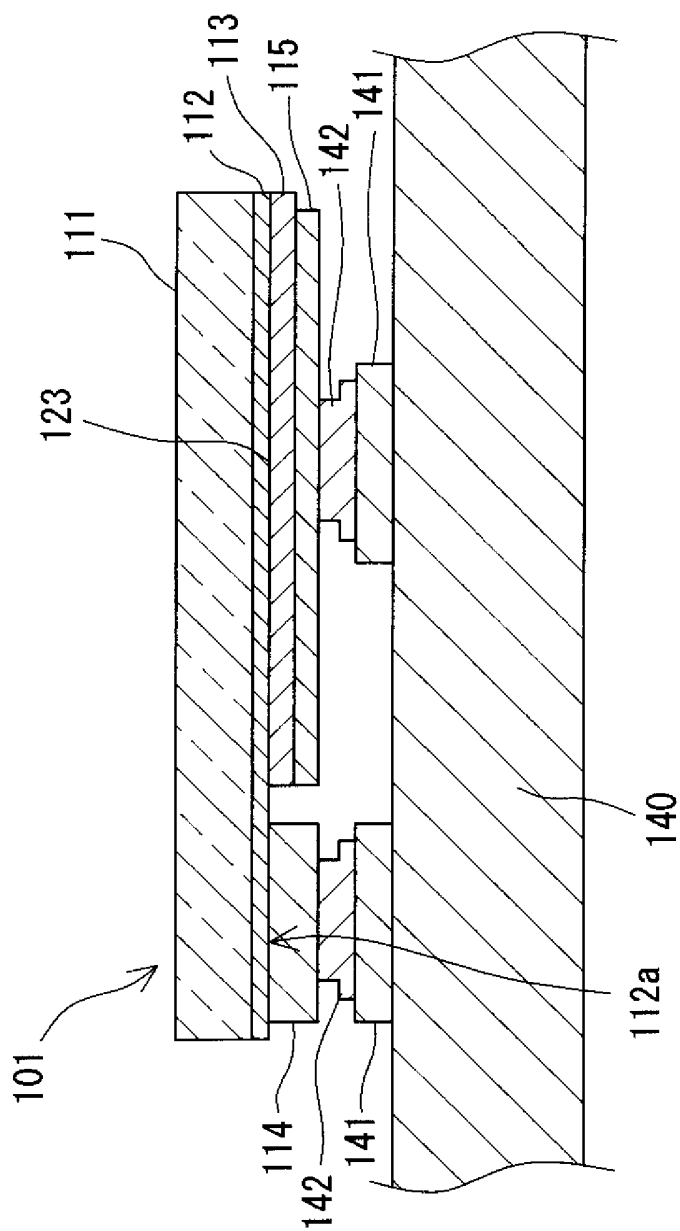
[図14]



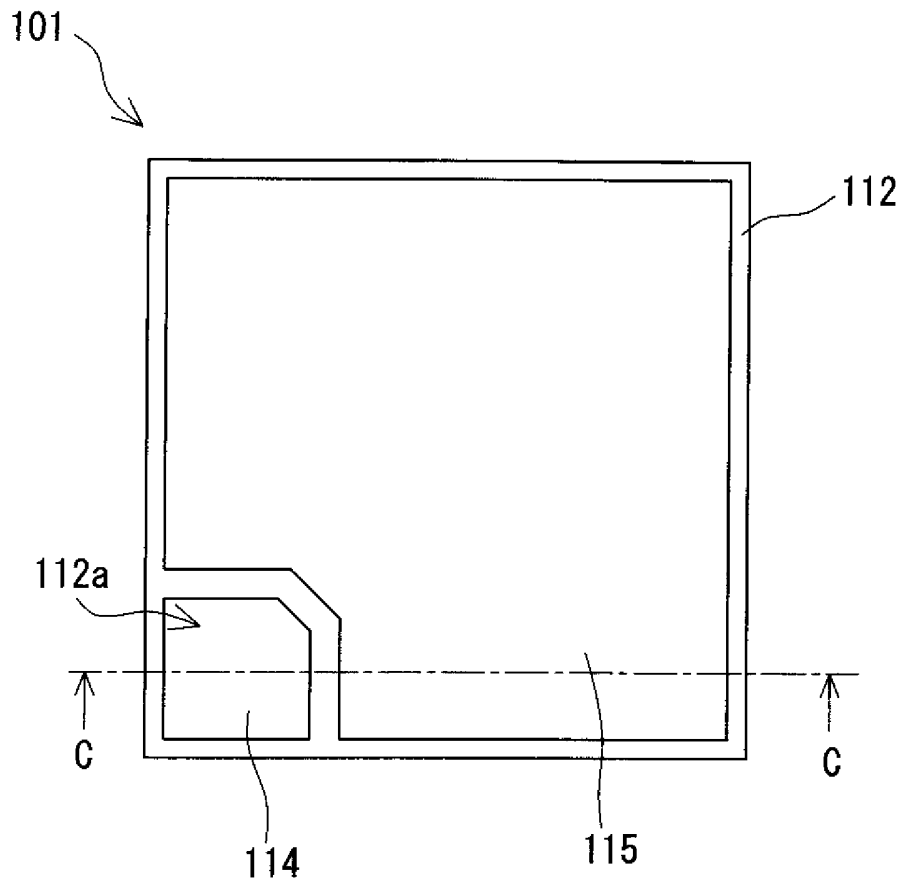
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017467

A. CLASSIFICATION OF SUBJECT MATTER H01L33/00 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L33/00 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-114595 A (Matsushita Electronics Corp.), 21 April, 2000 (21.04.00), Full text; all drawings (Family: none)	1-13
Y	JP 2004-103975 A (Citizen Watch Co., Ltd.), 02 April, 2004 (02.04.04), Par. Nos. [0028] to [0040], [0055] to [0070]; Figs. 1, 4 to 5 (Family: none)	1-13
Y	JP 2002-151739 A (Showa Denko Kabushiki Kaisha), 24 May, 2002 (24.05.02), Par. No. [0030]; Fig. 1 (Family: none)	4, 5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 December, 2005 (06.12.05)		Date of mailing of the international search report 13 December, 2005 (13.12.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017467

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2005-136177 A (Toyoda Gosei Co., Ltd.), 26 May, 2005 (26.05.05), Par. Nos. [0037] to [0052]; Figs. 3 to 7 (Family: none)	1, 7-9, 12, 13

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L33/00 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L33/00 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2000-114595 A (松下電子工業株式会社) 2000.04.21, 全文、全図 (ファミリーなし)	1-13	
Y	JP 2004-103975 A (シチズン時計株式会社) 2004.04.02, 【0028】-【0040】、【0055】-【0070】欄、第1図、第4-5図 (ファミリーなし)	1-13	
Y	JP 2002-151739 A (昭和電工株式会社) 2002.05.24, 【0030】、図1 (ファミリーなし)	4, 5	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 06.12.2005		国際調査報告の発送日 13.12.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 土屋 知久	2K 8826 電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	JP 2005-136177 A (豊田合成株式会社) 2005.05.26, 【0037】 - 【0052】 欄, 図3-7 (ファミリーなし)	1, 7-9, 12, 13