

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3962402号

(P3962402)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S
HO 1 L 23/52 (2006.01)	HO 1 L 21/78 L
HO 1 L 21/301 (2006.01)	

請求項の数 6 (全 38 頁)

(21) 出願番号	特願2004-275767 (P2004-275767)	(73) 特許権者	000005821
(22) 出願日	平成16年9月22日(2004.9.22)		松下電器産業株式会社
(65) 公開番号	特開2005-167198 (P2005-167198A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年6月23日(2005.6.23)	(74) 代理人	100077931
審査請求日	平成16年9月22日(2004.9.22)		弁理士 前田 弘
(31) 優先権主張番号	特願2003-379754 (P2003-379754)	(74) 代理人	100110939
(32) 優先日	平成15年11月10日(2003.11.10)		弁理士 竹内 宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110940
前置審査			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板におけるチップ領域に形成された素子と、  
前記基板上に形成された複数の層間絶縁膜の積層構造と、  
前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成された配線と、

前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成され且つ前記素子と前記配線とを接続するか又は前記配線同士を接続するプラグと、

前記チップ領域の周縁部における前記複数の層間絶縁膜の積層構造に該積層構造を貫通し且つ前記チップ領域を連続的に取り囲むように形成されたシールリングと、

前記配線と前記プラグと前記シールリングとが設けられた前記複数の層間絶縁膜の積層構造の上に形成された保護膜とを備え、

前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つには、前記配線と該配線に接続された前記プラグとが一体化した構造を持つデュアルダマシン配線が形成され、

前記シールリングにおける前記デュアルダマシン配線が設けられている層間絶縁膜に形成されている部分は一体的に構成されており、

前記シールリングは、前記チップ領域を2重以上に取り囲んでおり、

前記保護膜は、前記2重以上のシールリングのうち最も外側のシールリング上のみに第1の開口部を有すると共に該第1の開口部には前記最も外側のシールリングと接するキャ

10

20

ップ層が形成されていることを特徴とする半導体装置。

【請求項 2】

前記シールリングの少なくとも一部分は、前記複数の層間絶縁膜のうちの 1 つの層間絶縁膜又は互いに積層された少なくとも 2 層以上の層間絶縁膜に亘って設けられた凹部に埋め込まれており、

前記凹部のアスペクト比は 3 以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記 2 重以上のシールリングのそれぞれは、前記複数の層間絶縁膜のうちの少なくとも 1 つにおいて、2 以上の枝分かれ構造を有することを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 4】

前記シールリングは、W、Al 及び Cu のうちの少なくとも 1 つから構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記キャップ層は Al から構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記保護膜は前記配線上に第 2 の開口部を有すると共に該第 2 の開口部には前記配線と接するパッド電極が形成されていることを特徴とする請求項 1 に記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップ領域の周囲を取り囲むように形成されたシールリングを有する半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

一般的に、半導体装置は、例えばシリコンなどの半導体ウェハ上に、複数の素子から構成され且つ所定の機能を有する多数の IC 回路をマトリックス状に配置することによって作られる。

30

【0003】

また、ウェハ上において多数配置されたチップ領域同士の間は、格子状に設けられたスクライプ領域（スクライプライン）によって隔てられている。半導体製造工程を経て 1 枚のウェハ上に多数のチップ領域を形成した後、該ウェハはスクライプ領域に沿って個々のチップにダイシングされ、それによって半導体装置が形成される。

【0004】

しかし、ウェハをダイシングして個々のチップに分割する時、スクライプライン周辺のチップ領域が機械的衝撃を受け、その結果、分離されたチップつまり半導体装置のダイシング断面に部分的にクラックや欠けが生じる場合がある。

【0005】

この問題に対して特許文献 1 では、チップ領域の周囲にリング状の防御壁であるシールリングを設けることにより、ダイシング時にチップ領域をクラックが伝播することを防止する技術が提案されている。

40

【0006】

図 19 は、従来のシールリングを有する半導体装置（ウェハに作り込まれている状態）の断面構造を示している。

【0007】

図 19 に示すように、ウェハよりなる基板 1 上には、スクライプ領域 3 によって区画されたチップ領域 2 が設けられている。基板 1 上には複数の層間絶縁膜 5 ~ 10 の積層構造が形成されている。基板 1 におけるチップ領域 2 には、素子を構成する活性層 20 が形成

50

されている。層間絶縁膜 5 には、活性層 20 と接続するプラグ (ビア) 21 が形成され、層間絶縁膜 6 には、プラグ 21 と接続する配線 22 が形成され、層間絶縁膜 7 には、配線 22 と接続するプラグ 23 が形成され、層間絶縁膜 8 には、プラグ 23 と接続する配線 24 が形成され、層間絶縁膜 9 には、配線 24 と接続するプラグ 25 が形成され、層間絶縁膜 10 には、プラグ 25 と接続する配線 26 が形成されている。

【0008】

また、図 19 に示すように、チップ領域 2 の周縁部における複数の層間絶縁膜 5 ~ 10 の積層構造には、該積層構造を貫通し且つチップ領域 2 を連続的に取り囲むシールリング 4 が形成されている。シールリング 4 は、例えば特許文献 1 に示すように、配線形成用マスクとビア形成用マスクとを交互に用いて形成される。具体的には、シールリング 4 は、  
10  
基板 1 に形成された導電層 30 と、層間絶縁膜 5 に形成され且つ導電層 30 と接続するシールビア 31 と、層間絶縁膜 6 に形成され且つシールビア 31 と接続するシール配線 32 と、層間絶縁膜 7 に形成され且つシール配線 32 と接続するシールビア 33 と、層間絶縁膜 8 に形成され且つシールビア 33 と接続するシール配線 34 と、層間絶縁膜 9 に形成され且つシール配線 34 と接続するシールビア 35 と、層間絶縁膜 10 に形成され且つシールビア 35 と接続するシール配線 36 とから構成されている。尚、本願においては、シールリングのうち配線形成用マスクによって形成される部分をシール配線、シールリングのうちビア形成用マスクによって形成される部分をシールビアと称する。

【0009】

さらに、図 19 に示すように、配線 (22、24、26) とビア (21、23、25) とシールリング 4 とが設けられた、複数の層間絶縁膜 5 ~ 10 の積層構造の上にはパッシベーション膜 11 が設けられている。パッシベーション膜 11 は、配線 26 上に開口部を有すると共に該開口部には配線 26 と接続するパッド 27 が形成されている。  
20

【0010】

尚、特許文献 1 に示す半導体装置においては、シールリング上のパッシベーション膜も開口されており、それによりシールリング上部が露出している。

【特許文献 1】特開 2001 - 23937 号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、従来の半導体装置においては、ウェハのダイシング時の衝撃によってパッシベーション膜に剥がれが生じたり又は該衝撃がパッシベーション膜を伝搬してチップ領域の内部へ伝わったりするという問題があった。  
30

【0012】

また、特許文献 1 に示す半導体装置のように、シールリング上のパッシベーション膜が開口されており、該開口部においてシールリング上部が露出している場合には、外部からの水分等が、シールリングにより囲まれた領域内に侵入することを十分に防ぐことができない。

【0013】

ところで、半導体素子及びそれらと接続する配線の微細化に伴う配線間容量の増大、つまり半導体装置の処理速度の低下を防ぐため、低誘電率の層間絶縁膜を用いて配線間容量の増大を防止する技術が開発されている。  
40

【0014】

しかし、一般的に低誘電率の層間絶縁膜の機械的強度が低いため、低誘電率の層間絶縁膜におけるダイシング時に生じる応力に対する耐性は、従来使用されてきた材料よりなる層間絶縁膜と比べて不十分である。その結果、低誘電率の層間絶縁膜はダイシング時により損傷を受けやすい。従って、このような低誘電率の層間絶縁膜を用いた半導体装置において、従来のようにビア形成用マスクと配線形成用マスクとを交互に用いてシールリングをチップ領域の周辺に設けたとしても、ダイシング時の衝撃を十分に防ぐことはできない。具体的には、ビア形成用マスクと配線形成用マスクとを交互に用いて形成された従来の  
50

シールリングは多数のパーツから構成されるため、パーツとパーツとのつなぎ目（例えばシールピアとシール配線とのつなぎ目）が多くなる。また、パーツ同士のつなぎ目が多くなるに従って、パーツ同士が接続されない箇所が生じやすくなる。その結果、これらのつなぎ目（又はパーツ同士が接続されない箇所）が衝撃の通り道となるので、ダイシング時に生じるクラック等がチップ領域内へ伝播することを防止することができない。

【0015】

前記に鑑み、本発明は、ウェハを個々のチップに分割する際のダイシングによってチップ（半導体装置）側面に生じる欠けや割れ等がチップ領域内に伝播することを防止し、それにより半導体装置の耐湿性及び信頼性の低下を防止することを目的とする。

【課題を解決するための手段】

10

【0016】

前記の目的を達成するために、本発明に係る半導体装置は、基板におけるチップ領域に形成された素子と、基板上に形成された複数の層間絶縁膜の積層構造と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成された配線と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成され且つ素子と配線とを接続するか又は配線同士を接続するプラグと、チップ領域の周縁部における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つチップ領域を連続的に（つまり途切れることなく）取り囲むように形成されたシールリングと、配線とプラグとシールリングとが設けられた複数の層間絶縁膜の積層構造の上に形成された保護膜とを備え、チップ領域における複数の層間絶縁膜のうち少なくとも1つには、配線と該配線に接続されたプラグとが一体化した構造を持つデュアルダマシン配線が形成され、シールリングにおけるデュアルダマシン配線が設けられている層間絶縁膜に形成されている部分は一体的に構成されており、保護膜はシールリング上に開口部を有すると共に該開口部にはシールリングと接続するキャップ層が形成されている。

20

【0017】

本発明の半導体装置によると、パッシベーション膜等の保護膜がシールリング上に開口部を有するため、言い換えると、チップ領域の周縁部において保護膜が部分的に不連続に形成されているため、ウェハのダイシング時の衝撃によってチップ領域の保護膜まで連続的に剥がれてしまうことを防止することができる。また、チップ領域の外側で保護膜が受けた衝撃が該保護膜を伝搬してチップ領域の内部へ伝わることを防止することができる。

30

【0018】

また、シールリングの少なくとも一部分は、デュアルダマシン配線が設けられている層間絶縁膜において一体的に構成されているため、言い換えると、該一部分は「つなぎ目」のない構造を有するため、シールリング全体におけるパーツ同士の「つなぎ目」の数を低減することができる。従って、ダイシング時に生じるクラック等が「つなぎ目」を経由してチップ領域内へ伝播することを防止できると共に、シールリングの外側からチップ領域内へ不純物等が侵入することを防止することができる。

【0019】

さらに、シールリング上の保護膜の開口部にはキャップ層（例えば導電体からなるキャップ層）が埋め込まれており、該キャップ層とシールリング本体との連続構造が形成されている。このため、キャップ層が設けられていない場合と比べて、ダイシングの際にスクライプ領域から侵入した水分や不純物がチップ領域周縁部つまりスクライプ領域近傍の保護膜の開口部を経由してチップ領域内に侵入することを防ぐことができる。

40

【0020】

本発明の半導体装置において、シールリングの少なくとも一部分は、複数の層間絶縁膜のうち1つの層間絶縁膜又は互いに積層された少なくとも2層以上の層間絶縁膜に設けられた凹部に埋め込まれており、該凹部のアスペクト比は3以上であることが好ましい。

【0021】

このようにすると、シールリング全体におけるパーツ同士の「つなぎ目」の数を確実に低減することができる。

50

## 【0022】

本発明の半導体装置において、シールリングは、複数の層間絶縁膜のうちの少なくとも1つにおいて、2以上の枝分かれ構造を有することが好ましい。

## 【0023】

このようにすると、シールリングを構成するパーツ同士が、2以上の枝（各枝もシールリングのパーツとなる）を介して接続された構造が得られる。具体的には、ある層においてはこの部分的なシールリングの2重（又は3重以上）構造によってチップ領域が囲まれる。また、当該層では複数の枝の重ね合わせによって一体のシールリングが構成されるため、該シールリングは機械的に強固な構造を持つこととなる。従って、ダイシング時に生じる応力によってスクライブ領域の層間絶縁膜が破壊されたとしても、シールリングは、スクライブ領域での層間絶縁膜の破壊がチップ領域方向へ進行する際の防護壁として機能し又はダイシング時の衝撃がチップ領域の層間絶縁膜中を伝播することを防止する。

10

## 【0024】

本発明の半導体装置において、シールリングは、チップ領域を2重以上に取り囲んでいることが好ましい。

## 【0025】

このようにすると、チップ領域とその周囲を囲むように形成されたスクライブ領域との間に、チップ領域を取り囲む第1のシールリング（内側のシールリング）と、第1のシールリングを取り囲み且つ第1のシールリングと電気的に絶縁された少なくとも1つのシールリング（外側のシールリング）とが形成される。よって、第1のシールリングの外側のシールリングが、ダイシング時にダイシング装置のブレードからの応力に起因して割れやクラック等の損傷を受けたとしても、チップ領域内へ衝撃が進行することを第1のシールリングによって防御することができる。また、仮に第1のシールリングの外側のシールリングが破壊されたとしても、該外側のシールリングに対して第1のシールリングが独立して配置されているため、チップ領域内へ水分や汚染物質が侵入することを第1のシールリングによって防止することができる。

20

## 【0026】

シールリングが、チップ領域を2重以上に取り囲んでいる場合、保護膜は、2重以上のシールリングのうち最も外側のシールリング上のみ開口部を有すると共に該開口部には最も外側のシールリングと接続するキャップ層が形成されていてもよいし、又は2重以上のシールリングのそれぞれは、複数の層間絶縁膜のうちの少なくとも1つにおいて、2以上の枝分かれ構造を有していてもよい。

30

## 【0027】

本発明の半導体装置において、シールリングの側部に複数の突起部が設けられていることが好ましい。

## 【0028】

このようにすると、ウェハのダイシング時にダイシング装置のブレードと保護膜等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハのクラック等が、シールリングの側面（スクライブ領域と対向する面）に沿って進行することを防ぐことができる。

40

## 【0029】

本発明の半導体装置において、シールリングは、基板の上側から見て凹凸を有していることが好ましい。

## 【0030】

このようにすると、ウェハのダイシング時にダイシング装置のブレードと保護膜等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハのクラック等が、シールリングの側面に沿って進行することを防ぐことができる。

## 【0031】

本発明の半導体装置において、シールリングは、W、Al及びCuのうちの少なくとも1つから構成されていてもよい。

50

## 【0032】

本発明の半導体装置において、キャップ層がAlから構成されていると、シールリング（特にCuから構成されたシールリング）の腐食を確実に防止することができる。

## 【0033】

本発明に係る半導体装置の製造方法は、基板におけるチップ領域に形成された素子と、基板上に形成された複数の層間絶縁膜の積層構造と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成された配線と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成され且つ素子と配線とを接続するか又は配線同士を接続するプラグと、チップ領域の周縁部における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つチップ領域を連続的に取り囲むように形成されたシールリングとを備えた半導体装置の製造方法であって、具体的には、複数の層間絶縁膜のうち一の絶縁膜に該一の絶縁膜を貫通するように、プラグを埋め込むための第1の凹部、及びシールリングの一部分を埋め込むための第2の凹部を形成する工程と、一の絶縁膜の上部に、第1の凹部と接続し且つ配線を埋め込むための第3の凹部を形成する工程と、第1の凹部、第2の凹部及び第3の凹部に導電膜を埋め込むことによって、プラグと配線とが一体化した構造を持つデュアルダマシン配線、及びシールリングの一部分を形成する工程と、配線とプラグとシールリングとが設けられた複数の層間絶縁膜の積層構造の上に保護膜を形成する工程と、保護膜におけるシールリング上の領域に開口部を形成すると共に、開口部にシールリングと接続するキャップ層を形成する工程とを備えている。

10

## 【0034】

すなわち、本発明に係る半導体装置の製造方法は、前述の本発明の半導体装置を製造するための方法であるため、前述の本発明の半導体装置と同様の効果が得られる。

20

## 【0035】

本発明の半導体装置の製造方法において、第2の凹部のアスペクト比は3以上であると、シールリング全体におけるパーツ同士の「つなぎ目」の数を確実に低減することができる。

## 【0036】

本発明の半導体装置の製造方法において、複数の層間絶縁膜のうち一の絶縁膜と積層された他の絶縁膜に、前記シールリングの他の部分を埋め込むための第4の凹部を前記第2の凹部と接続するように形成する工程をさらに備えていてもよい。

30

## 【発明の効果】

## 【0037】

以上に説明したように、本発明によると、チップ領域と、該チップ領域の周縁部に設けられ且つチップ領域の素子や配線層等の周囲を囲むシールリングとを備えた半導体装置において、パーツ同士の「つなぎ目」の少ないシールリングが設けられていると共に、シールリング上の保護膜が開口されて該開口部にキャップ層が設けられている。また、このような構造を持つシールリングは、部分的に枝分かれ構造（シールリングを途中を橋渡しする少なくとも2個の導電体）を有していてもよいし、又はチップ領域を2重以上に取り囲む構造（チップ領域の周縁部に形成された第1のシールリングと、該第1のシールリングの周囲を取り囲むように形成された少なくとも1つのシールリングとからなる構造）を有していてもよい。

40

## 【0038】

前述の本発明の特徴によって、ウェハから個々のチップ（半導体装置）を取り出す際のダイシングによって生じるウェハの欠けや割れ等がチップ領域内に至ることを防ぐことができ、それにより半導体装置の耐湿性及び信頼性の低下を防止することができる。

## 【発明を実施するための最良の形態】

## 【0039】

以下、本発明の各実施形態について図面を参照しながら説明する。

## 【0040】

本発明の第1の特徴は、配線構造の形成と同じ工程においてシールリングを形成すると

50

共にシールリングの形成工程においてもデュアルダマシン法を活用することである。これにより、シングルダマシン法を用いる場合と比べて、パーツ同士の「つなぎ目」の少ないシールリングを形成することができる。尚、本願において、配線とプラグ（配線同士又は配線と素子とを接続する）とが積層された構造を配線構造と称する。

【0041】

また、本発明の第2の特徴は、シールリングの最上部を覆うパッシベーション膜（例えばSiN膜）を部分的に開口すると共に該開口部分にキャップを設けることである。これにより、ダイシング時にパッシベーション膜が受けた衝撃がチップ領域内に伝播することを防ぐことができる（第1の実施形態参照）。

【0042】

また、本発明の第3の特徴は、シールリングの構造において部分的に2以上に枝分かれした構造を設けると共に、該部分的に2以上に枝分かれした構造を一体のものとしてシールリングを構成することである。これにより、シールリング自体の機械的強度が高まり、それによって、ダイシング時におけるスクライプラインからの衝撃がチップ領域内に伝わることを防止することができる。

【0043】

また、本発明の第4の特徴は、シールリングが、チップ領域を取り囲む少なくとも2重以上の構造を有することである。これにより、シールリングがチップ領域を1重に取り囲んでいる場合と比べて、より強固なシールリングを実現することができる（第2の実施形態参照）。

【0044】

尚、本発明のその他の実施形態については、以下の各実施形態の中で詳述する。

【0045】

（第1の実施形態）

以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。

【0046】

図1は、本発明の第1の実施形態に係る半導体装置（チップ領域を1重に取り囲むシールリングを有する半導体装置）が設けられているウェハの一部分を示す平面図である。

【0047】

図1に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ101上には、それぞれ半導体装置となる複数のチップ領域102が配置されている。各チップ領域102には、複数の素子からなり且つ所定の機能を有するIC（integrated circuit）回路が設けられている。尚、各チップ領域102は、格子状に設けられたスクライプ領域103によって区画されている。

【0048】

ここで、1個の半導体装置（つまり1個の半導体チップ）は、複数の素子からなり且つ所定の機能を有するIC回路が配置されているチップ領域102と、チップ領域102の周縁部に該チップ領域102を取り囲むように設けられているシールリング104とから構成されている。このように複数の半導体装置が形成されたウェハ101は、各チップの完成後、スクライプ領域103に沿ってダイシングされ、それによって個々の半導体装置が分離される。

【0049】

図2（a）、（b）及び図3（a）は、図1のAA'線の断面構造（チップ領域102の周縁部に位置するシールリング部分を含む半導体装置端部の断面構造）のバリエーションを示しており、図3（b）は、図2（a）又は図2（b）に示す構造における一のビアと該ビアと同じ層に設けられたシールビアとの平面構成を模式的に示した図である。

【0050】

尚、図2（a）、（b）及び図3（a）においては、チップ領域102の配線構造及びシールリングのそれぞれの断面構造を示している。

10

20

30

40

50

## 【 0 0 5 1 】

図 1、図 2 ( a )、( b ) 及び図 3 ( a ) に示すように、ダイシング前の半導体装置はチップ領域 1 0 2 とスクライプ領域 1 0 3 とから構成されており、チップ領域 1 0 2 におけるスクライプ領域 1 0 3 との境界付近にシールリング 1 0 4 が形成されている。

## 【 0 0 5 2 】

ここで、図 2 ( a )、図 2 ( b ) 及び図 3 ( a ) のそれぞれに示す構造の個別の特徴は次の通りである。

## 【 0 0 5 3 】

まず、図 2 ( a ) に示す構造の特徴は、シールリング 1 0 4 を構成するシールビアが少なくとも 2 層以上に亘って連続して形成されていることである。

10

## 【 0 0 5 4 】

また、図 2 ( b ) に示す構造の特徴は、シールリング 1 0 4 を構成するシールビアとシール配線とが交互に設けられていることである。

## 【 0 0 5 5 】

また、図 3 ( a ) に示す構造の特徴は、シールリング 1 0 4 を構成するシールビアが同じ層間絶縁膜内において少なくとも 2 以上に枝分かれした構造を有していることである。

## 【 0 0 5 6 】

一方、図 2 ( a )、図 2 ( b ) 及び図 3 ( a ) のそれぞれに示す構造に共通する特徴は、シールリング 1 0 4 の最上部にシールリングキャップ ( キャップ層 1 2 5 ) を有していることである。

20

## 【 0 0 5 7 】

以下、図 2 ( a ) に示す構造を有する半導体装置の製造方法について、図 4 ( a ) ~ ( d )、図 5 ( a ) ~ ( c ) 及び図 6 ( a ) ~ ( c ) を参照しながら説明する。

## 【 0 0 5 8 】

まず、図 4 ( a ) に示すように、ウェハ 1 0 1 ( 以下、基板 1 0 1 と称する ) におけるチップ領域 1 0 2 に、トランジスタ等の素子を構成する活性層 1 1 0 を形成すると共に、基板 1 0 1 におけるチップ領域 1 0 2 の周縁部 ( スクライプ領域 1 0 3 の近傍のシールリング形成領域 ) に、活性層 1 1 0 と同様に構成された導電層 1 2 0 を形成する。

## 【 0 0 5 9 】

次に、基板 1 0 1 上に第 1 の層間絶縁膜 1 0 5 を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域 1 0 2 の第 1 の層間絶縁膜 1 0 5 に、第 1 のビア 1 1 1 ( 図 4 ( b ) 参照 ) を形成するためのビアホール 1 0 5 a を形成すると共に、シールリング形成領域の第 1 の層間絶縁膜 1 0 5 に、第 1 のシールビア 1 2 1 ( 図 4 ( b ) 参照 ) を形成するための溝状凹部 1 0 5 b を形成する。ここで、シールビアとは、シールリングを構成するパーツであって溝状凹部に導電材料を埋め込むことによって形成される。すなわち、シールビアは、チップ領域のビアと同程度の幅を有するライン状構造を有する ( 図 3 ( b ) 参照 ) 。

30

## 【 0 0 6 0 】

尚、本実施形態において、シールビアのアスペクト比 ( つまりシールビアが埋め込まれた凹部における深さに対する幅の比 ) は 1 以上であることが好ましい。

40

## 【 0 0 6 1 】

また、本実施形態において、チップ領域 1 0 2 の第 1 の層間絶縁膜 1 0 5 にビアホール 1 0 5 a を形成する際に、第 1 のシールビア 1 2 1 を形成するための溝状凹部 1 0 5 b を同時に形成したが、ビアホール 1 0 5 a と溝状凹部 1 0 5 b とを別々に形成してもよいことは言うまでもない。

## 【 0 0 6 2 】

次に、図 4 ( b ) に示すように、第 1 の層間絶縁膜 1 0 5 に形成されたビアホール 1 0 5 a 及び溝状凹部 1 0 5 b に、例えば W ( タングステン ) からなる導電膜を例えば C V D ( chemical vapor deposition ) 法により埋め込み、その後、例えば C M P ( 化学的機械研磨法 ) を用いてビアホール 1 0 5 a 及び溝状凹部 1 0 5 b のそれぞれからはみ出した余

50

分な導電膜を除去し、それによって、活性層 110 と接続する第 1 のビア 111、及び導電層 120 と接続する第 1 のシールビア 121 を形成する。

【0063】

その後、第 1 の層間絶縁膜 105 上に第 2 の層間絶縁膜 106 を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域 102 の第 2 の層間絶縁膜 106 に、第 1 の配線 112 (図 4 (c) 参照) を形成するための配線溝 106 a を形成すると共に、シールリング形成領域の第 2 の層間絶縁膜 106 に、第 1 のシール配線 122 (図 4 (c) 参照) を形成するための配線溝 106 b を形成する。

【0064】

続いて、図 4 (c) に示すように、第 2 の層間絶縁膜 106 に形成された配線溝 106 a 及び配線溝 106 b に、例えば電気メッキ法を用いて例えば Cu (銅) からなる導電膜を埋め込む。その後、各配線溝 106 a 及び 106 b からはみ出した導電膜を例えば CMP 法により除去し、それによって、第 1 のビア 111 と接続する第 1 の配線 112、及び第 1 のシールビア 121 と接続する第 1 のシール配線 122 を形成する。

【0065】

次に、図 4 (d) に示すように、第 2 の層間絶縁膜 106 上に第 3 の層間絶縁膜 107 を堆積した後、チップ領域 102 の第 3 の層間絶縁膜 107 に、第 2 のビア 113 (図 5 (c) 参照) を形成するためのビアホール 107 a を形成すると共に、シールリング形成領域の第 3 の層間絶縁膜 107 に、第 2 のシールビア 123 (図 5 (c) 参照) を形成するための溝状凹部 107 b を形成する。尚、本実施形態では、効率を重視して、配線間ブラグとなる第 2 のビア 113 を形成するためのビアホール 107 a と、シールリング 104 の一部となる第 2 のシールビア 123 を形成するための溝状凹部 107 b とを同じ工程で形成するが、ビアホール 107 a と溝状凹部 107 b とを別々の工程で形成することもできる。

【0066】

続いて、図 5 (a) に示すように、リソグラフィ法を用いて第 3 の層間絶縁膜 107 上に、第 2 の配線 114 (図 5 (c) 参照) を埋め込む配線溝を形成するためのレジスト膜 130 を形成する。このとき、レジスト膜 130 は、ビアホール 107 a を含む配線形成領域に開口部を有する。また、レジスト膜 130 は、溝状凹部 107 b の内部にも埋め込まれる。

【0067】

その後、図 5 (b) に示すように、レジスト膜 130 をマスクとしてドライエッチング法を用いて、チップ領域 102 の第 3 の層間絶縁膜 107 の上部に、ビアホール 107 a と接続し且つ第 2 の配線 114 を形成するための配線溝 107 c を形成した後、残存するレジスト膜 130 をアッシングにより除去する。

【0068】

次に、図 5 (c) に示すように、第 3 の層間絶縁膜 107 に形成されたビアホール 107 a、配線溝 107 c 及び溝状凹部 107 b に、例えば Cu からなる導電膜を埋め込む。その後、配線溝 107 c 及び溝状凹部 107 b からはみ出した導電膜 (第 3 の層間絶縁膜 107 よりも上側に存在する導電膜) を例えば CMP 法により除去する。これにより、チップ領域 102 の第 3 の層間絶縁膜 107 中に、第 1 の配線 112 と接続する第 2 のビア 113 及び第 2 のビア 113 と接続する第 2 の配線 114 (つまり第 2 のビア 113 と第 2 の配線 114 とからなるデュアルダマシン配線) が形成されると共に、シールリング形成領域の第 3 の層間絶縁膜 107 に、第 1 のシール配線 122 と接続する第 2 のシールビア 123 が形成される。尚、以上に説明したような、凹部に導電膜を埋め込むことによってビアと配線とを同時に形成する方法を一般的にデュアルダマシン法という。

【0069】

ところで、第 2 のビア 113 と第 2 の配線 114 とをシングルダマシン法によって形成した場合には、第 2 のビア 113 を形成するためのビアホール 107 a と、第 2 の配線 114 を形成するための配線溝 107 c とに対して別々に導電膜の埋め込みが行なわれるの

10

20

30

40

50

で、該配線構造の形成に合わせて第2のシールビア123を形成するため、溝状凹部107bに対しても、2回に分けて導電膜の埋め込みが行なわれることになる。その場合、第2のシールビア123の内部に、2回に分けて導電膜を埋め込むことに起因する「つなぎ目」が生じてしまう。

【0070】

しかしながら、本実施形態では、デュアルダマシン構造の配線形成工程に合わせて、一度の導電膜の埋め込みによって第2のシールビア123を形成するので、第2のシールビア123の内部に導電膜のつなぎ目が発生することはない。

【0071】

また、本実施形態のように、チップ領域102の一の層間絶縁膜にデュアルダマシン構造の配線を形成し、且つ当該層間絶縁膜にシールリング104を構成するシールビアを形成する場合には、アスペクト比が3以上となるシールビアを形成することができる。従って、シールリング104を構成するパーツ同士のつなぎ目を減少させることができるので、チップ領域102に対する外部からの汚染をより防ぐことができるシールリングを実現することができる。

【0072】

続いて、図6(a)に示すように、第3の層間絶縁膜107上に第4の層間絶縁膜108を堆積した後、図4(d)~図5(c)に示す工程と同様に、デュアルダマシン法を用いて、第4の層間絶縁膜108中に、デュアルダマシン構造を持つ配線構造とシールリングとを形成する。

【0073】

具体的には、図6(a)に示すように、リソグラフィー法及びドライエッチング法を用いて、チップ領域102の第4の層間絶縁膜108に、第3のビア115(図6(b)参照)を形成するためのピアホール108aを形成すると共に、シールリング形成領域の第4の層間絶縁膜108に、第3のシールビア124を形成するための溝状凹部108bを形成する。その後、リソグラフィー法を用いて第4の層間絶縁膜108上に、第3の配線116(図6(b)参照)を埋め込む配線溝を形成するためのレジスト膜(図示省略)を形成する。ここで、当該レジスト膜は、ピアホール108aを含む配線形成領域に開口部を有する。また、当該レジスト膜は、溝状凹部108bの内部にも埋め込まれている。その後、当該レジスト膜をマスクとしてドライエッチング法を用いて、チップ領域102の第4の層間絶縁膜108の上部に、ピアホール108aと接続し且つ第3の配線116を形成するための配線溝108cを形成した後、残存するレジスト膜をアッシングにより除去する。これにより、第4の層間絶縁膜108に、デュアルダマシン配線を形成するための凹部(ピアホール108a及び配線溝108c)と、第3のシールビア124を形成するための溝状凹部108bとが形成される。

【0074】

続いて、図6(b)に示すように、第4の層間絶縁膜108に設けられた、第3のビア115形成用のピアホール108aと第3の配線116形成用の配線溝108cとが一体化したデュアルダマシン構造の凹部、並びに第3のシールビア124形成用の溝状凹部108bに、例えばCuからなる導電膜を埋め込む。その後、配線溝108c及び溝状凹部108bからはみ出した導電膜(第4の層間絶縁膜108よりも上側に存在する導電膜)を例えばCMP法により除去する。これにより、チップ領域102の第4の層間絶縁膜108中に、第2の配線114と接続する第3のビア115及び第3のビア115と接続する第3の配線116(つまり第3のビア115と第3の配線116とからなるデュアルダマシン配線)が形成されると共に、シールリング形成領域の第4の層間絶縁膜108に、第2のシールビア123と接続する第3のシールビア124が形成される。

【0075】

その後、図6(b)に示すように、最上の配線層となる第4の層間絶縁膜108上に、該配線層の保護膜となるパッシベーション膜109を堆積する。続いて、リソグラフィー法及びドライエッチング法を用いて、第3の配線116及び第3のシールビア124のそ

10

20

30

40

50

れぞれの上のパッシベーション膜 109 を部分的に開口する。ここで、第 3 のシールビア 124 上のパッシベーション膜 109 の開口部は、チップ領域 102 を連続的に取り囲む溝形状を有する。

【0076】

その後、図 6 (c) に示すように、第 3 の配線 116 及び第 3 のシールビア 124 のそれぞれの上の開口部を含むパッシベーション膜 109 の上に全面に亘って、例えばスパッタ法により例えば A1 (アルミニウム) 膜を堆積し、続いて、リソグラフィー法及びドライエッチング法を用いて、当該 A1 膜を所定の形状にパターニングする。具体的には、前述の各開口部及びそれらの近傍以外の領域に形成されている不要な A1 膜を除去する。これにより、第 3 の配線 116 上のパッシベーション膜 109 の開口部に、第 3 の配線 116 と接続するパッド電極 117 が形成されると共に、第 3 のシールビア 124 上のパッシベーション膜 109 の開口部に、第 3 のシールビア 124 つまりシールリング 104 と接続するキャップ層 125 が形成される。すなわち、チップ領域 101 には、配線構造及びそれを外部電極に接続するためのボンディングパッド (パッド電極 117) が形成されると共に、シールリング形成領域つまりチップ領域 102 の周縁部には、最上部にキャップ層 125 を有するシールリング 104 が形成される。

10

【0077】

以上に説明したように、本実施形態では、ビアが形成されるホールと、配線が形成される溝とを同時に導電膜により埋め込むデュアルダマシン法を用いて配線構造を形成すると共に、該配線構造の形成と同じ工程においてシールリングを構成するシールビアを形成する。すなわち、ビアが形成される凹部と、配線が形成される配線溝とが一体化したデュアルダマシン型配線溝を埋め込む際に、合わせて、シールビアが形成される凹部の埋め込みを行なうため、高さのあるシールビア、例えば幅に対する深さ (高さ) のアスペクト比が 1 以上 (好ましくは 3 以上) のシールビアを 1 回の埋め込み工程によって形成することができる。

20

【0078】

従って、本実施形態によると、シングルダマシン法を用いて配線を形成する場合と比較して、埋め込みに起因する「つなぎ目」を減少させたシールリングを形成することができる。具体的には、導電膜の埋め込み回数が少ないことのメリットとして、シールリングを構成する導電膜同士の接続界面の数が減少する。すなわち、導電膜の埋め込み性能が悪いことに起因して、シールリングのパーツ間に不連続部分が生じる確率が低くなり、その結果、埋め込み回数が多い構造を持つシールリングと比較して、信頼性の高いシールリングを形成することができる。

30

【0079】

また、本実施形態では、シールリング 104 の最上部と接続するキャップ層 125 は、チップ領域 102 にある配線層に外部から電源を供給するための又は該配線層から外部に信号を取り出すためのパッド (パッド電極 117) の形成工程において同時に形成される。これにより、新たにキャップ層形成工程を追加することなく、最上部にキャップ層 125 を有するシールリング 104 を形成することができる。

【0080】

以下、図 2 (a) に示す本実施形態のシールリング構造について詳しく説明する。

40

【0081】

本実施形態のシールリングは、図 2 (a) (又は図 6 (c)) に示すように、チップ領域 102 におけるスクライブ領域 103 との境界付近に形成されている。ここで、チップ領域 102 の基板 101 上にはトランジスタ等の素子 (図示省略) が形成されていると共に、トランジスタ等の素子上には複数の配線層が形成されている。

【0082】

また、図 2 (a) に示すように、このようなチップ領域 102 の周縁部には、導電体層 120、シールビア 121、123、124、及びシール配線 122 が組み合わさるシールリング 104 が、チップ領域 102 の内部つまり前述の素子や配線層を取り囲み

50

且つ複数の層間絶縁膜 105 ~ 108 の積層構造を貫通するように形成されている。すなわち、チップ領域 102 の周縁部（チップ領域 102 におけるスクライプ領域 103 との境界付近）の積層絶縁膜構造中に、最下層の層間絶縁膜から最上層の層間絶縁膜まで途切れることなく（隙間なく）連続するように埋め込まれた導電体（例えば銅）であるシールリング 104 は、外部からチップ領域 102 内への不純物等の侵入経路を遮断するバリエードとして機能する。

#### 【0083】

本実施形態においては、シールリング 104 を構成するために積層されている各導電体（パーツ）のうち少なくとも 1 つ以上の導電体は、前述のように、デュアルダマシン構造を持つ配線の形成工程で形成されているので、該導電体は、少なくとも 1 つの層間絶縁膜を「つなぎ目」なしに突き抜けるシールビアとなる。すなわち、シールリング、トランジスタ等の素子及び配線層等が形成されたチップ領域 102 の全体において、デュアルダマシン配線の形成過程でシールリング 104 を形成することによって、シールリング 104 の「つなぎ目」を減少させることができる。ここで、シールリングに「つなぎ目」つまりパーツとなる導電膜同士の接続界面が存在すると、スクライプ領域 103 に沿って基板（ウェハ）101 を切断する場合等に生じた衝撃や外部から侵入した水分が、「つなぎ目」を通り道としてチップ領域 102 内へ伝播しやすくなる。よって、本実施形態のように、シールリング 104 を構成するパーツ同士の「つなぎ目」を減少させることにより、ウェハ切断時の衝撃や外部からの水分がチップ領域 102 内に浸入することを防ぐことができる。

#### 【0084】

また、本実施形態においては、シールリング 104 がチップ領域 102 の周縁部（チップ領域 102 におけるスクライプ領域 103 との境界付近）に形成されているため、基板（ウェハ）101 上に複数形成されている個々の半導体装置を、該ウェハのスクライプ領域 103 に沿ってダイシングすることによって個片のチップとして取り出す際に、スクライプ領域 103 がダイシング時に受ける機械的衝撃や応力がチップ領域 102 内に伝搬することを防止することができる。

#### 【0085】

また、図 2 (a) に示すシールリング構造において、最上層の層間絶縁膜（第 4 の層間絶縁膜 108）中に形成されている第 3 のシールビア 124 上にある、例えば A1 からなるキャップ層 125 は、保護膜（パッシベーション膜 109）における第 3 のシールビア 124 上の部分に形成された開口部、具体的には、チップ領域 102 に形成された配線層等を連続的に取り囲むようにパッシベーション膜 109 に設けられた溝に形成されている。すなわち、シールリング 104 の最上部と接続されたキャップ層 125 は、パッシベーション膜 109 の表面から突出するように形成されており、それによってパッシベーション膜 109 は部分的に開口されて不連続になる。

#### 【0086】

従って、本実施形態においては、チップ領域 102 のパッシベーション膜 109 と、シールリング形成領域の外側（スクライプ領域 103 を含む）のパッシベーション膜 109 とが不連続になるため、ダイシング時にスクライプ領域 103 近傍のパッシベーション膜 109 が受ける機械的衝撃が、チップ領域 102 に堆積されているパッシベーション膜 109 等の膜に伝わりにくくなる。すなわち、チップ領域 102 におけるスクライプ領域 103 との境界付近のパッシベーション膜 109 に部分的に不連続箇所が存在するので、ウェハのダイシング時の衝撃がチップ領域 102 まで達することを防止することができる。

#### 【0087】

このため、ダイシング時の衝撃によってスクライプ領域 103 のパッシベーション膜 109 に割れ等が生じ、その衝撃によってチップ領域 102 にあるパッシベーション膜 109 等に膜剥がれが起る事態を回避でき、それにより、チップ領域 102 内部にクラックが発生することを防止することができる。その結果、チップ表面から水分や可動イオン等の汚染物質がチップ内部に侵入することを防止できるので、半導体装置の信頼性を向上さ

10

20

30

40

50

せることができる。

【0088】

また、シールリング104上のパッシベーション膜109の開口部にキャップ層125が埋め込まれており、該キャップ層125とシールリング104の本体との連続構造が形成されている。このため、キャップ層125が設けられていない場合と比べて、ダイシングの際にスクライブ領域103から侵入した水分や不純物が、チップ領域102の周縁部つまりスクライブ領域103の近傍のパッシベーション膜109の開口部を經由してチップ領域103内に侵入することを防ぐことができる。

【0089】

また、図2(a)に示す本実施形態のシールリング構造においては、シールリング104の一部分(具体的にはシールビア121、123、124)の幅は狭く、具体的には、該部分のアスペクト比(幅に対する高さの比)は1以上であることが好ましい。特に、デュアルダマシン配線が形成された層間絶縁膜に、その上端から下端まで「つなぎ目」なく延びるように形成されているシールビアのアスペクト比は3以上であることが好ましい。あるいは、2層以上に亘って重なった層間絶縁膜のそれぞれに形成されたシールビア(例えばシールビア123及び124)が積層されている場合、該シールビアの積層構造のアスペクト比は3以上であることが好ましい。このように、シールリング104を構成するパーツとなる導電体にシールビアを用いると、配線幅と比べてビア幅が狭いことを利用して、各層間絶縁膜での配線レイアウトに応じて、シールリング配置のためのマージンをある程度調整することができる。すなわち、配線層等の配置のためにチップ領域102を広く用いることが必要な層間絶縁膜中では、シールリング104のパーツとしてシールビアを用いることが好ましい。

【0090】

一方、チップ領域102の配線レイアウト等を考慮したときに、対象となる層間絶縁膜におけるシールリングを形成すべきスペースにある程度余裕がある場合には、配線と同程度の幅を有するシール配線を用いることができる。すなわち、配線パターンと同程度の幅を有するシール配線パターンが設けられたマスクを用いてシールリングを形成することができる。

【0091】

以上のように、本実施形態においては、チップ領域102の配線レイアウトを考慮しながら、シールリングを構成する各パーツの幅を各絶縁層毎に選択できる。従って、シールリングの各絶縁層における幅(厚み)を必要に応じて制御することができる。

【0092】

尚、本実施形態においては、図2(a)に示すシールリング構造、つまり少なくとも2つ以上のシールビアが連続的に積層されているシールリング構造に代えて、図2(b)に示すシールリング構造、つまり、素子等が形成されているチップ領域102におけるビアと配線とが交互に積層されている配線構造と同様に、シールビアとシール配線とが交互に積層された構造を持つシールリング104を用いてもよい。

【0093】

以下、図2(b)に示すシールリング構造について詳しく説明する。尚、図2(b)において、図2(a)と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0094】

図2(b)に示すように、シールリング104は、チップ領域102における配線構造の形成工程と同時に形成されている。具体的には、導電体層120上の第1の層間絶縁膜105に第1のシールビア121が形成されていると共に、第1の層間絶縁膜105上の第2の層間絶縁膜106に、第1のシールビア121と接続する第1のシール配線122が形成されている。また、第2の層間絶縁膜106上に堆積された第3の層間絶縁膜107に、第1のシール配線122に接続する第2のシールビア126と第2のシールビア126に接続する第2のシール配線127とが一体化したデュアルダマシン構造の配線(シール部分)が形成されている。さらに、第3の層間絶縁膜207上の第4の層間絶縁膜2

10

20

30

40

50

08に、第2のシール配線127に接続する第3のシールビア128と第3のシールビア128に接続する第3のシール配線129とが一体化したデュアルダマシン構造のシール部分が形成されている。さらに、第4の層間絶縁膜108上のパッシベーション膜109における第3のシール配線129の上側は部分的に開口されており、該開口部には、第3のシール配線129に接続するキャップ層125が形成されている。

【0095】

このように、図2(b)に示す本実施形態の半導体装置においては、チップ領域102に形成されている配線構造と同様の構造を持つシールリング104が形成されているため、配線を形成する過程において合わせてシールリング104も形成することが出来る。

【0096】

さらに、図2(b)に示す本実施形態の半導体装置においては、配線構造、例えば第2のビア113及び第2の配線114をデュアルダマシン法により形成するのに合わせて、シールリング104を構成する各部分、例えば第2のシールビア126及び第2のシール配線127をデュアルダマシン法により形成する。その結果、第2のシールビア126が形成される凹部と第2のシール配線127が形成される溝とを一体化して形成することができるため、両者を同時に導電膜によって埋め込むことができるので、第2のシールビア126と第2のシール配線127との間の「つなぎ目」をなくすることができる。すなわち、本実施形態のように、デュアルダマシン法を用いて配線構造及びシールリング104を形成することにより、シールリング104内の「つなぎ目」を減少させることができ、それにより、スクライブ領域103等の外部からチップ領域102内に水分や不純物が侵入することを防止できるシールリング104を形成することができる。従って、半導体チップ(半導体装置)の耐湿性を向上させることができると共に、半導体チップ製造時の歩留まりを向上させることができる。

【0097】

尚、図2(b)に示すシールリング構造は、同じ層間絶縁膜についてチップ領域102の配線構造用のマスクパターンとシールリング用のマスクパターンとが対応したフォトリソを用いて形成される。例えば、チップ領域102の層間絶縁膜107にビア(プラグ)と配線とが一体化したデュアルダマシン構造の配線が形成される場合、当該層間絶縁膜107におけるシールリング104のパーツ形成には、同じくデュアルダマシン法が適用される。すなわち、シールリング104における層間絶縁膜107に形成されている部分は、第2のビア113と同程度の幅を有する第2のシールビア126と、第2の配線114と同程度の幅を有する第2のシール配線127とから構成されている。また、層間絶縁膜107において、第2のシールビア126と第2のシール配線127との積層構造は、層間絶縁膜107を上下方向に貫通し且つチップ領域102を連続的に(途切れることなく)取り囲むように形成されている。

【0098】

また、図2(b)に示すシールリング104は、シール配線とシールビアとが交互に積み重ねられて形成されていると共に、該シール配線の幅は該シールビアの幅よりも大きい。このため、シールビアのみを又は主としてシールビアを積み重ねてシールリングを形成した場合と比べて、シールリングの強度をより向上させることができる。

【0099】

また、図2(b)に示す構造を持つ半導体装置の製造方法が、前述の図2(a)に示す構造を持つ半導体装置の製造方法と異なっている点は、フォトリソにおけるシールリング用のマスクパターンのみである。すなわち、例えば図2(a)に示すシールリング104を形成する際に、第2のシールビア123上に第3のシールビア124が形成されるように設定されていたマスク(複数枚)におけるシールリング用のマスクパターンを、図2(b)に示すシールリング104の形成において一部変更する。具体的には、各マスクにおけるシールリング用のマスクパターンを、第2のシールビア126上に第2のシール配線127が形成され且つ第3のシールビア128上に第3のシール配線129が形成されるように、言い換えると、シールビアとシール配線とが交互に形成されるように設定する。

10

20

30

40

50

## 【 0 1 0 0 】

以下、図3(a)に示すシールリング構造、つまり、シールビアが同じ層間絶縁膜内において少なくとも2以上に枝分かれした構造を持つシールリング104について詳しく説明する。尚、図3(a)において、図2(a)と同一の構成要素には同一の符号を付すことにより説明を省略する。

## 【 0 1 0 1 】

図3(a)に示すシールリング構造が図2(a)に示すシールリング構造と異なっている点は、第1の層間絶縁膜105に、第1のシールビア121に代えて、導電層120とそれぞれ接続するシールビア121a及び121bが設けられていること、第3の層間絶縁膜107に、第2のシールビア123に代えて、第1のシール配線122とそれぞれ接続するシールビア123a及び123bが設けられていること、並びに、第4の層間絶縁膜108に、第3のシールビア124に代えて、シールビア123a及び123bのそれぞれと接続するシールビア124a及び124bが設けられていることである。尚、シールビア121a及び121bのそれぞれの上部は第1のシール配線122と接続されており、シールビア124a及び124bのそれぞれの上部はキャップ層125と接続されている。

10

## 【 0 1 0 2 】

すなわち、図3(a)に示す構造を持つ半導体装置の製造方法が、前述の図2(a)に示す構造を持つ半導体装置の製造方法と異なっている点は、層間絶縁膜のエッチングに用いられるフォトマスクに、2つのシールビアを形成できるマスクパターンが設けられており、それによって形成された、並列する一対の溝状凹部に導電膜を埋め込むことである。

20

## 【 0 1 0 3 】

図3(a)に示すシールリング構造によると、図2(a)に示すシールリング構造によって得られる効果に加えて、次のような効果が得られる。すなわち、シールビアの幅はシール配線と比べて狭いため、シールビアの強度はシール配線と比べてやや低くなる。それに対して、図3(a)に示すシールリング構造のように、シールリングを構成するパーツとして、1つのシールビアではなく、2以上に枝分かれしたシールビアを用いることによって、該枝分かれしたシールビアが設けられている層間絶縁層において、部分的にシールリングの多重構造(チップ領域102を多重に取り囲む構造)を実現することができる。よって、ある層間絶縁膜内に1本(つまり一重構造の)シールビアを有するシールリングと比べて、多重構造部分を持つ図3(a)に示すシールリング構造の強度は向上する。尚、加工の点では、図2(a)に示すシールリング構造の方が図3(a)に示すシールリング構造よりも容易に実現できる。

30

## 【 0 1 0 4 】

また、図3(a)に示すシールリング構造によると、スクライプ領域103に沿ってウェハ(基板101)を切断して個々のチップに分割する際に、このダイシングに伴う衝撃によってシールリング104が部分的に破損したとしても、該破損部分のシールリング104が2重構造又はそれ以上の多重構造を有していれば、スクライプ領域103の内側のチップ領域102が前述の衝撃による影響を受けることを防止することができる。具体的には、スクライプ領域103からチップ領域102に水分が浸入することや、スクライプ領域103に沿ってウェハを切断する際に生じる衝撃がチップ領域102内に伝播することを抑制することができる。

40

## 【 0 1 0 5 】

尚、図3(a)に示すシールリング104においては、1本のシール配線から2本のシールビアを枝分かれさせる構造を用いたが、これに代えて、1本のシール配線から3本以上のシールビアを枝分かれさせる構造を用いてもよい。また、図3(a)に示すシールリング104においては、各層のシールビアが全て複数本に枝分かれしている構造を用いたが、チップ領域102に形成される配線層に求められるレイアウト上の余裕、又は膜(層間絶縁膜)強度の大小等に応じて、各層において選択的にシールビアの枝分かれ構造を用いてもよい。

50

## 【0106】

また、本実施形態において、4層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は4層に限られるものではなく、チップ構造に応じて4層より少なくても多くてもよいことは言うまでもない。

## 【0107】

また、本実施形態において、シールリング104を構成する導電材料としてCuを用いたが、これに限られず、シールリング104をW、Al及びCuのうちの少なくとも1つを用いて構成してもよい。このようにすると、半導体装置のチップ領域102に形成される配線及びビアと同じ材料からシールリング104を形成することができる。

## 【0108】

また、本実施形態において、キャップ層125を構成する導電材料は特に限定されないが、該材料がAlであると、シールリング104（特にCuから構成されたシールリング）の腐食を確実に防止することができる。

## 【0109】

また、本実施形態において、例えば図2(a)又は図3(a)に示すシールリング構造のように、複数のシールビアを連続的に積層させる場合、上層のシールビア又は下層のシールビアのうちの一方の接触面を他方の接触面よりも大きくすることが好ましい。このようにすると、コンタクトマージンを向上させることができる。

## 【0110】

（第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。

## 【0111】

図7は、本発明の第2の実施形態に係る半導体装置（チップ領域を2重に取り囲むシールリングを有する半導体装置）が設けられているウェハの一部分を示す平面図である。尚、本願において、チップ領域を2重以上に取り囲むシールリング構造をマルチシールリングという。

## 【0112】

図7に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ201上には、それぞれ半導体装置となる複数のチップ領域202が配置されている。各チップ領域202には、複数の素子からなり且つ所定の機能を有するIC回路が設けられている。尚、各チップ領域202は、格子状に設けられたスクライプ領域203によって区画されている。

## 【0113】

ここで、1個の半導体装置（つまり1個の半導体チップ）は、複数の素子からなり且つ所定の機能を有するIC回路（チップ領域202に配置されている）と、該チップ領域202の周縁部に該チップ領域202を取り囲むように設けられているシールリング204a及びシールリング204bとから構成されている。尚、本実施形態では、2重構造のマルチシールリングを用いているが、レイアウト上の余裕に応じて、3重構造、4重構造又はそれ以上の多重構造のマルチシールリングを用いてもよい。

## 【0114】

このようにマルチシールリング204によってチップ領域202が取り囲まれている複数の半導体装置が形成されたウェハ201は、各チップの完成後、スクライプ領域203に沿ってダイシングされ、それによって個々の半導体装置が分離される。

## 【0115】

本実施形態によると、チップ領域202におけるスクライプ領域203の付近に、シールリング204が少なくとも2重に形成されているため、ウェハ201のダイシング時に1つのシールリング（外側のシールリング）が破壊されたとしても、該シールリングの内側の他のシールリングによってチップ領域202内の素子や活性領域等が傷つくことを防止することができる。よって、ウェハ201をチップに分割する際の工程において、チッ

10

20

30

40

50

チップ領域 202 つまり素子や活性領域等に傷が入って半導体チップの性能が低下することを防ぐことができる。

【0116】

図 8 (a) 及び図 8 (b) は、図 7 の B B' 線の断面構造 (チップ領域 202 の周縁部に位置するシールリング部分を含む半導体装置端部の断面構造) のバリエーションを示している。

【0117】

図 7、図 8 (a) 及び図 8 (b) に示すように、ダイシング前の半導体装置はチップ領域 202 とスクライブ領域 203 とから構成されており、チップ領域 202 におけるスクライブ領域 203 との境界付近にシールリング 204 a 及び 204 b が形成されている。

10

【0118】

ここで、図 8 (a) 及び図 8 (b) のそれぞれに示す構造の個別の特徴は次の通りである。

【0119】

まず、図 8 (a) に示す構造の特徴は、各シールリング 204 a 及び 204 b を構成するシールビアが少なくとも 2 層以上に亘って連続して形成されていることである。

【0120】

また、図 8 (b) に示す構造の特徴は、各シールリング 204 a 及び 204 b を構成するシールビアが少なくとも 2 層以上に亘って連続して形成されていると共に各シールビアは同一層間絶縁膜内においては互いに隣り合う 2 以上のシールビアとして形成されており、且つ当該隣り合う 2 以上のシールビアはそれらが形成された絶縁膜の上側又は下側にある他の絶縁膜に形成された同じ 1 つのシール配線に接続されていることである。すなわち、図 8 (b) に示すシールリング 204 を構成するシールビアは、同じ層間絶縁膜内において少なくとも 2 以上に枝分かれした構造を有している。

20

【0121】

一方、図 8 (a) 及び図 8 (b) のそれぞれに示す構造に共通する特徴は、シールリング 204 が少なくとも 2 重存在すること、及び、各シールリング 204 a 及び 204 b の最上部にシールリングキャップ (キャップ層 225 a 及び 225 b) を有していることである。

【0122】

以下、図 8 (a) に示す構造を有する半導体装置の製造方法について、図 9 (a) ~ (d) 及び図 10 (a) ~ (c) を参照しながら説明する。

30

【0123】

まず、図 9 (a) に示すように、ウェハ 201 (以下、基板 201 と称する) におけるチップ領域 202 に、トランジスタ等の素子を構成する活性層 210 を形成すると共に、基板 201 におけるチップ領域 202 の周縁部 (スクライブ領域 203 の近傍のシールリング形成領域) に、互いに隣り合う 2 つの導電層 220 a 及び 220 b を形成する。ここで、導電層 220 a 及び 220 b の構成は活性層 210 と同様である。

【0124】

次に、基板 201 上に第 1 の層間絶縁膜 205 を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域 202 の第 1 の層間絶縁膜 205 に、第 1 のビア 211 (図 9 (b) 参照) を形成するためのピアホール 205 a を形成すると共に、シールリング形成領域の第 1 の層間絶縁膜 205 に、隣り合う導電層 220 a 及び 220 b 上にそれぞれ配置される第 1 のシールビア 221 a 及び 221 b (図 9 (b) 参照) を形成するための溝状凹部 205 b 及び 205 c を形成する。ここで、シールビアとは、シールリングを構成するパーツであって溝状凹部に導電材料を埋め込むことによって形成される。すなわち、シールビアは、チップ領域のピアと同程度の幅を有するライン状構造を有する。

40

【0125】

尚、本実施形態において、シールビアのアスペクト比 (つまりシールビアが埋め込まれ

50

た凹部における深さに対する幅の比)は1以上であることが好ましい。特に、本実施形態のように、配線層に合わせてシールビアを形成する場合には、配線の微細化の程度に応じてシールビアのアスペクト比を3以上に設定することが好ましい。

【0126】

また、本実施形態において、チップ領域202の第1の層間絶縁膜205にビアホール205aを形成する際に、第1のシールビア221a及び221bを形成するための溝状凹部205b及び205cを同時に形成したが、ビアホール205aと溝状凹部205b及び205cとを別々に形成してもよいことは言うまでもない。

【0127】

次に、図9(b)に示すように、第1の層間絶縁膜205に形成されたビアホール205a並びに溝状凹部205b及び205cに、例えばWからなる導電膜を例えばCVD法により埋め込み、その後、例えばCMPを用いてビアホール205a並びに溝状凹部205b及び205cのそれぞれからはみ出した余分な導電膜を除去し、それによって、活性層210と接続する第1のビア211、並びに導電層220a及び220bのそれぞれと接続し且つ互いに隣り合う第1のシールビア221a及び221bを形成する。

【0128】

その後、第1の層間絶縁膜205上に第2の層間絶縁膜206を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域202の第2の層間絶縁膜206に、第1の配線212(図9(c)参照)を形成するための配線溝206aを形成すると共に、シールリング形成領域の第2の層間絶縁膜206に、互いに隣り合う第1のシール配線222a及び222b(図9(c)参照)を形成するための配線溝206b及び206cを形成する。

【0129】

続いて、図9(c)に示すように、第2の層間絶縁膜206に形成された配線溝206a、206b及び206cに、例えば電気メッキ法を用いて例えばCuからなる導電膜を埋め込む。その後、各配線溝206a、206b及び206cからはみ出した導電膜を例えばCMP法により除去し、それによって、第1のビア211と接続する第1の配線212、並びに第1のシールビア221a及び221bのそれぞれと接続し且つ互いに隣り合う第1のシール配線222a及び222bを形成する。

【0130】

続いて、第2の層間絶縁膜206上に第3の層間絶縁膜207を堆積した後、チップ領域202の第3の層間絶縁膜207に、第2のビア213(図10(a)参照)を形成するためのビアホール207aを形成すると共に、シールリング形成領域の第3の層間絶縁膜207に、互いに隣り合う第2のシールビア223a及び223b(図10(a)参照)を形成するための溝状凹部207b及び207cを形成する。

【0131】

続いて、図9(d)に示すように、リソグラフィ法を用いて第3の層間絶縁膜207上に、第2の配線214(図10(a)参照)を埋め込む配線溝を形成するためのレジスト膜230を形成する。このとき、レジスト膜230は、ビアホール207aを含む配線形成領域に開口部を有する。また、レジスト膜230は、先に形成されている溝状凹部207b及び207cの内部にも埋め込まれる。

【0132】

その後、レジスト膜230をマスクとしてドライエッチング法を用いて、チップ領域202の第3の層間絶縁膜207の上部に、ビアホール207aと接続し且つ第2の配線214を形成するための配線溝を形成した後、残存するレジスト膜230をアッシングにより除去する。その後、第3の層間絶縁膜207に前の工程で形成されたビアホール207a、ビアホール207aと一体化してデュアルダマシン構造の凹部を構成する配線溝、並びに溝状凹部207b及び207cに、例えばCuからなる導電膜を埋め込む。その後、前記の配線溝や溝状凹部207b及び207cからはみ出した導電膜(第3の層間絶縁膜207よりも上側に存在する導電膜)を例えばCMP法により除去する。これにより、図

10

20

30

40

50

10 (a) に示すように、チップ領域 202 の第 3 の層間絶縁膜 207 中に、第 1 の配線 212 と接続する第 2 のビア 213 及び第 2 のビア 213 と接続する第 2 の配線 214 (つまり第 2 のビア 213 と第 2 の配線 214 とからなるデュアルダマシ配線) が形成されると共に、シールリング形成領域の第 3 の層間絶縁膜 207 に、第 1 のシール配線 222 a 及び 222 b のそれぞれと接続し且つ互いに隣り合う第 2 のシールビア 223 a 及び 223 b が形成される。尚、以上に説明したような、凹部に導電膜を埋め込むことによってビアと配線とを同時に形成する方法を一般的にデュアルダマシ法という。

#### 【0133】

ところで、第 2 のビア 213 と第 2 の配線 214 とをシングルダマシ法によって形成した場合には、第 2 のビア 213 を形成するためのビアホール 207 a と、第 2 の配線 214 を形成するための配線溝とに対して別々に導電膜の埋め込みが行なわれる。このため、該配線構造の形成に合わせて第 2 のシールビア 223 a 及び 223 b を形成するため、溝状凹部 207 b 及び 207 c に対しても、2 回に分けて導電膜の埋め込みが行なわれることになる。その場合、第 2 のシールビア 223 a 及び 223 b の内部に、2 回に分けて導電膜を埋め込むことに起因する「つなぎ目」が生じてしまう。

10

#### 【0134】

しかしながら、本実施形態では、デュアルダマシ構造の配線形成工程に合わせて、一度の導電膜の埋め込みによって第 2 のシールビア 223 a 及び 223 b を形成するので、各シールビアの内部に導電膜のつなぎ目が発生することはない。

#### 【0135】

また、本実施形態のように、チップ領域 202 の一の層間絶縁膜にデュアルダマシ構造の配線を形成し、且つ当該層間絶縁膜にシールリング 204 を構成するシールビアを形成する場合には、アスペクト比が 3 以上となるシールビアを形成することができる。従って、シールリング 204 を構成するパーツ同士のつなぎ目を減少させることができるので、チップ領域 202 に対する外部からの汚染をより防ぐことができるシールリングを実現することができる。

20

#### 【0136】

続いて、図 10 (b) に示すように、第 3 の層間絶縁膜 207 上に第 4 の層間絶縁膜 208 を堆積した後、図 9 (c) ~ 図 10 (a) に示す工程と同様に、デュアルダマシ法を用いて、第 4 の層間絶縁膜 208 中に、デュアルダマシ構造を持つ配線構造とシールリングとを形成する。

30

#### 【0137】

具体的には、図 10 (b) に示すように、リソグラフィー法及びドライエッチング法を用いて、チップ領域 202 の第 4 の層間絶縁膜 208 に、第 3 のビア 215 を形成するためのビアホールを形成すると共に、シールリング形成領域の第 4 の層間絶縁膜 208 に、互いに隣り合う第 3 のシールビア 224 a 及び 224 b を形成するための 2 本の溝状凹部を形成する。その後、リソグラフィー法を用いて第 4 の層間絶縁膜 208 上に、第 3 の配線 216 を埋め込む配線溝を形成するためのレジスト膜 (図示省略) を形成する。ここで、当該レジスト膜は、前記のビアホールを含む配線形成領域に開口部を有する。また、当該レジスト膜は、前記の各溝状凹部の内部にも埋め込まれている。その後、当該レジスト膜をマスクとしてドライエッチング法を用いて、チップ領域 202 の第 4 の層間絶縁膜 208 の上部に、前記のビアホールと接続し且つ第 3 の配線 216 を形成するための配線溝を形成した後、残存するレジスト膜をアッシングにより除去する。これにより、第 4 の層間絶縁膜 208 に、デュアルダマシ配線を形成するための凹部 (前記のビアホール及び配線溝) と、各第 3 のシールビア 224 a 及び 224 b を形成するための 2 本の溝状凹部とが形成される。

40

#### 【0138】

続いて、図 10 (b) に示すように、第 4 の層間絶縁膜 208 に設けられた、第 3 のビア 215 形成用のビアホールと第 3 の配線 216 形成用の配線溝とが一体化したデュアルダマシ構造の凹部、並びに各第 3 のシールビア 224 a 及び 224 b 形成用の各溝状凹

50

部に、例えばCuからなる導電膜を埋め込む。その後、配線溝及び溝状凹部からはみ出した導電膜（第4の層間絶縁膜208よりも上側に存在する導電膜）を例えばCMP法により除去する。これにより、チップ領域202の第4の層間絶縁膜208中に、第2の配線214と接続する第3のビア215及び第3のビア215と接続する第3の配線216（つまり第3のビア215と第3の配線216とからなるデュアルダマシン配線）が形成されると共に、シールリング形成領域の第4の層間絶縁膜208に、第2のシールビア223a及び223bのそれぞれと接続する第3のシールビア224a及び224bが形成される。

**【0139】**

その後、図10(b)に示すように、最上の配線層となる第4の層間絶縁膜208上に、該配線層の保護膜となるパッシベーション膜209を堆積する。続いて、リソグラフィ法及びドライエッチング法を用いて、第3の配線216並びに隣り合う第3のシールビア224a及び224bのそれぞれの上のパッシベーション膜209を部分的に開口する。これにより、第3の配線216並びに第3のシールビア224a及び224bのそれぞれの上表面が露出する。

10

**【0140】**

その後、図10(c)に示すように、第3の配線216並びに第3のシールビア224a及び224bのそれぞれの上の開口部を含むパッシベーション膜209の上に全面に亘って、例えばスパッタ法により例えばA1膜を堆積し、続いて、リソグラフィ法及びドライエッチング法を用いて、当該A1膜を所定の形状にパターニングする。具体的には、前述の各開口部及びそれらの近傍以外の領域に形成されている不要なA1膜を除去する。これにより、第3の配線216上のパッシベーション膜209の開口部に、第3の配線216と接続するパッド電極217が形成されると共に、第3のシールビア224a及び224b上のパッシベーション膜209の各開口部に、第3のシールビア224a及び224bつまりシールリング204a及び204bのそれぞれと接続するキャップ層225a及び225bが形成される。

20

**【0141】**

これにより、チップ領域201には、配線構造及びそれを外部電極に接続するためのボンディングパッド（パッド電極217）が形成されると共に、シールリング形成領域つまりチップ領域202の周縁部（スクライブ領域203との境界付近）には、シールリング204a及び204b、並びにそれらの上側に堆積された保護膜（パッシベーション膜209）を貫通してシールリング204a及び204bのそれぞれと接続されたキャップ層225a及び225bが形成される。

30

**【0142】**

以上に説明したように、本実施形態では、ビアが形成されるホールと、配線が形成される溝とを同時に導電膜により埋め込むデュアルダマシン法を用いて配線構造を形成すると共に、該配線構造の形成と同じ工程においてシールリングを構成するシールビアを形成する。すなわち、ビアが形成される凹部と、配線が形成される配線溝とが一体化したデュアルダマシン型配線溝を埋め込む際に、合わせて、シールビアが形成される凹部の埋め込みを行なうため、高さのあるシールビアを形成するための凹部、例えば幅に対する深さのアスペクト比が1以上（好ましくは3以上）のシールビア形成用凹部を1回の埋め込み工程で埋め込むことができる。

40

**【0143】**

従って、本実施形態によると、シングルダマシン法を用いて配線を形成する場合と比較して、埋め込みに起因する「つなぎ目」を減少させたシールリングを形成することができる。具体的には、導電膜の埋め込み回数が少ないことのメリットとして、シールリングを構成する導電膜同士の接続界面の数が減少する。すなわち、導電膜の埋め込み性能が悪いことに起因して、シールリングのパーツ間に不連続部分が生じる確率が低くなり、その結果、埋め込み回数が多い構造を持つシールリング（つまりシングルダマシン法を用いて形成されたシールリング）と比較して、信頼性の高いシールリングを形成できる。

50

## 【0144】

また、本実施形態では、シールリング204a及び204bのそれぞれの最上部と接続するキャップ層225a及び225bは、チップ領域202にあるIC回路等に外部から電源を供給したり又は該IC回路等から外部に信号を取り出すためのパッド（パッド電極217）の形成工程において同時に形成される。これにより、新たにキャップ層形成工程を追加することなく、最上部にキャップ層225a及び225bをそれぞれ有するシールリング204a及び204bを形成することができる。

## 【0145】

また、本実施形態によると、第1の実施形態でも得られる前述の効果に加えて、以下のような効果を得ることができる。

10

## 【0146】

すなわち、第2の実施形態では、チップ領域202の周縁部に、チップ領域202を連続的に取り囲むシールリング204が2重に形成されている。よって、半導体ウェハ（基板）201をスクライプ領域203に沿ってダイシングして、完成した個片の半導体チップ（半導体装置）を取り出す際に、ダイシング装置のブレードがスクライプライン（スクライプ領域）203に接することによって生じるダイシング時の機械的衝撃がチップ領域202に加わることを、又はそれによってチップ領域202が破損することをより確実に防止することができる。

## 【0147】

さらに、第2の実施形態では、シールリング204a及び204bのそれぞれの最上部にキャップ層225a及び225bが2重に形成されていることから、以下のような効果が得られる。

20

## 【0148】

図11(a)は、図10(c)（又は図8(a)）に示す半導体装置（半導体チップ）の構造を上側（最上層の配線層上に形成されたパッシベーション膜（保護膜）209の上側）から見た平面図であり、ウェハ（基板）201上に複数形成された半導体チップ201Aの1つを示している。

## 【0149】

図11(a)に示すように、チップ領域202を取り囲むようにスクライプ領域203が配置されていると共に、チップ領域202におけるスクライプ領域203との境界部分にシールリング204a及び204b（キャップ層225a及び225bの下側に形成されているので図示を省略している）が2重に形成されている。これらのシールリング204a及び204bの最上部に形成されているキャップ層225a及び225bは、チップ領域202を連続的に取り囲むパッシベーション膜209の開口部（パッシベーション膜209を部分的に除去することによって形成されている）に設けられている。このため、チップ領域202に形成されているパッシベーション膜209と、スクライプ領域203に形成されているパッシベーション膜209とは、キャップ層225a及び225bによって2重に分断されることになる。すなわち、スクライプ領域203とチップ領域202とがパッシベーション膜209を介して接続されることはないため、ダイシング時にスクライプ領域203のパッシベーション膜209が受ける衝撃が該パッシベーション膜209を通じてチップ領域202に伝播されることはほとんどない。

30

40

## 【0150】

図11(b)は、図11(a)のC-C'線におけるチップ表面部の断面図である。

## 【0151】

図11(b)に示すように、チップ領域202の周縁部のパッシベーション膜209を突き抜けるようにキャップ層225a及び225bが2重に形成されている。このため、ダイシング時にダイシング装置のブレードとの接触によりスクライプ領域203のパッシベーション膜209が受ける衝撃や応力等の影響が、チップ領域202内部の回路や配線構造等に及ぶことを防止することができる。

## 【0152】

50

以下、図8(b)に示すシールリング構造、つまり、各シールリング204a及び204bを構成するシールビアが同じ層間絶縁膜内において少なくとも2以上に枝分かれした構造について詳しく説明する。尚、図8(b)において、図8(a)と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0153】

図8(b)に示すシールリング構造が図8(a)に示すシールリング構造と異なっている点は、各シールリング204a及び204bを構成するシールビアが同じ層間絶縁膜内において少なくとも2以上に枝分かれしている点である。

【0154】

具体的には、シールリング(第1のシールリング)204a及びシールリング(第2のシールリング)204bの2重構造のうち内側の第1のシールリング204aについて、第1の層間絶縁膜205に、第1のシールビア221aに代えて、導電層220aとそれぞれ接続するシールビア221a1及び221a2が設けられていること、第3の層間絶縁膜207に、第2のシールビア223aに代えて、第1のシール配線222aとそれぞれ接続するシールビア223a1及び223a2が設けられていること、並びに、第4の層間絶縁膜208に、第3のシールビア224aに代えて、シールビア223a1及び223a2のそれぞれと接続するシールビア224a1及び224a2が設けられていることである。尚、シールビア221a1及び221a2のそれぞれの上部は第1のシール配線222aと接続されており、シールビア224a1及び224a2のそれぞれの上部はキャップ層(第1のキャップ層)225aと接続されている。

10

20

【0155】

また、第1のシールリング204aと隣接してその外側にある第2のシールリング204bについて、第1の層間絶縁膜205に、第1のシールビア221bに代えて、導電層220bとそれぞれ接続するシールビア221b1及び221b2が設けられていること、第3の層間絶縁膜207に、第2のシールビア223bに代えて、第1のシール配線222bとそれぞれ接続するシールビア223b1及び223b2が設けられていること、並びに、第4の層間絶縁膜208に、第3のシールビア224bに代えて、シールビア223b1及び223b2のそれぞれと接続するシールビア224b1及び224b2が設けられていることである。尚、シールビア221b1及び221b2のそれぞれの上部は第1のシール配線222bと接続されており、シールビア224b1及び224b2のそれぞれの上部はキャップ層(第2のキャップ層)225bと接続されている。

30

【0156】

以上に説明したように、図8(b)に示すシールリング204a及び204bは、複数に枝分かれしたシールビア(又はその積層構造)が少なくとも1つのシール配線によって束ねられた構造を有する。このため、個々のシールビアの幅(厚み)が小さくても、それらが束ねられているため、シールリング全体として大きな強度を持たせることができる。よって、ダイシング時にスクライプ領域203に機械的衝撃や応力が加わった場合であっても、シールリング204a若しくは204bが破壊されること、又はシールリング204a若しくは204bの一部(つまり枝分かれしたシールビアの1つ)の損傷がチップ領域202に影響を及ぼすことを防ぐことができる。

40

【0157】

また、図8(b)に示すシールリング構造において、各シールリング204a及び204bを構成するシールビアを層間絶縁膜毎に選択的に2つ、3つ又は4つ以上に枝分かれさせることによって、チップ領域202の保護機能をより向上させることができる。すなわち、ダイシング時の衝撃や応力がチップ領域202内へ伝播することをより確実に防止できる。

【0158】

また、図8(b)に示すシールリング構造によると、図8(a)に示すシールリング構造と同様に、外側の第2のシールリング204bが破壊されたとしても、該第2のシールリング204bに対して電氣的に絶縁された構造を持つ第1のシールリング204aが破

50

壊されずにその形状が保持されていれば、水分や可動イオン等の汚染物質がチップ領域 202 内に侵入することを防止でき、それによって半導体装置の信頼性の低下を防止することができる。

【0159】

また、図 8 ( b ) に示すシールリング構造において、1本のシール配線から2本のシールビアを枝分かれさせる構造を用いたが、これに代えて、1本のシール配線から3本以上のシールビアを枝分かれさせる構造を用いてもよい。すなわち、チップ領域 202 のレイアウト上の余裕又は膜 ( 層間絶縁膜 ) 強度の大小等に応じて、枝分かれさせるシールビアの数を適宜選択すればよい。

【0160】

尚、図 8 ( a ) 及び図 8 ( b ) に示すシールリング 204 a 及び 204 b において、少なくとも2つ以上のシールビアが連続的に積層されている構造に代えて、素子等が形成されているチップ領域 202 におけるビアと配線とが交互に積層されている配線構造と同様に、シールビアとシール配線とが交互に積層された構造を用いても、本実施形態と同様の効果が得られる。但し、シール配線を用いてシールリングを構成すると、シールビアを用いる場合と比べて、シールリングの幅が厚くなるので、各配線層のレイアウトを考慮してシール配線を用いるか用いないかを定めることが好ましい。

【0161】

また、本実施形態において、4層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は4層に限られるものではなく、チップ構造に応じて4層より少なくても多

10

20

くてもよいことは言うまでもない。

【0162】

また、本実施形態において、シールリング 204 a 及び 204 b を構成する導電材料として Cu を用いたが、これに限られず、シールリング 204 a 及び 204 b を W、Al 及び Cu のうちの少なくとも1つを用いて構成してもよい。このようにすると、半導体装置のチップ領域 202 に形成される配線及びビアと同じ材料からシールリング 204 a 及び 204 b を形成することができる。

【0163】

また、本実施形態において、キャップ層 225 a 及び 225 b を構成する導電材料は特に限定されないが、該材料が Al であると、シールリング 204 a 及び 204 b ( 特に Cu から構成されたシールリング ) の腐食を確実に防止することができる。

30

【0164】

また、本実施形態において、例えば図 8 ( a ) 又は図 8 ( b ) に示すシールリング構造のように、複数のシールビアを連続的に積層させる場合、上層のシールビア又は下層のシールビアのうちの一方の接触面を他方の接触面よりも大きくすることが好ましい。このようにすると、コンタクトマージンを向上させることができる。

【0165】

( 第 2 の実施形態の第 1 変形例 )

以下、本発明の第 2 の実施形態の第 1 変形例に係る半導体装置及びその製造方法について図面を参照しながら説明する。

40

【0166】

図 12 ( a ) は、本変形例に係る半導体装置の断面図 ( 図 7 の B B ' 線の断面構造を示す図 ) である。

【0167】

図 12 ( a ) に示す本変形例のシールリング構造が、図 8 ( a ) に示す第 2 の実施形態のシールリング構造と異なっている点は、内側のシールリング ( 第 1 のシールリング ) 204 a の上にキャップ層 ( 第 1 のキャップ層 ) 225 a が設けられていない点である。言い換えると、第 1 のシールリング 204 a 上のパッシベーション膜 209 は開口されていない。

【0168】

50

具体的には、図12(a)に示すように、本変形例の半導体装置は、第2の実施形態と同様のシールリングの2重構造を有しており、そのうち、外側の第2のシールリング204bは、図2(a)に示す第1の実施形態のシールリング構造と同様に、最上部にキャップ層(第2のキャップ層)225bを有する一方、内側の第1のシールリング204aは、最上部にキャップ層を有していない。

【0169】

また、図8(a)に示す第2の実施形態のシールリング構造と同様に、本変形例の第1のシールリング204a及び第2のシールリング204bは共に複数の層間絶縁膜205~209の積層構造中に形成されている。詳しくは、基板201に設けられた導電層220a及び220bのそれぞれの上に第1のシールビア221a及び221bが形成され、該第1のシールビア221a及び221bのそれぞれの上に第1のシール配線222a及び222bが形成されている。また、第1のシール配線222a及び222bのそれぞれの上に第2のシールビア223a及び223bが形成され、該第2のシールビア223a及び223bのそれぞれの上に第3のシールビア224a及び224bが形成されている。また、第3のシールビア224aの上にはパッシベーション膜209が形成されている一方、外側の第2のシールリング204bの最上部である第3のシールビア224b上のパッシベーション膜209は開口されており、該開口部には第3のシールビア224bと接続するキャップ層225bが設けられている。

10

【0170】

本変形例によると、チップ領域202を連続的に取り囲むようにシールリング204a及び204bが2重に形成されている。よって、半導体ウェハ(基板)201をスクライプ領域203に沿ってダイシングして、完成した半導体チップ(半導体装置)を個片化して取り出す際に、ダイシング装置のブレードがスクライプライン(スクライプ領域)203と接することによって生じるダイシング時の機械的衝撃や応力が、チップ領域202に加わること又はそれによってチップ領域202が破損することをより確実に防止できる。

20

【0171】

また、本変形例によると、外側の第2のシールリング204b上には、パッシベーション膜209を貫通するキャップ層225bが配置されている。よって、チップ領域202のパッシベーション膜209とスクライプ領域203のパッシベーション膜209とがキャップ層225bによって完全に分断されて不連続になるので、ダイシング時にスクライプ領域203が受けた衝撃がチップ領域202に伝播することを防止することができる。

30

【0172】

(第2の実施形態の第2変形例)

以下、本発明の第2の実施形態の第2変形例に係る半導体装置及びその製造方法について図面を参照しながら説明する。

【0173】

図12(b)は、本変形例に係る半導体装置の断面図(図7のBB'線の断面構造を示す図)である。

【0174】

図12(b)に示す本変形例のシールリング構造が、図8(b)に示す第2の実施形態のシールリング構造と異なっている点は、内側のシールリング(第1のシールリング)204aの上にキャップ層(第1のキャップ層)225aが設けられていない点である。言い換えると、第1のシールリング204a上のパッシベーション膜209は開口されていない。すなわち、本変形例の半導体装置は、第2の実施形態と同様のシールリングの2重構造を有しており、そのうち、外側の第2のシールリング204bは、図3(a)に示す第1の実施形態のシールリング構造と同様に、最上部にキャップ層(第2のキャップ層)225bを有する一方、内側の第1のシールリング204aは、最上部にキャップ層を有していない。

40

【0175】

また、図12(b)に示す本変形例のシールリング構造が、図12(a)に示す第2の

50

実施形態の第1変形例のシールリング構造と異なっている点は、各シールリング204a及び204bを構成するシールピアが枝分かれ構造を有している点である。

【0176】

具体的には、第1の層間絶縁膜205中の第1のシールピア221a及び第1のシールピア221bはそれぞれ、2つに枝分かれした第1のシールピア221a1及び221a2並びに2つに枝分かれした第1のシールピア221b1及び221b2として形成されている。同様に、第3の層間絶縁膜207中の第2のシールピア223a及び第2のシールピア223bはそれぞれ、2つに枝分かれした第2のシールピア223a1及び223a2並びに2つに枝分かれした第2のシールピア223b1及び223b2として形成され、第4の層間絶縁膜208中の第3のシールピア224a及び第3のシールピア224bはそれぞれ、2つに枝分かれした第3のシールピア224a1及び224a2並びに2つに枝分かれした第3のシールピア224b1及び224b2として形成されている。また、第3のシールピア224a1及び224a2のそれぞれの上にはパッシベーション膜209が形成されている一方、外側の第2のシールリング204bの最上部である第3のシールピア224b1及び224b2上のパッシベーション膜209は開口されており、該開口部には第3のシールピア224b1及び224b2と接続するキャップ層225bが設けられている。

10

【0177】

本変形例によると、図12(a)に示す、第2の実施形態の第1変形例により得られる効果に加えて、次のような効果が得られる。すなわち、各シールリング204a及び204bを構成するシールピアが枝分かれ構造を有するため、各シールリング204a及び204bの強度をより向上させることができると共に、外部からチップ領域201内に不純物や水分が侵入することを各シールリング204a及び204bによって防ぐことができる。

20

【0178】

(第2の実施形態の第3変形例)

以下、本発明の第2の実施形態の第3変形例に係る半導体装置及びその製造方法について図面を参照しながら説明する。

【0179】

図13は、本変形例に係る半導体装置の断面図(図7のBB'線の断面構造を示す図)である。

30

【0180】

図13に示す本変形例の半導体装置が、図8(b)に示す第2の実施形態の半導体装置と異なっている点は、チップ領域202の基板201におけるシールリング204a及び204bの近傍の上にトランジスタが設けられていることである。具体的には、基板201における素子分離231によって囲まれた領域の上に、ゲート絶縁膜232を介してゲート電極233が形成されている。ゲート電極233の側面には絶縁性サイドウォール234が形成されている。基板201におけるゲート電極233の両側にはソース・ドレイン領域となる活性層210が設けられている。

【0181】

また、図12(b)に示す本変形例のシールリング構造が、図8(b)に示す第2の実施形態のシールリング構造と異なっている点は、前述のトランジスタの形成層である第1の層間絶縁膜205中の第1のシールピア221a及び第1のシールピア221bはそれぞれ、2つに枝分かれした第1のシールピア221a1及び221a2並びに2つに枝分かれした第1のシールピア221b1及び221b2として形成されていることである。尚、図12(a)に示す第2の実施形態の第1変形例のシールリング構造と同様に、内側のシールリング(第1のシールリング)204aの上にはキャップ層(第1のキャップ層)225aが設けられていない。言い換えると、第1のシールリング204a上のパッシベーション膜209は開口されていない。

40

【0182】

50

ところで、近年、チップサイズの縮小化が進むに伴って、ウェハをダイシングする箇所（スクライプ領域）から、該箇所に最も近接するトランジスタ（以下、最近接トランジスタと称する）までの距離が短くなってきている。具体的には、従来、パッドの下側に素子が配置していなかったときには、シールリングから最近接トランジスタまでの距離（図13の距離Lに相当）は100 $\mu$ m程度であった。それに対して、近年、パッドの下側に素子を配置するようなレイアウトが用いられるようになり、それに伴って、シールリングから最近接トランジスタまでの距離Lが10 $\mu$ m程度まで小さくなってきている。その結果、ダイシング時の衝撃がトランジスタに伝播しやすくなり、トランジスタがより破損しやすい状況になってきている。一方、トランジスタは、薄膜のゲート酸化膜等を備えた微細構造を有するため、衝撃に弱いので、トランジスタに対しては特にダイシング時の破損を防止する対策が求められる。

10

#### 【0183】

そこで、本変形例においては、前述の「2以上に枝分かれしたシールビア構造」を用いて、トランジスタ形成層のシールリング構造の強度を向上させる。具体的には、特に基板201上の最下層の絶縁膜、つまりゲート電極233等を備えたトランジスタの形成層である第1の層間絶縁膜205中においてシールリング204a及び204bを構成する第1のシールビア221a及び第1のシールビア221bのそれぞれを2つに枝分かれさせることによって、該各枝分かれしたシールビア221a1、221a2、221b1及び221b2のそれぞれを、チップ領域202の最下層に加わる衝撃に対するバリアとして機能させる。これにより、ダイシング時におけるトランジスタの破損を防止でき、それによって半導体装置製造の歩留まりを向上させることができる。

20

#### 【0184】

尚、本変形例において、微細なトランジスタが設けられる層において「2以上に枝分かれしたシールビア構造」を用いたが、その他の微細な又は繊細な構造を持つ層において「2以上に枝分かれしたシールビア構造」を用いてもよい。

#### 【0185】

（第3の実施形態）

以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について図面を参照しながら説明する。尚、本実施形態は、第1及び第2の実施形態のそれぞれのバリエーションに相当する。

30

#### 【0186】

図14(a)は、図19に示す従来の半導体装置の断面構造を模式的に示した図であり、スクライプ領域3を挟む2つのチップ領域2の周縁部を示している。尚、図14(a)においては、一部の構成要素の図示を省略すると共に図19と同じ構成要素には同じ符号を付し説明を省略する。図14(a)に示すように、スクライプ領域3の層間絶縁膜8及び10にはアクセサリ配線40が設けられている。

#### 【0187】

また、図14(b)は、図14(a)と対応する平面図である。尚、図14(b)において、パッシベーション膜11の下側のシールリング4については太い破線で模式的に示している。図14(b)に示すように、従来の半導体装置において、シールリング4はスクライプ領域3に沿ってライン状に設けられている。

40

#### 【0188】

次に、図15(a)は、図2(a)に示す第1の実施形態に係る半導体装置の断面構造を模式的に示した図であり、スクライプ領域103を挟む2つのチップ領域102の周縁部を示している。尚、図15(a)においては、一部の構成要素の図示を省略すると共に図2(a)と同じ構成要素には同じ符号を付し説明を省略する。図15(a)に示すように、スクライプ領域103の層間絶縁膜107及び108にはアクセサリ配線140が設けられている。

#### 【0189】

また、図15(b)は、図15(a)と対応する平面図である。尚、図15(b)にお

50

いて、最上部にキャップ層 125 を備えたシールリング 104 については太い実線で模式的に示している。図 15 (b) に示すように、第 1 の実施形態の半導体装置において、シールリング 104 はスクライプ領域 103 に沿ってライン状に設けられている。

【0190】

図 14 (b) に示す従来の半導体装置の平面構成並びに図 15 (b) に示す第 1 の実施形態の半導体装置の平面構成に対して、図 16 (a) ~ (c) は本実施形態に係る半導体装置のバリエーションの平面構成を示している。尚、図 16 (a) ~ (c) においても、シールリング 104 については太い実線で模式的に示している。

【0191】

図 16 (a) に示す平面構成の特徴は、シールリング 104 が基板 101 (つまりパッシベーション膜 109) の上側から見て矩形状の凹凸を有していることである。

10

【0192】

図 16 (b) に示す平面構成の特徴は、シールリング 104 が基板 101 の上側から見て三角波状の凹凸を有していることである。

【0193】

図 16 (c) に示す平面構成の特徴は、シールリング 104 の側部に、スクライプ領域 103 の方向に延びる複数の突起が設けられていることである。すなわち、シールリング 104 は、スクライプ領域 103 の延びる方向に対して垂直な方向に複数の突起を有している。

【0194】

尚、図 16 (a) ~ (c) のそれぞれに対応する半導体装置の断面構成は、断面を観察する箇所によりシールリング 104 の形成位置が水平方向に変化したり又はシールリング 104 の形成幅が変化する点を除いて、図 15 (a) 又は図 2 (a) に示す第 1 の実施形態と同様である。

20

【0195】

また、図 16 (a) ~ (c) のそれぞれに対応する半導体装置の製造方法は、シールリング形成用のマスクパターンを図 16 (a) ~ (c) のそれぞれに合わせて変化させる点を除いて、第 1 の実施形態 (図 4 (a) ~ (d)、図 5 (a) ~ (c) 及び図 6 (a) ~ (c) 参照) と同様である。

【0196】

図 16 (a) ~ (c) のいずれかに示す本実施形態のシールリング構造を有する半導体装置においては、チップ領域 102 を保護するシールリング 104 の障壁が、スクライプ領域 103 が延びる方向に対して平行な方向のみならず、垂直な方向や斜め方向にも設けられている。このため、ウェハのダイシング時にダイシング装置のブレードとパッシベーション膜 109 等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハ (基板 101) のクラック等が、シールリング 104 の側面 (スクライプ領域 103 と対向する面) に沿って進行することを防ぐことができる。

30

【0197】

次に、図 17 (a) は、図 8 (a) に示す第 2 の実施形態に係る半導体装置の断面構造を模式的に示した図であり、スクライプ領域 203 を挟む 2 つのチップ領域 202 の周縁部を示している。尚、図 17 (a) においては、一部の構成要素の図示を省略すると共に図 8 (a) と同じ構成要素には同じ符号を付し説明を省略する。図 17 (a) に示すように、スクライプ領域 203 の層間絶縁膜 207 及び 208 にはアクセサリ配線 240 が設けられている。

40

【0198】

また、図 17 (b) は、図 17 (a) と対応する平面図である。尚、図 17 (b) において、最上部にキャップ層 225 a 及び 225 b を備えたシールリング 204 a 及び 204 b については太い実線で模式的に示している。図 17 (b) に示すように、第 2 の実施形態の半導体装置において、シールリング 204 a 及び 204 b はそれぞれスクライプ領域 203 に沿って 2 重のライン状に設けられている。

50

## 【0199】

図17(b)に示す第2の実施形態の半導体装置の平面構成に対して、図18(a)~(c)は本実施形態に係る半導体装置のバリエーションの平面構成を示している。尚、図18(a)~(c)においても、シールリング204a及び204bについては太い実線で模式的に示している。

## 【0200】

図18(a)に示す平面構成の特徴は、スクライブ領域203側のシールリング204bが基板201(つまりパッシベーション膜209)の上側から見て矩形の凹凸を有していることである。

## 【0201】

図18(b)に示す平面構成の特徴は、スクライブ領域203側のシールリング204bが基板201の上側から見て三角波状の凹凸を有していることである。

## 【0202】

図18(c)に示す平面構成の特徴は、スクライブ領域203側のシールリング204bの側部に、スクライブ領域203の方向に伸びる複数の突起が設けられていることである。すなわち、シールリング204bは、スクライブ領域203の伸びる方向に対して垂直な方向に複数の突起を有している。

## 【0203】

尚、図18(a)~(c)のそれぞれに対応する半導体装置の断面構成は、断面を観察する箇所によりシールリング204bの形成位置が水平方向に変化したり又はシールリング204bの形成幅が変化する点を除いて、図17(a)又は図8(a)に示す第2の実施形態と同様である。

## 【0204】

また、図18(a)~(c)のそれぞれに対応する半導体装置の製造方法は、シールリング形成用のマスクパターンを図18(a)~(c)のそれぞれに合わせて変化させる点を除いて、第2の実施形態(図9(a)~(d)及び図10(a)~(c))と同様である。

## 【0205】

図18(a)~(c)のいずれかに示す本実施形態のシールリング構造を有する半導体装置によると、シールリング構造が2重になっていることによる第2の実施形態と同様の効果に加えて、次のような効果が得られる。すなわち、チップ領域202を保護するシールリング204a及び204bのうちスクライブ領域203側のシールリング204bの障壁が、スクライブ領域203が伸びる方向に対して平行な方向のみならず、垂直な方向や斜め方向にも設けられている。このため、ウェハのダイシング時にダイシング装置のブレードとパッシベーション膜209等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハ(基板201)のクラック等が、シールリング204bの側面(スクライブ領域203と対向する面)に沿って進行することを防ぐことができる。

## 【0206】

尚、図18(a)~(c)のそれぞれに示す本実施形態のシールリング構造(2重構造)においては、ライン状の平面形状を有するシールリング204aと、ライン状以外の他の平面形状を有するシールリング204bとの組み合わせについて説明した。しかし、シールリング204a及び204bのそれぞれが、ライン状以外の他の平面形状(同一でもよいし又は異なってもよい)を有していてもよい。また、少なくとも最も外側のシールリングがライン状以外の他の平面形状を有する3重以上のシールリング構造を用いてもよい。しかし、ライン状以外の他の平面形状を有する複数のシールリングを用いた場合又は3重以上のシールリング構造を用いた場合には、半導体装置(半導体チップ)の幅に占めるシールリング部分の幅が大きくなり、半導体装置の小型化に不利となる可能性がある。従って、図18(a)~(c)のそれぞれに示す本実施形態のシールリング構造のように、ライン状の平面形状を有するシールリングと、ライン状以外の他の平面形状を有する

10

20

30

40

50

シールリングとを組み合わせた2重のシールリング構造を用いることが好ましい。

【0207】

以上に説明したように、本発明の各実施形態によると、シールリングを構成するシールビアがチップ領域のデュアルダマシンの配線構造に合わせて、当該配線層と同じ層間絶縁膜において一体的に形成されているため、シールビアは「つなぎ目」なく1つの層間絶縁膜を貫通するように設けられる。従って、シールリング全体として「つなぎ目」の数を低減することができる。よって、「つなぎ目」からの不純物等の侵入を、「つなぎ目」が多いシールリング構造と比較してより防ぐことができるため、より強固なシールリング構造を実現できる。すなわち、ダイシング時におけるチップ領域内への衝撃の伝播を抑制できると共に外部からチップ領域内への不純物等の侵入を防止できる。

10

【0208】

また、本発明の各実施形態において、シールリングの最上部にキャップ層を設けたり、シールリングを構成するシールビアを枝分かれさせたり、シールビアをチップ領域のデュアルダマシンの構造に合わせて形成したり、又は複数のシールリングがチップ領域を多重に取り囲む構成を用いたりすることによって、ウェハをスクライブ領域に沿ってダイシングして個々のチップを取り出す際にチップ領域がダメージを受けること又はチップ領域の一部が破損することをより確実に防ぐことができる。その結果、ダイシング時にスクライブ領域が受ける衝撃がチップ領域内に伝播することを防ぎ、それによりチップ領域内のIC回路や配線層等が傷つくことを防ぐことができるので、半導体装置(チップ)の歩留まりを向上させることができると共に、高精度のチップを提供することができる。

20

【0209】

また、本発明の各実施形態において、チップ領域の周縁部(チップ領域におけるスクライブ領域との境界付近)にシールリングを設けたが、スクライブ領域のうちダイシング後も半導体装置(半導体チップ)の端部として残る部分(つまりスクライブ領域におけるチップ領域との境界付近)にシールリングを設けてもよい。

【産業上の利用可能性】

【0210】

以上に説明したように、本発明は、チップ領域を取り囲むように形成されたシールリングを有する半導体装置およびその製造方法に関し、本発明の適用により、ウェハを個々のチップに分割する際のダイシングによってチップ(半導体装置)側面に生じる欠けや割れ等がチップ領域内に伝播することを防止できるという効果が得られ、非常に有用である。

30

【図面の簡単な説明】

【0211】

【図1】本発明の第1の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

【図2】(a)及び(b)は、図1のAA'線の断面構造(チップ領域の周縁部に位置するシールリング部分を含む半導体装置端部の断面構造)のバリエーションを示す図である。

【図3】(a)は、図1のAA'線の断面構造(チップ領域の周縁部に位置するシールリング部分を含む半導体装置端部の断面構造)のバリエーションを示す図であり、(b)は、図2(a)又は図2(b)に示す構造における一のビアと該ビアと同じ層に設けられたシールビアとの平面構成を模式的に示した図である。

40

【図4】(a)~(d)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)~(c)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)~(c)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】本発明の第2の実施形態に係る半導体装置が設けられているウェハの一部分を示す平面図である。

50

【図 8】(a) 及び (b) は、図 7 の B B' 線の断面構造 (チップ領域の周縁部に位置するシールリング部分を含む半導体装置端部の断面構造) のバリエーションを示す図である。

【図 9】(a) ~ (d) は本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 10】(a) ~ (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図 11】(a) は本発明の第 2 の実施形態に係る半導体装置の構造を上側から見た平面図であり、(b) は、(a) の C - C' 線におけるチップ表面部の断面図である。

【図 12】(a) は、本発明の第 2 の実施形態の第 1 変形例に係る半導体装置の断面図であり、(b) は、本発明の第 2 の実施形態の第 2 変形例に係る半導体装置の断面図である。

【図 13】本発明の第 2 の実施形態の第 3 変形例に係る半導体装置の断面図である。

【図 14】(a) は、図 19 に示す従来の半導体装置の断面構造を模式的に示した図であり、(b) は (a) と対応する平面図である。

【図 15】(a) は、図 2 (a) に示す本発明の第 1 の実施形態に係る半導体装置の断面構造を模式的に示した図であり、(b) は (a) と対応する平面図である。

【図 16】(a) ~ (c) は本発明の第 3 の実施形態に係る半導体装置のバリエーションを示す平面図である。

【図 17】(a) は、図 8 (a) に示す本発明の第 2 の実施形態に係る半導体装置の断面構造を模式的に示した図であり、(b) は (a) と対応する平面図である。

【図 18】(a) ~ (c) は本発明の第 3 の実施形態に係る半導体装置のバリエーションを示す平面図である。

【図 19】従来の半導体装置の断面図である。

【符号の説明】

【0212】

101 ウェハ (基板)

102 チップ領域

103 スクライブ領域

104 シールリング

105 第 1 の層間絶縁膜

105 a ビアホール

105 b 溝状凹部

106 第 2 の層間絶縁膜

106 a、106 b 配線溝

107 第 3 の層間絶縁膜

107 a ビアホール

107 b 溝状凹部

107 c 配線溝

108 第 4 の層間絶縁膜

109 パッシベーション膜

110 活性層

111 第 1 のビア

112 第 1 の配線

113 第 2 のビア

114 第 2 の配線

115 第 3 のビア

116 第 3 の配線

117 パッド電極

120 導電層

10

20

30

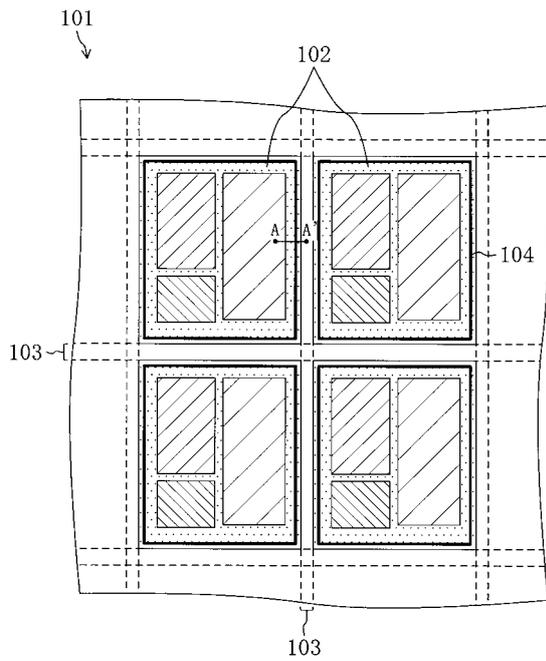
40

50

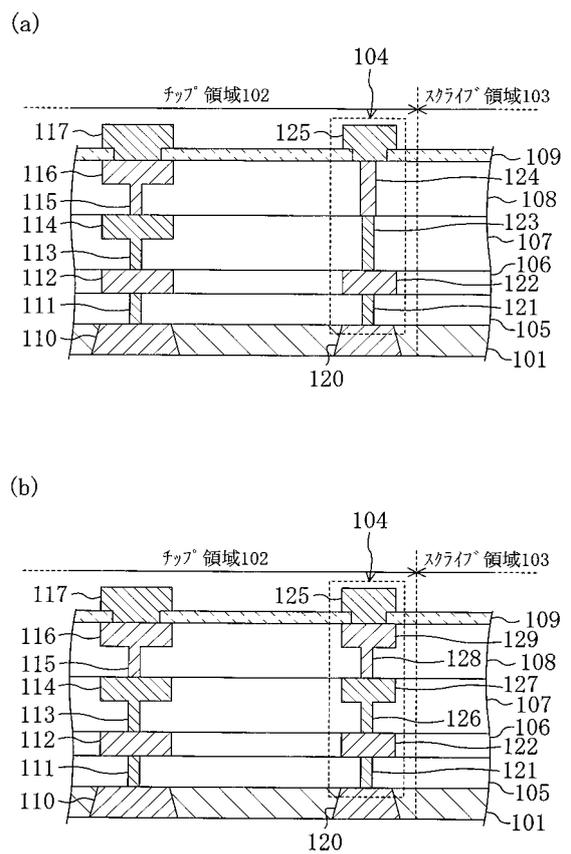
1 2 1	第 1 のシールビア	
1 2 1 a	枝分かれした第 1 のシールビア	
1 2 1 b	枝分かれした第 1 のシールビア	
1 2 2	第 1 のシール配線	
1 2 3	第 2 のシールビア	
1 2 3 a	枝分かれした第 2 のシールビア	
1 2 3 b	枝分かれした第 2 のシールビア	
1 2 4	第 3 のシールビア	
1 2 4 a	枝分かれした第 3 のシールビア	
1 2 4 b	枝分かれした第 3 のシールビア	10
1 2 5	キャップ層	
1 2 6	第 2 のシールビア	
1 2 7	第 2 のシール配線	
1 2 8	第 3 のシールビア	
1 2 9	第 3 のシール配線	
1 3 0	レジスト膜	
1 4 0	アクセサリ配線	
2 0 1	ウェハ (基板)	
2 0 1 A	半導体チップ	
2 0 2	チップ領域	20
2 0 3	スクライブ領域	
2 0 4 a、2 0 4 b	シールリング	
2 0 5	第 1 の層間絶縁膜	
2 0 5 a	ビアホール	
2 0 5 b、2 0 5 c	溝状凹部	
2 0 6	第 2 の層間絶縁膜	
2 0 6 a、2 0 6 b、2 0 6 c	配線溝	
2 0 7	第 3 の層間絶縁膜	
2 0 7 a	ビアホール	
2 0 7 b、2 0 7 c	溝状凹部	30
2 0 8	第 4 の層間絶縁膜	
2 0 9	パッシベーション膜	
2 1 0	活性層	
2 1 1	第 1 のビア	
2 1 2	第 1 の配線	
2 1 3	第 2 のビア	
2 1 4	第 2 の配線	
2 1 5	第 3 のビア	
2 1 6	第 3 の配線	
2 1 7	パッド電極	40
2 2 0 a、2 2 0 b	導電層	
2 2 1 a、2 2 1 b	第 1 のシールビア	
2 2 1 a 1、2 2 1 a 2、2 2 1 b 1、2 2 1 b 2	枝分かれした第 1 のシールビア	
2 2 2 a、2 2 2 b	第 1 のシール配線	
2 2 3 a、2 2 3 b	第 2 のシールビア	
2 2 3 a 1、2 2 3 a 2、2 2 3 b 1、2 2 3 b 2	枝分かれした第 2 のシールビア	
2 2 4 a、2 2 4 b	第 3 のシールビア	
2 2 4 a 1、2 2 4 a 2、2 2 4 b 1、2 2 4 b 2	枝分かれした第 3 のシールビア	
2 2 5 a、2 2 5 b	キャップ層	
2 3 0	レジスト膜	50

- 2 3 1 素子分離
- 2 3 2 ゲート絶縁膜
- 2 3 3 ゲート電極
- 2 3 4 絶縁性サイドウォール
- 2 4 0 アクセサリ配線

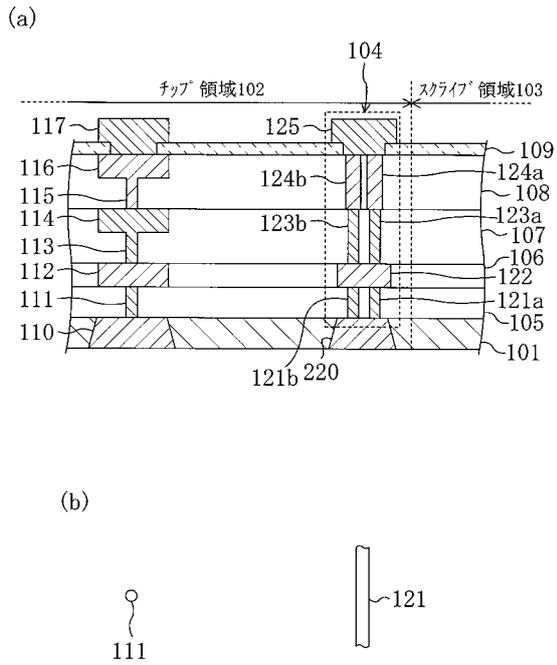
【図1】



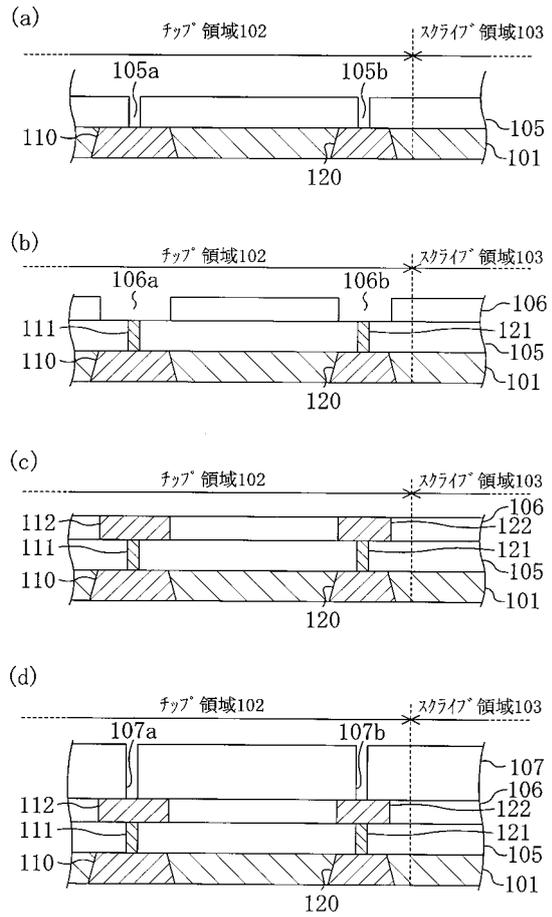
【図2】



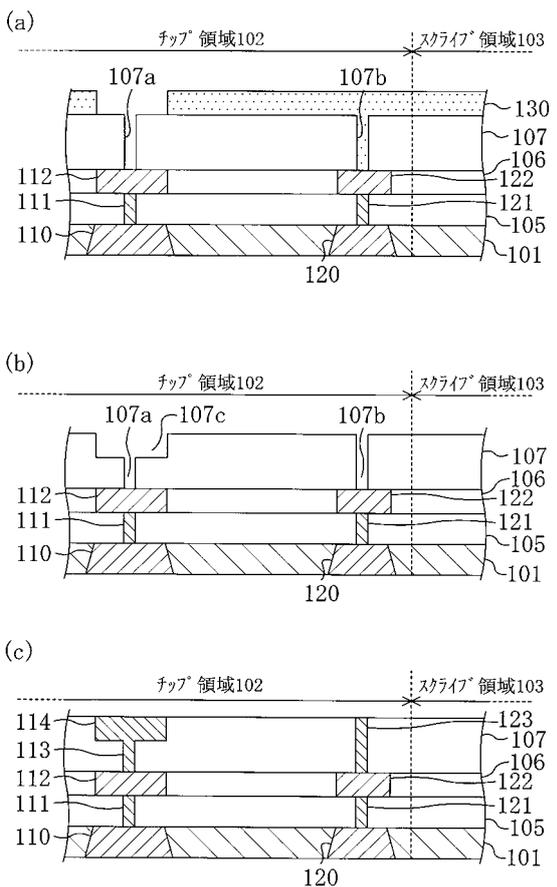
【 図 3 】



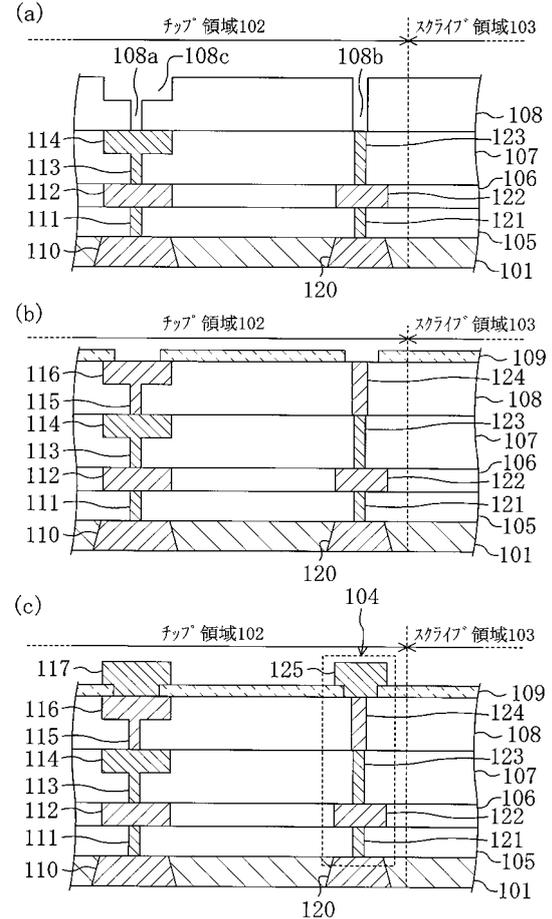
【 図 4 】



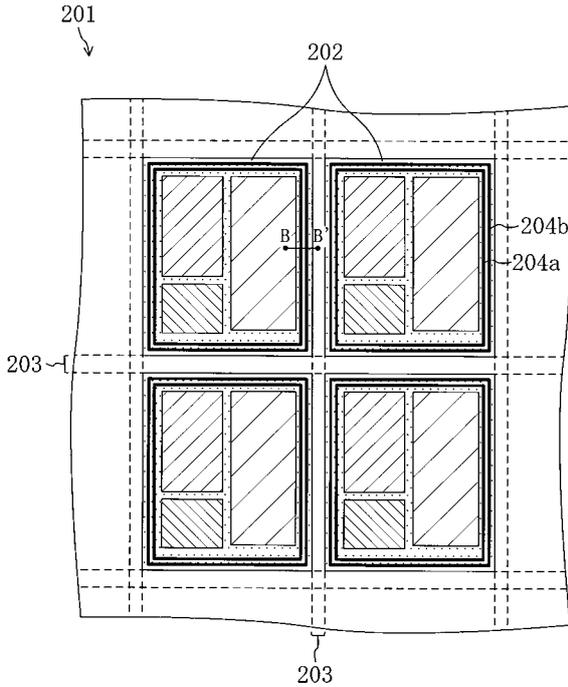
【 図 5 】



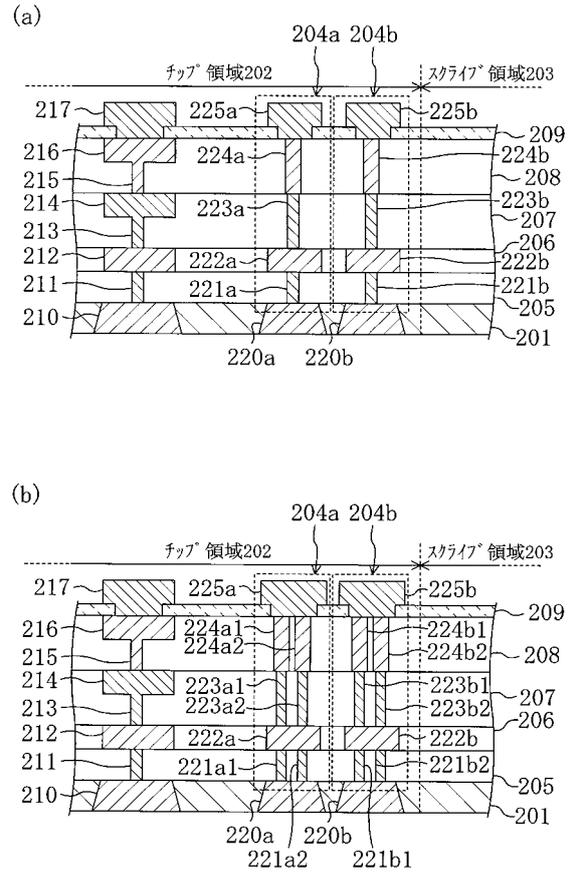
【 図 6 】



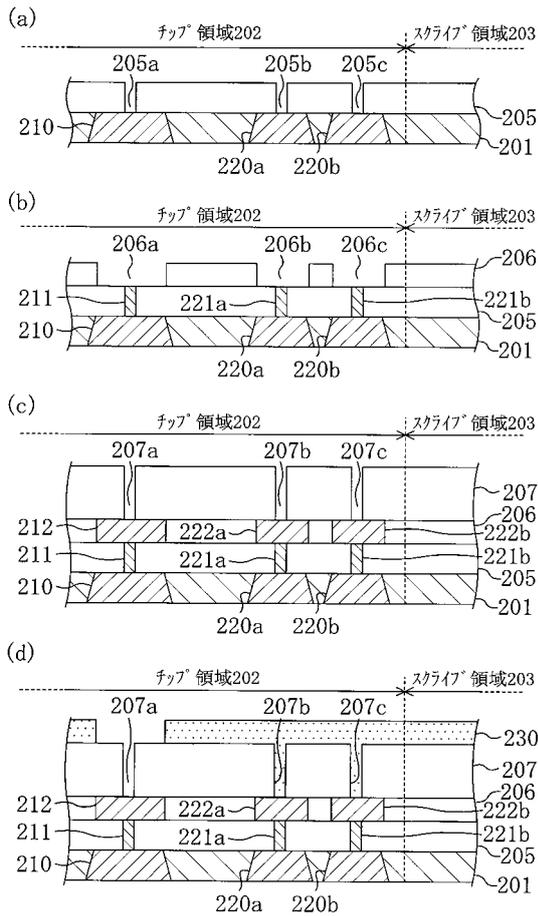
【図7】



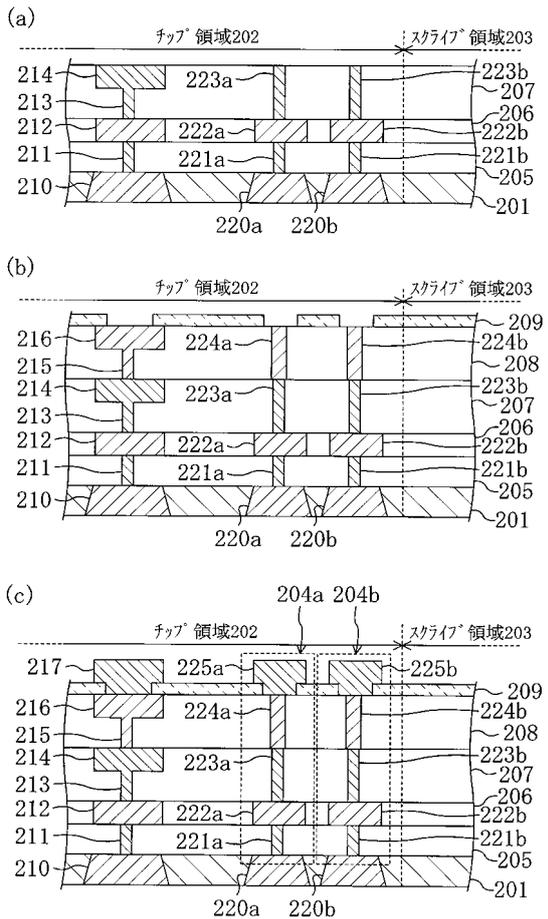
【図8】



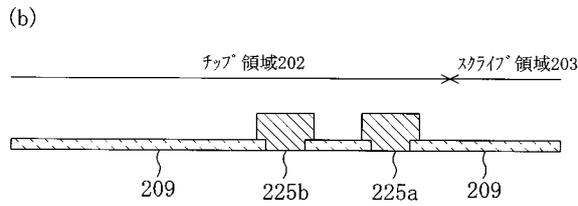
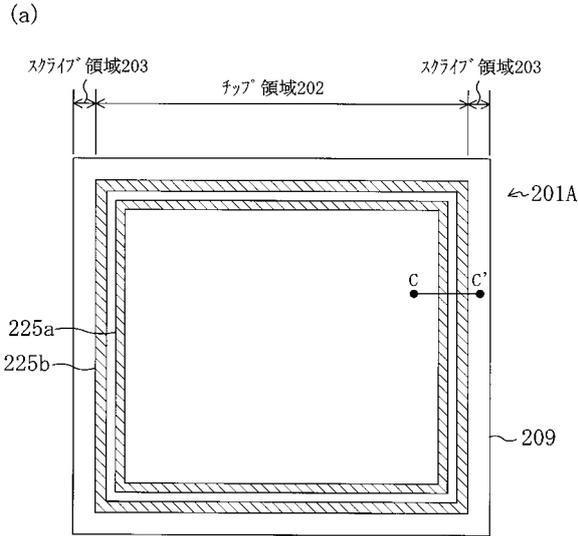
【図9】



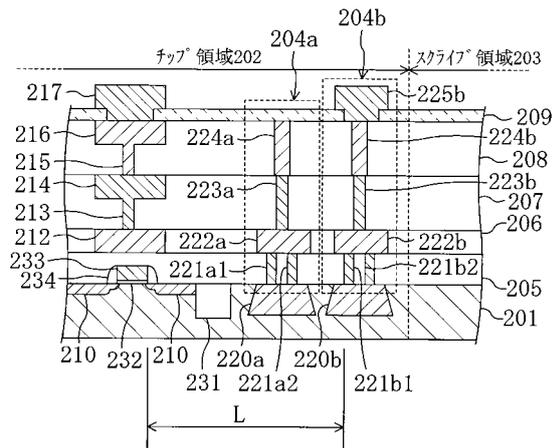
【図10】



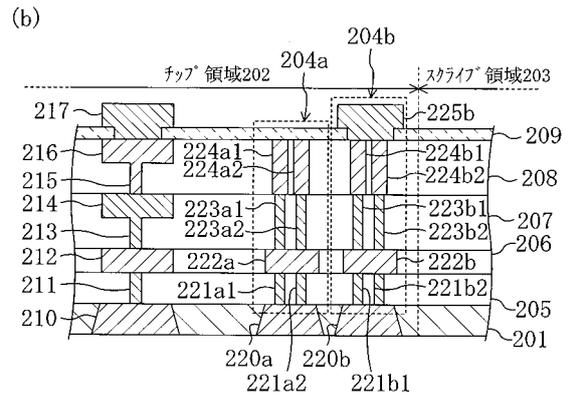
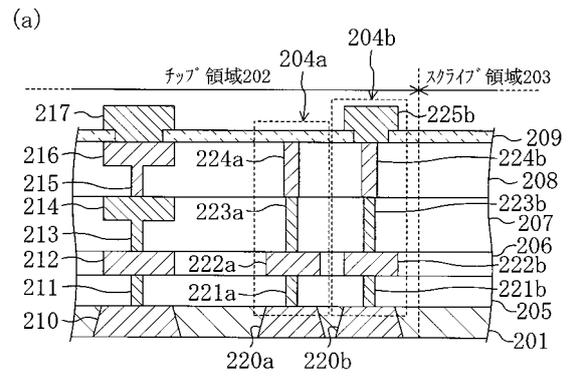
【図11】



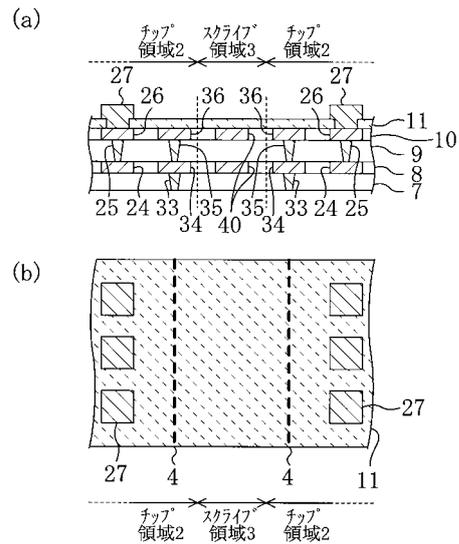
【図13】



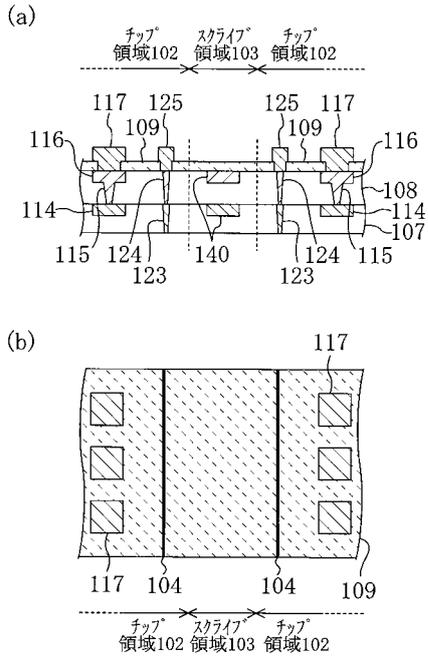
【図12】



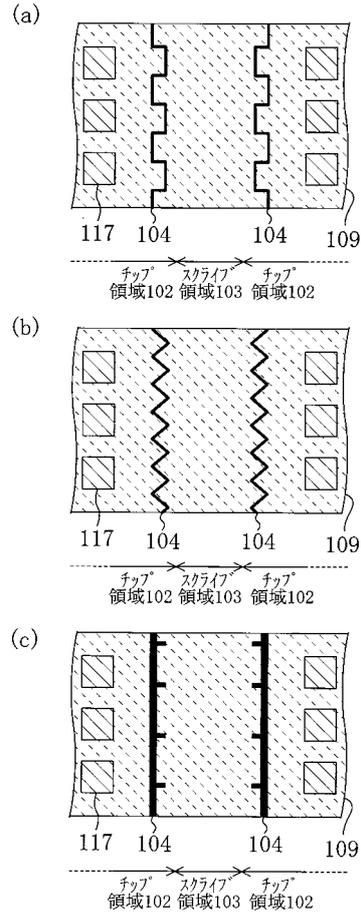
【図14】



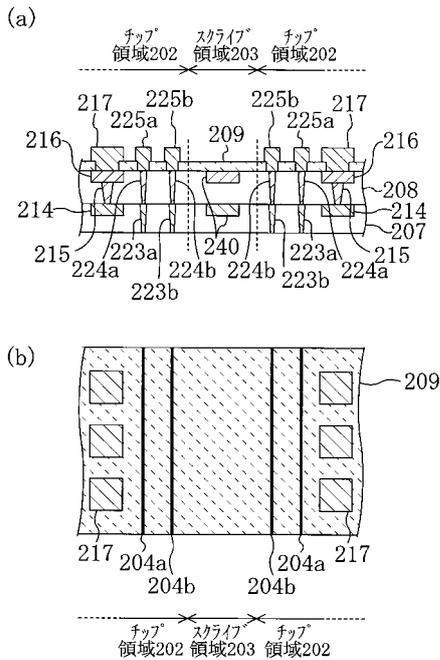
【図15】



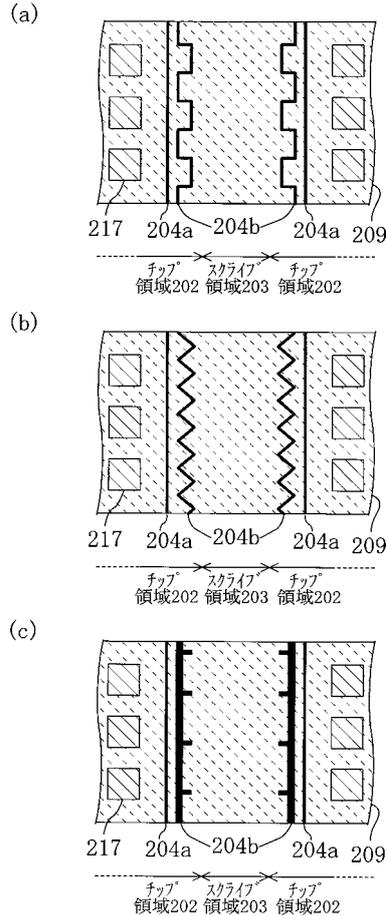
【図16】



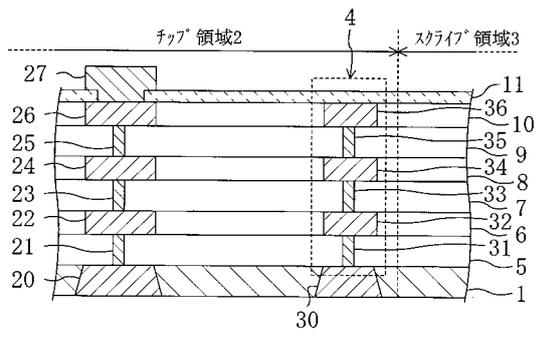
【図17】



【図18】



【 図 1 9 】



## フロントページの続き

- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (74)代理人 100124671  
弁理士 関 啓
- (74)代理人 100131060  
弁理士 杉浦 靖也
- (72)発明者 筒江 誠  
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 内海 勝喜  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 瀧内 健夫

- (56)参考文献 特開2001-023937(JP,A)  
特開2002-289689(JP,A)  
特開2003-086590(JP,A)  
特開2002-353307(JP,A)  
特開平03-227539(JP,A)  
特開平04-179246(JP,A)  
特開平06-181233(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 21/301  
H01L 21/3205  
H01L 21/60  
H01L 21/768  
H01L 21/822  
H01L 27/04