



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201240016 A1

(43)公開日：中華民國 101 (2012) 年 10 月 01 日

(21)申請案號：100110345

(22)申請日：中華民國 100 (2011) 年 03 月 25 日

(51)Int. Cl.：

H01L21/76 (2006.01)

H01L21/20 (2006.01)

(71)申請人：台灣半導體股份有限公司 (中華民國) (TW)

臺北市信義區忠孝東路 4 段 563 號 8 樓

(72)發明人：李永忠 (TW)；潘宗銘 (TW)

(74)代理人：洪志文

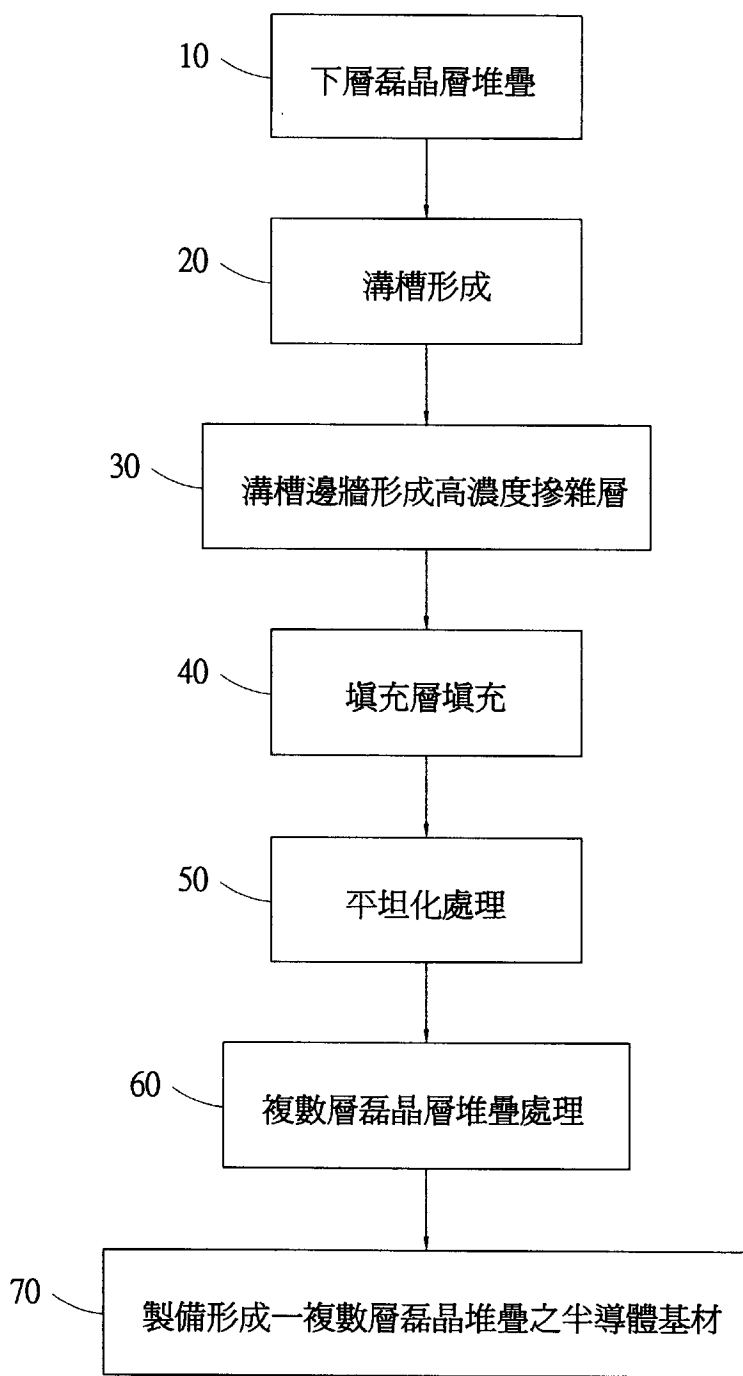
申請實體審查：有 申請專利範圍項數：10 項 圖式數：14 共 24 頁

(54)名稱

半導體基材之製備方法

(57)摘要

一種半導體基材之製備方法，係在一基材上，以複數層之磊晶層上、下堆疊(Stacking)，並於每一層磊晶層上以溝槽形成程序分別形成複數溝槽，並對每一溝槽之邊牆(sidewall)均以傾斜角度注入離子(imp)程序形成高濃度摻雜層，再由填充層填充於高濃度摻雜層內側填充氧化物或多晶矽之填充層，並再以平坦化程序處理，各磊晶層間之溝槽中之高濃度摻雜層上、下堆疊一體形成超級界面，各填充層亦上、下堆疊結合成一體，於該堆疊之磊晶層最上方再堆疊一頂層磊晶層，進而製備形成一半導體基材，藉此製備方法形成之半導體基材，後續可提供作為具超級界面溝槽之金屬氧化半導體場效應電晶體或金屬界面之蕭特基二極體製造之基礎材料。



- 10：下層磊晶層堆疊
- 20：溝槽形成
- 30：溝槽邊牆形成高濃度摻雜層
- 40：填充層填充
- 50：平坦化處理
- 60：複數層磊晶層堆疊處理
- 70：製備形成一複數層磊晶堆疊之半導體基材

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體基材之製備方法，尤指一種以複數層磊晶上、下堆疊高濃度摻雜層之溝槽邊牆，所形成之半導體基材之製備方法。

【先前技術】

按，習知之金氧半場效電晶體或蕭特基二極體等半導體，為廣被利用之半導體元件，諸如中華民國專利公報第 I328287 號「半導體元件及互補式金氧半場效電晶體」發明專利案、第 I323489 號「溝渠式功率半導體裝置及其製法」發明專利案、中國專利第 ZL02811144.3 號「溝槽肖特基整流器」發明專利案、第 ZL02810570.2 號「雙掩模溝槽肖特基整流器及其製造方法」發明專利案與美國發明專利第 6426542 號「SCHOTTKY DIODE WITH DIELECTRIC TRENCH」發明專利案，揭示典型之溝渠型的金氧半場效電晶體與蕭特基二極體等半導體結構，該習知之溝渠型的金氧半場效電晶體結構或蕭特基二極體，由於該溝渠磊晶層在於順向偏壓時均存有順向阻抗偏高、逆向偏壓值偏低與高逆向漏電流之積弊問題與缺點，並沒有明顯改善之成效，致使該金氧半場效電晶體或蕭特基二極體因溫昇、逆向偏壓值或逆向漏電流之限制，而不適用於高功率或高電壓之操作場合，大大限制其產業之利用價值與經濟效益。

【發明內容】

上述習知之金氧半場效電晶體或蕭特基二極體等半導體中之溝渠磊晶層結構，存有順向阻抗偏高、逆向偏壓值偏低或高逆向漏電流之積弊問題與缺點，致使不適用於高功率或高電壓之操作場合。

緣此，本發明之主要目的，係在提供一種半導體基材之製備方法，其步驟包括：

- (A) 下層磊晶層堆疊，係在一基材上，堆疊一下層磊晶層；
- (B) 溝槽形成，在步驟 A 之磊晶層內形成複數溝槽；

- (C)溝槽邊牆形成高濃度摻雜層，在步驟 B 之各溝槽中以傾斜角度注入離子，於該溝槽邊牆以傾斜角度注入高濃度摻雜離子半導體材料，形成高濃度摻雜層於溝槽邊牆；
- (D)填充層填充，於步驟 C 中之高濃度摻雜層內側填充氧化物或多晶矽之填充層；
- (E)平坦化處理，將步驟 D 之填充層表面進行平坦化處理；
- (F)複數層磊晶層堆疊處理，在步驟 A 之下層磊晶層上方，以上、下堆疊方式，堆疊複數層之磊晶層，並於每一層磊晶層逐一實施相同於步驟 B 之溝槽形成、步驟 C 之溝槽邊牆形成高濃度摻雜層、步驟 D 氧化物填充與步驟 E 平坦化處理等步驟，使每一個磊晶層內均形成溝槽、高濃度摻雜層與填充層填充於高濃度摻雜層內側，並讓下層磊晶層與各磊晶層之溝槽、高濃度摻雜層與填充層均呈上、下堆疊連結為一體，該高濃度摻雜層並堆疊結合形成超級界面。
- (G)製備形成一複數層磊晶堆疊之半導體基材，藉由步驟 F 之各層磊晶層堆疊組合形成一複數層磊晶堆疊之半導體基材。

本發明之半導體基材之製備方法之功效，係在於藉由該複數層之磊晶層上、下堆疊組合，以及，各磊晶層中之溝槽之高濃度摻雜層上、下堆疊組合，形成一體之超級界面結構，使該金屬氧化半導體場效應電晶體或蕭特基二極體等半導體，在應用本發方法製備之半導體基材後，可具備有較低之順向電阻值、高逆向偏壓與低逆向漏電流特性，而具有耐高壓與低熱損之功效，藉以使該金屬氧化半導體場效應電晶體或蕭特基二極體可應用於高功率與高電壓操作場合。

【實施方式】

請參閱第一圖～第十 A 圖所示，第一圖為本發明之半導體基材之製備方法流程圖，其步驟包括步驟 10～70，其中：

- (10)下層磊晶層堆疊，如第二圖所示，係在一基材 200 上，堆疊一下層磊晶層 205，該基材 200 在本發明中係以 N+ 半導體材料為例，該磊晶層 205 為 N-磊晶；
- (20)溝槽形成，如第三圖所示，在步驟 10 之磊晶層 205 內形成複數溝

槽 210；

- (30)溝槽邊牆形成高濃度摻雜層，如第三圖所示，在步驟 20 之各溝槽 210 中以傾斜角度注入離子，於該溝槽 210 邊牆以傾斜角度注入高濃度摻雜離子半導體材料，形成高濃度摻雜層 215 於溝槽 210 邊牆上，該高濃度摻雜層 215 為 P 型摻雜半導體構成；
- (40)填充層填充，如第四圖所示，於步驟 30 中之高濃度摻雜層 215 內側填充填充層 220，該填充層 220 為氧化物或多晶矽；
- (50)平坦化處理，如第四圖所示，將步驟 40 之填充層 220 表面進行平坦化處理；
- (60)複數層磊晶層堆疊處理，如第五圖～第十 A 圖在步驟 10 之下層磊晶層 210 上方，以上、下堆疊方式，堆疊複數層之磊晶層 300，該磊晶層 300 為 N-磊晶，並於每一層磊晶層 300 逐一實施相同於步驟 20 之溝槽形成、步驟 30 之溝槽邊牆形成高濃度摻雜層、步驟 40 氧化物填充與步驟 50 之平坦化處理等步驟，使每一個磊晶層 300 內均形成溝槽 305、高濃度摻雜層 310，以及填充層 315 填充於高濃度摻雜層 310 內側，該高濃度摻雜層 310 為 P 型摻雜半導體構成，該填充層 315 為氧化物或多晶矽，並讓下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305、高濃度摻雜層 215 及 310，與填充層 220 及 315 均呈上、下堆疊連結為一體，該高濃度摻雜層 210 及 310 並堆疊結合形成超級界面，上述之磊晶層 300 之層數並不限於上述之二層為限，且該下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305、高濃度摻雜層 215 及 310 間之寬度、高度或形狀並不限制一定相同。
- (70)製備形成一複數層磊晶堆疊之半導體基材，藉由步驟 60 之各層磊晶層 300 堆疊組合形成一如第十 A 圖所示之複數層磊晶堆疊之半導體基材 400。

請參閱第十 B 圖所示，為依本發明之第一圖之步驟 10～70 所示之製備方法所製備之半導體基材 400 之第二實施例，其中，顯示該下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305 間之寬度，由下而上逐

步遞增加寬，而使該下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305、高濃度摻雜層 215 及 310、填充層 220 及 315 共同上、下堆疊連結形成如螺絲狀之形狀，但其上、下堆疊形狀亦不限於第十圖 A 及第十圖 B 所示者為限。

請再配合第十 C 圖所示，為依本發明之第一圖之步驟 10~70 所示之製備方法所製備之半導體基材 400 之第三實施例，其中，顯示該下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305 形狀皆為上寬下窄之梯形形狀，同樣可讓該下層磊晶層 210 與各磊晶層 300 之溝槽 210 及 305、高濃度摻雜層 215 及 310、填充層 220 及 315 共同上、下堆疊連結。

請再配合第十一圖、第十二圖所示，為上述本發明之半導體基材之製備方法所製備之半導體基材 400 之應用例，其中，係列舉應用於一金屬氧化半導體場效應電晶體 500(如第十二圖所示)作為製造時之半導體基礎材料之狀態，如第十一圖所示，在如圖十 A 所示之半導體基材 400 中之最上層磊晶層 300 之上方結合一頂層磊晶層 400A，該頂層磊晶層 400A 為 N-磊晶，該頂層磊晶層 400A 中形成一埋入層 410 與基層 420，該埋入層 410 下方與半導體基材 400 之最上層之磊晶層 300 之溝槽 305 邊牆形成之高濃度摻雜層 310 與填充層 315 頂面結合，該基層 420 並結合於該埋入層 410 上方，該埋入層 410 為 P 型半導體材料，該基層 420 為 P 型半導體材料，該基層 420 頂面並形成一 NPN 接面 421。

如第十二圖所示，將複數源極 430 與閘極 440 電極分別透過一氧化層接面 450 結合於該頂層磊晶層 400A 頂面，以及，基層 420 頂面與該 NPN 接面 421 之間，使該半導體基材 400 之基材 200 形成汲極電極，藉以形成具超級接面溝槽之金屬氧化半導體場效應電晶體 500。

請再配合第十三圖所示，為上述第十一圖及第十二圖中應用本發明之製備方法製備之半導體基材 400 之金屬氧化物半導體場效應電晶體 500，與習知金屬氧化半導體場效應電晶體間之逆向偏壓狀態之實驗曲線圖，其中，橫向軸為汲極電壓 DV，其單位為伏特，縱向軸為源-汲極間之逆向漏電流，其單位為安培，曲線 S1 代表本發明之金屬氧化

半導體場效應電晶體 500 的實驗曲線，曲線 S2 表示習知金屬氧化半導體場效應電晶體之實驗曲線，由該曲線 S1 與曲線 S2 相為比對下，可明顯看出本發明製備方法所製備之半導體基材 400 應用於金屬氧化半導體場效應電晶體 500 上，確具備有高逆向偏壓與低逆向漏電流之特性，且該金屬氧化半導體場效應電晶體 500 如欲得到更好的逆向偏壓特性，可以由該半導體基材 400 透過上述步驟 60 之複數層磊晶層堆疊處理步驟中之磊晶層 300 堆疊層數增加而達成。

請再參閱第十四圖所示，為上述第十一圖及第十二圖中應用本發明之製備方法製備之半導體基材 400 之金屬氧化物半導體場效應電晶體 500 與習知金屬氧化半導體場效應電晶體間在順向偏壓狀態之實驗曲線圖，其中，橫向軸為閘極電壓 GV，其單位為伏特，縱向軸為汲極電流 DA，其單位為安培，曲線 S3 代表本發明之金屬氧化半導體場效應電晶體 500 的實驗曲線，曲線 S4 表示習知金屬氧化半導體場效應電晶體之實驗曲線，由該曲線 S3 與曲線 S4 相為比對下，可明顯看出可明顯看出本發明製備方法所製備之半導體基材 400 應用於金屬氧化半導體場效應電晶體 500 上，具備有低順向電阻值之特性。

上述第十三圖及第十四圖之實驗結果，同理可於本發明本發明之製備方法製備之半導體基材 400 應用於具溝槽結構之金屬接面之蕭特基二極體時，亦可得到同樣的順向電阻值低、逆向偏壓高與逆向漏電流低之實驗結果。

綜上所述，本發明之半導體基材之製備方法所列舉之各圖式及說明，係為便於說明本發明之技術內容，所列舉之實施例之一隅，並非用以限制本發明之範疇，舉凡是針對本發明之步驟、程序或元件的等效變更與置換，當屬本發明之範疇，其範圍將由以下的申請專利範圍來界定之。

【圖式簡單說明】

第一圖為本發明之半導體基材之製備方法之流程圖；

第二圖為一剖視圖，顯示本發明方法中之下層磊晶層堆疊於基材之狀態；

第三圖為一剖視圖，顯示本發明方法中之下層磊晶層之溝槽形成與溝槽邊牆形成高濃度摻雜層之狀態；

第四圖為一剖視圖，顯示本發明方法中之下層磊晶層之填充與平坦化處理之狀態；

第五圖為一剖視圖，顯示本發明方法中之下層磊晶層之第一層磊晶層堆疊之狀態；

第六圖為一剖視圖，顯示本發明方法中之下層磊晶層之第一層磊晶層之溝槽形成與溝槽邊牆形成高濃度摻雜層之狀態；

第七圖為一剖視圖，顯示本發明方法中之下層磊晶層之第一層磊晶層之填充與平坦化處理之狀態；

第八圖為一剖視圖，顯示本發明方法中之下層磊晶層之第二層磊晶層堆疊之狀態；

第九圖為一剖視圖，顯示本發明方法中之下層磊晶層之第二層磊晶層之溝槽形成與溝槽邊牆形成高濃度摻雜層之狀態；

第十 A 圖為一剖視圖，顯示本發明方法中之下層磊晶層之第二層磊晶層之填充與平坦化處理後形成製備半導體基材之狀態；

第十 B 圖為本發明方法中之製備半導體基材之第二實施例圖；

第十 C 圖為本發明方法中之製備半導體基材之第三實施例圖；

第十一圖為一剖視圖，顯示本發明方法製備之半導體基材應用於金屬氧化半導體場效應電晶體之製造過程之應用例；

第十二圖為應用本發明方法製備之半導體基材，所製成之金屬氧化半導體場效應電晶體剖面圖；

第十三圖為應用本發明方法製備之半導體基材所製成之金屬氧化半導體場效應電晶體，於逆向偏壓狀態下之實驗曲線圖；

第十四圖為應用本發明方法製備之半導體基材，所製成之金屬氧化半導體場效應電晶體，於順向偏壓狀態下之實驗曲線圖。

【主要元件符號說明】

- 10 下層磊晶層堆疊
- 20 溝槽形成

- 30 溝槽邊牆形成高濃度摻雜層
- 40 填充層填充
- 50 平坦化處理
- 60 複數層磊晶層堆疊處理
- 70 製備形成一複數層磊晶堆疊之半導體基材
- 200 基材
- 205 磊晶層
- 210 溝槽
- 215 高濃度摻雜層
- 220 填充層
- 300 磊晶層
- 305 溝槽
- 310 高濃度摻雜層
- 315 填充層
- 400A 頂層磊晶層
- 410 埋入層
- 420 基層
- 421 NPN 接面
- 430 源極
- 440 閘極
- 450 氧化層接面
- 400 半導體基材
- 500 金屬氧化物半導體場效應電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100110365

※申請日：100.3.25

※IPC 分類：

H01L 21/16 (2006.01)

一、發明名稱：(中文/英文)

半導體基材之製備方法

H01L 21/20 (2006.01)

二、中文發明摘要：

一種半導體基材之製備方法，係在一基材上，以複數層之磊晶層上、下堆疊(Stacking)，並於每一層磊晶層上以溝槽形成程序分別形成複數溝槽，並對每一溝槽之邊牆(sidewall)均以傾斜角度注入離子(imp)程序形成高濃度摻雜層，再由填充層填充於高濃度摻雜層內側填充氧化物或多晶矽之填充層，並再以平坦化程序處理，各磊晶層間之溝槽中之高濃度摻雜層上、下堆疊一體形成超級接面，各填充層亦上、下堆疊結合成一體，於該堆疊之磊晶層最上方再堆疊一頂層磊晶層，進而製備形成一半導體基材，藉此製備方法形成之半導體基材，後續可提供作為具超級接面溝槽之金屬氧化半導體場效應電晶體或金屬接面之蕭特基二極體製造之基礎材料。

三、英文發明摘要：

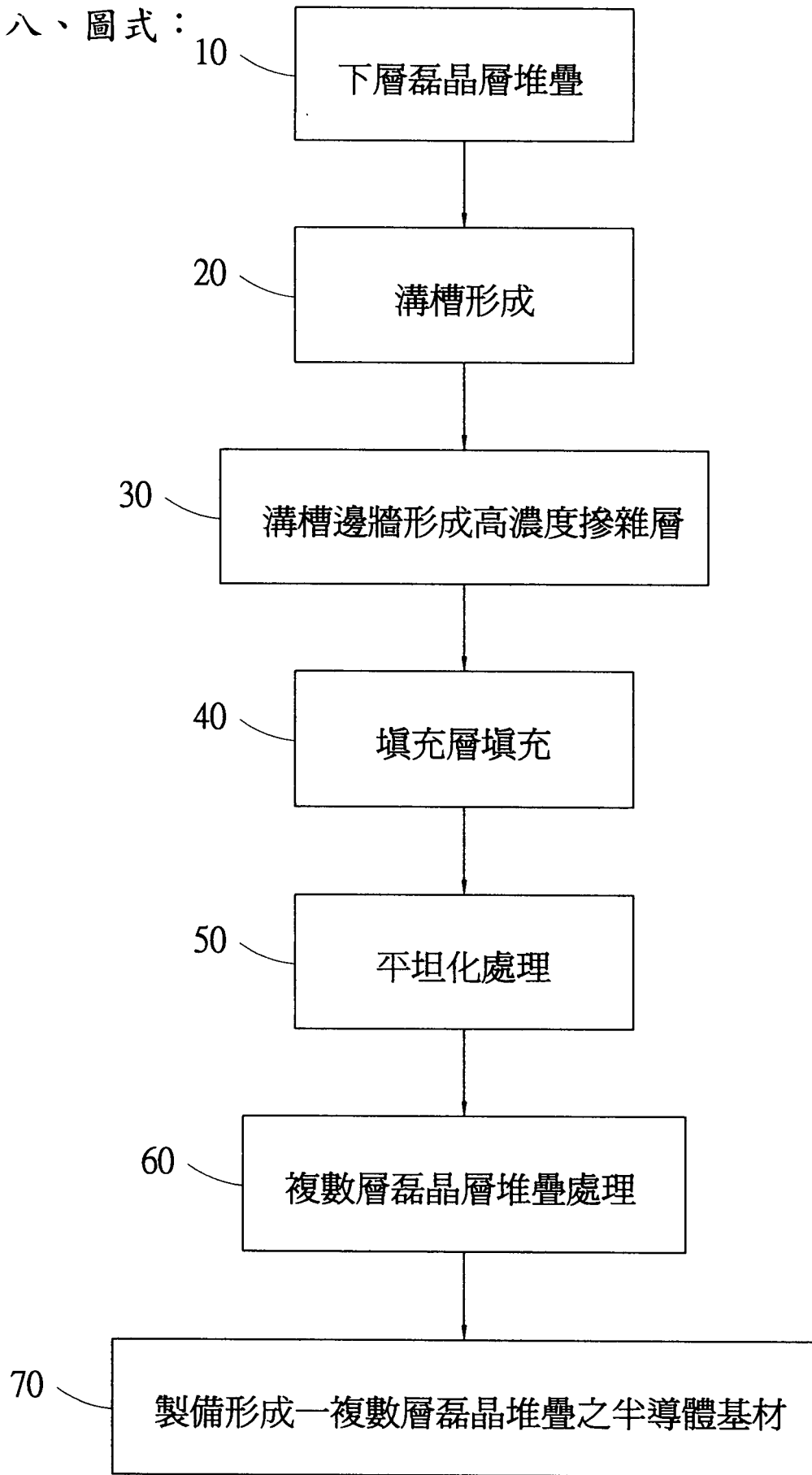
七、申請專利範圍：

1. 一種半導體基材之製備方法，其步驟係包括：
 - a. 下層磊晶層堆疊，係在一基材上，堆疊一下層磊晶層；
 - b. 溝槽形成，在步驟 a 之磊晶層內形成複數溝槽；
 - c. 溝槽邊牆形成高濃度摻雜層，在步驟 b 之各溝槽中以傾斜角度注入離子，於該溝槽邊牆以傾斜角度注入高濃度摻雜離子半導體材料，形成高濃度摻雜層於溝槽邊牆上；
 - d. 填充層填充，於步驟 c 中之高濃度摻雜層內側填充一填充層；
 - e. 平坦化處理，將步驟 d 之填充層表面進行平坦化處理；
 - f. 複數層磊晶層堆疊處理，在步驟 a 之下層磊晶層上方，以上、下堆疊方式，堆疊複數層之磊晶層，並於每一層磊晶層逐一實施相同於步驟 b 之溝槽形成、步驟 c 之溝槽邊牆形成高濃度摻雜層、步驟 d 填充層填充與步驟 f 之平坦化處理等步驟，使每一個磊晶層內均形成溝槽、高濃度摻雜層，以及填充層填充於高濃度摻雜層內側，並讓下層磊晶層與各磊晶層之溝槽、高濃度摻雜層，與填充層均呈上、下堆疊連結為一體，該高濃度摻雜層並堆疊結合形成超級界面；以及
 - g. 製備形成一複數層磊晶堆疊之半導體基材，藉由步驟 f 之各層磊晶層堆疊組合形成一複數層磊晶堆疊之半導體基材。
2. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 a 之基材為 N+ 半導體材料。
3. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 a 之下層磊晶層為 N- 磊晶。
4. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 c 之高濃度摻雜層為 P 型摻雜半導體構成。
5. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 d 之填充層為氧化物。
6. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 d 之填充層為多晶矽。
7. 如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 f 之

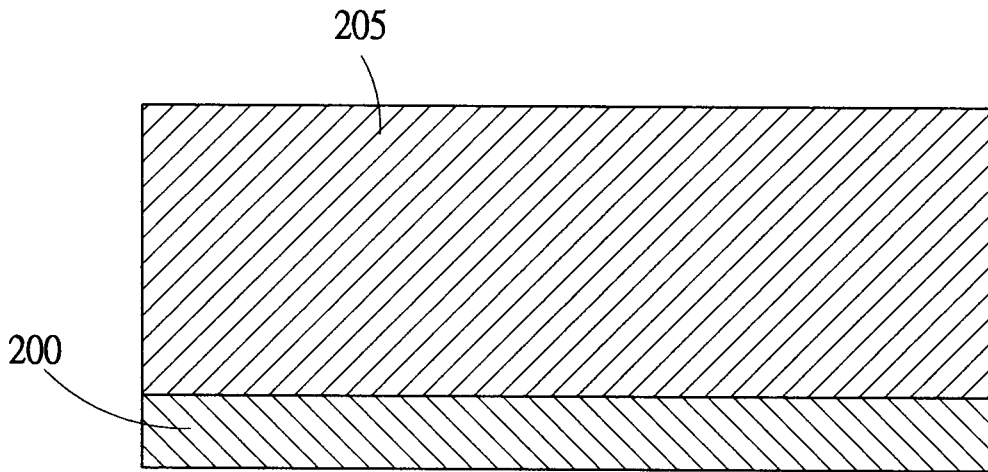
各磊晶層為 N-磊晶。

- 8.如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 f 之各磊晶層之高濃度摻雜層為 P 型摻雜半導體構成。
- 9.如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 f 之各磊晶層之填充層為氧化物。
- 10.如申請專利範圍第 1 項所述之半導體基材之製備方法，其中，該步驟 f 之各磊晶層之填充層為多晶矽。

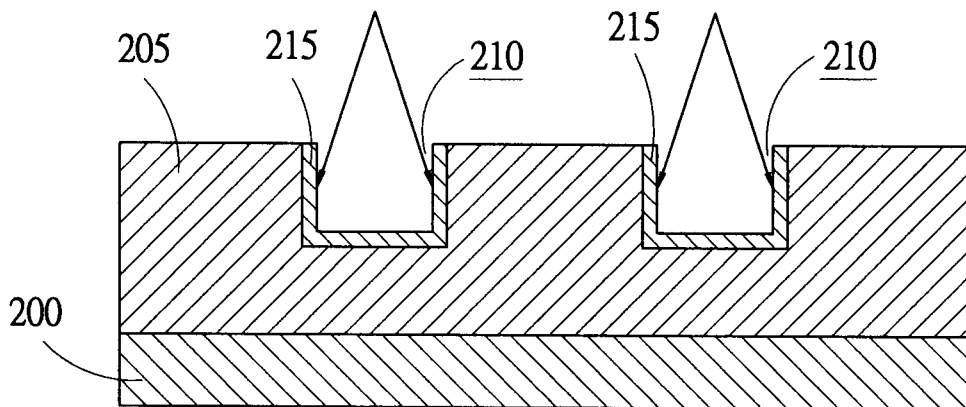
八、圖式：



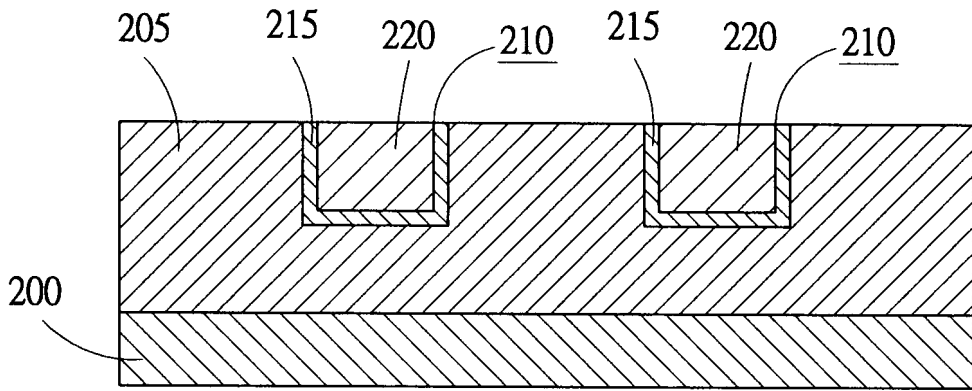
第一圖



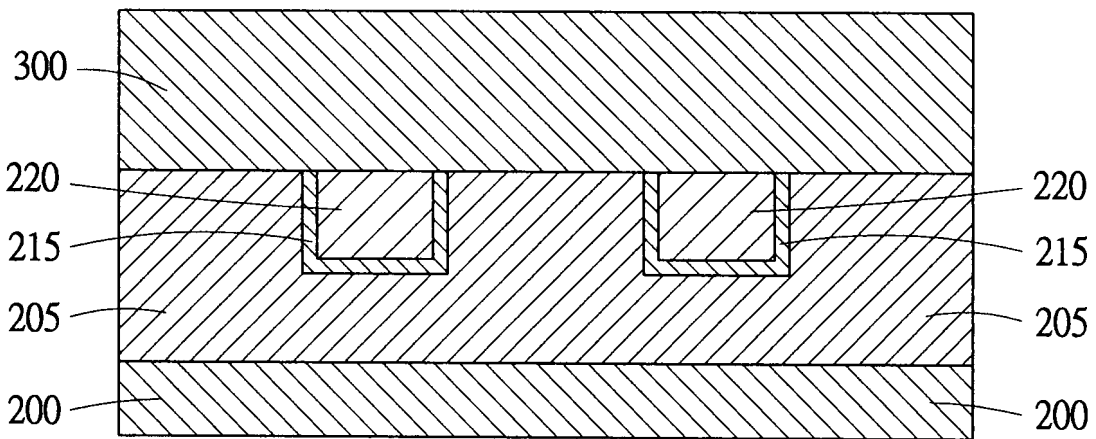
第二圖



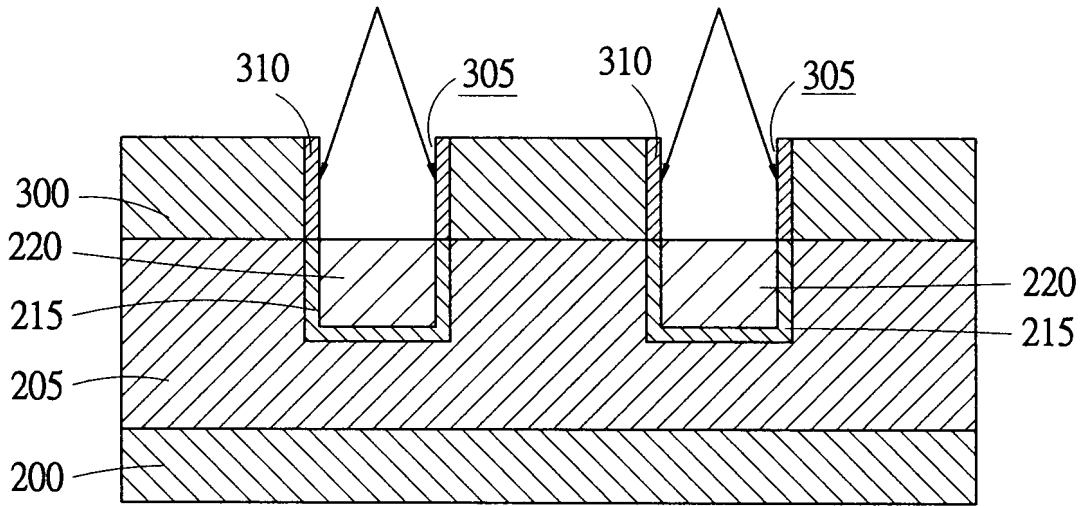
第三圖



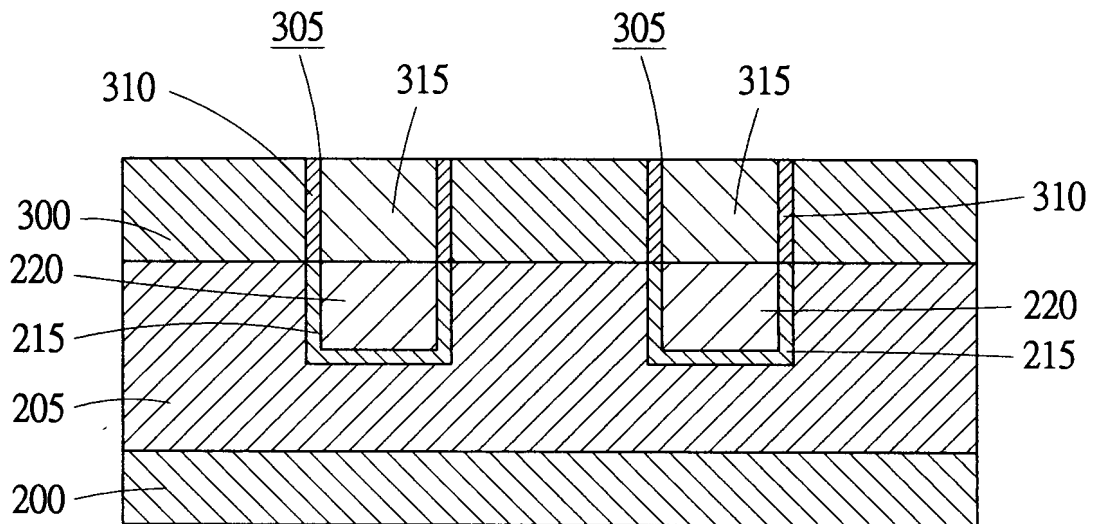
第四圖



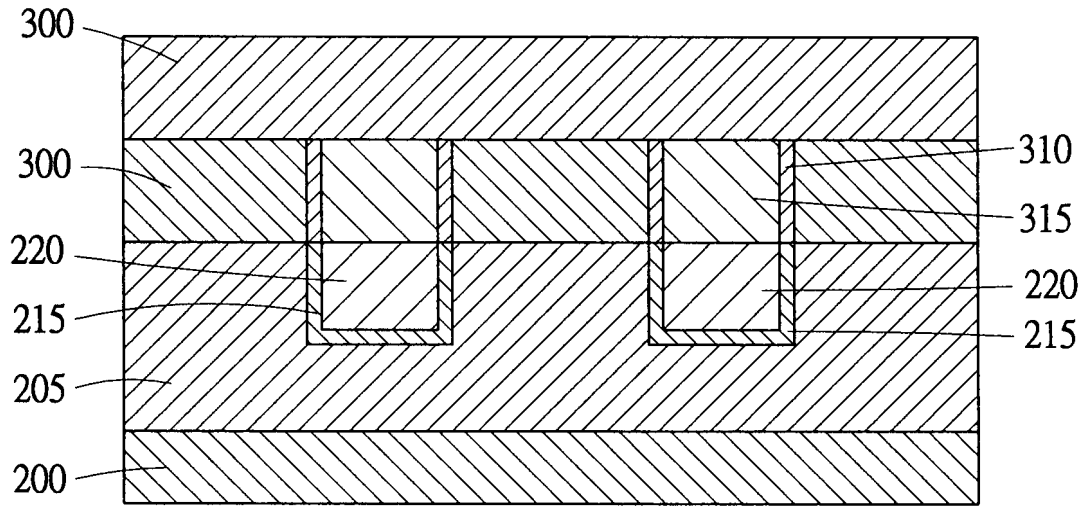
第五圖



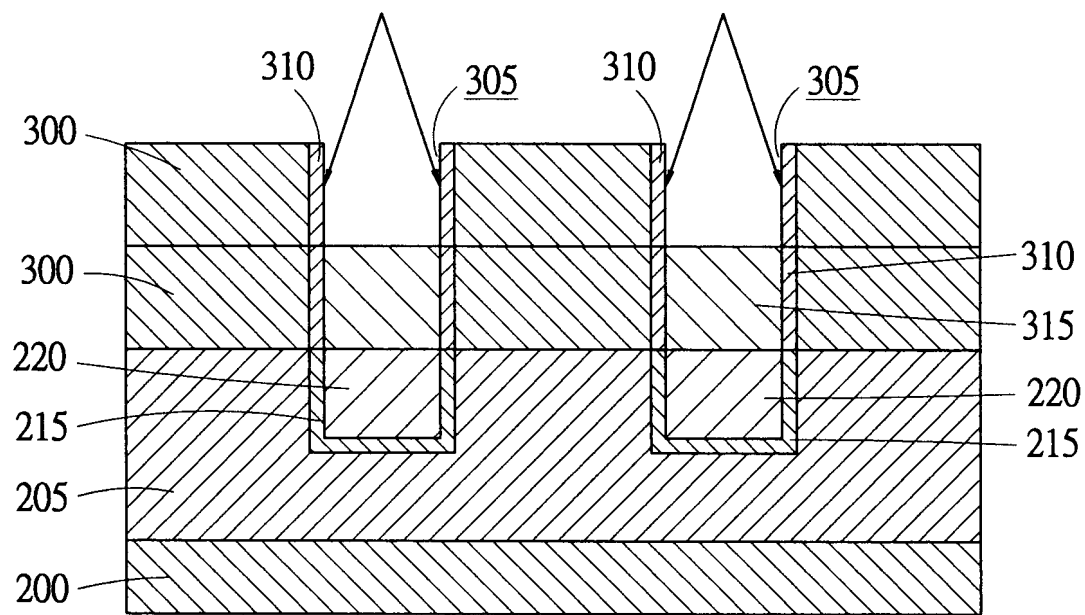
第六圖



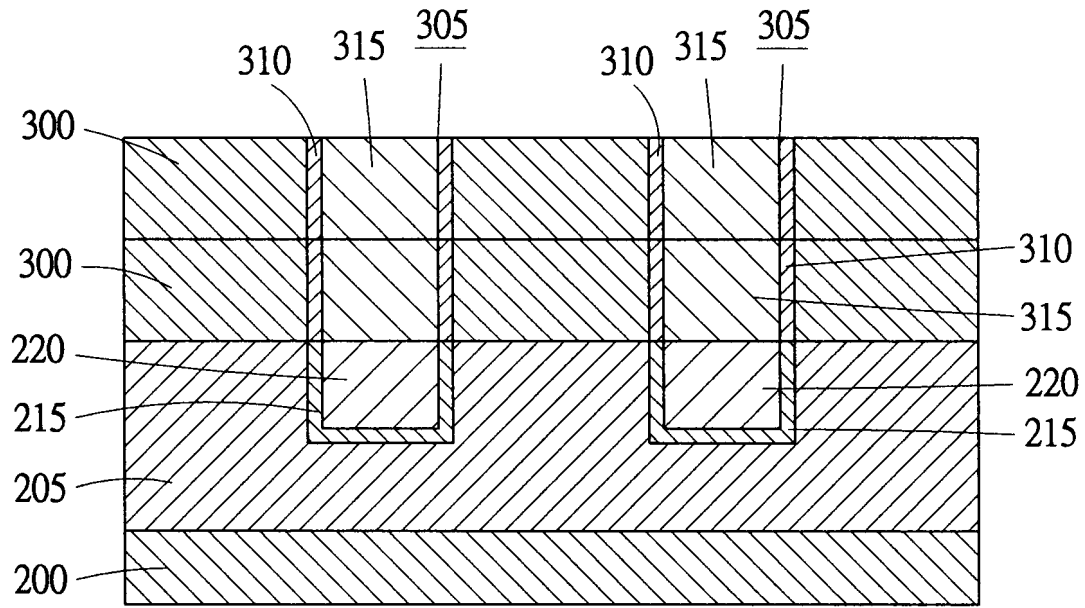
第七圖



第八圖

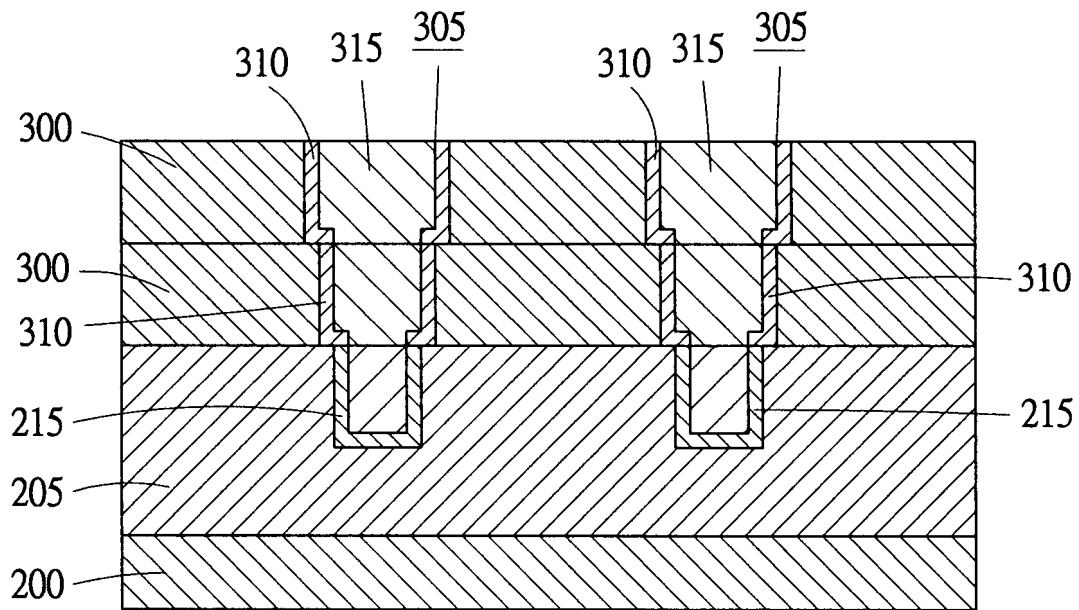


第九圖



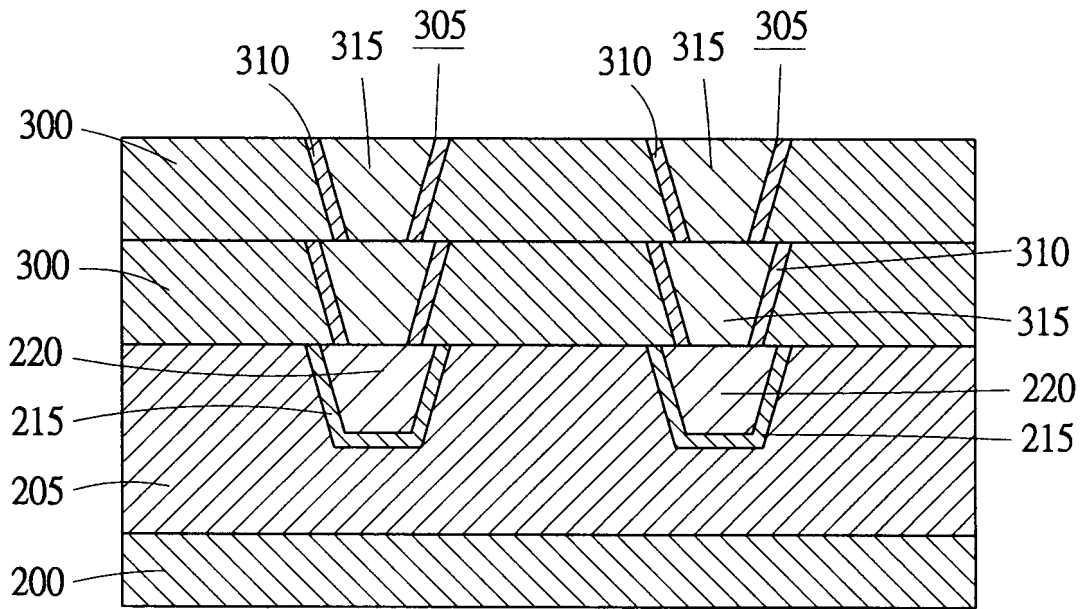
第十A圖

400



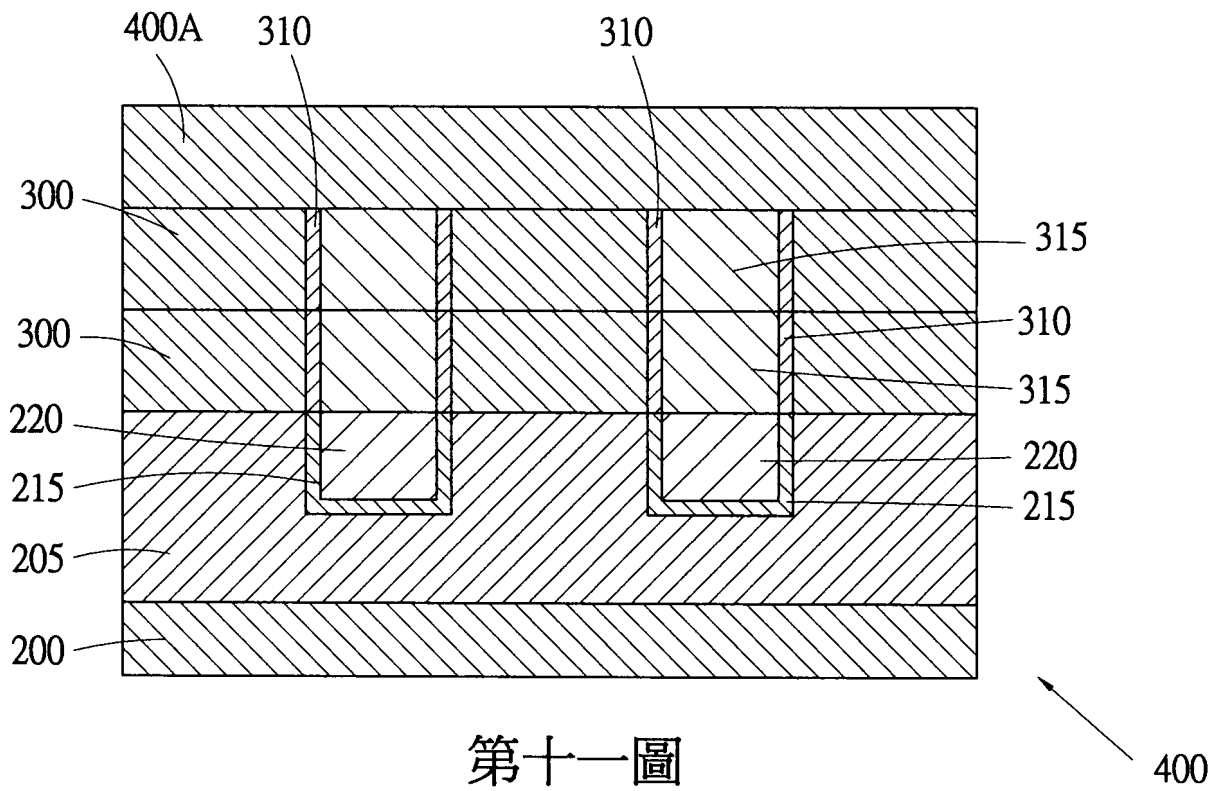
第十B圖

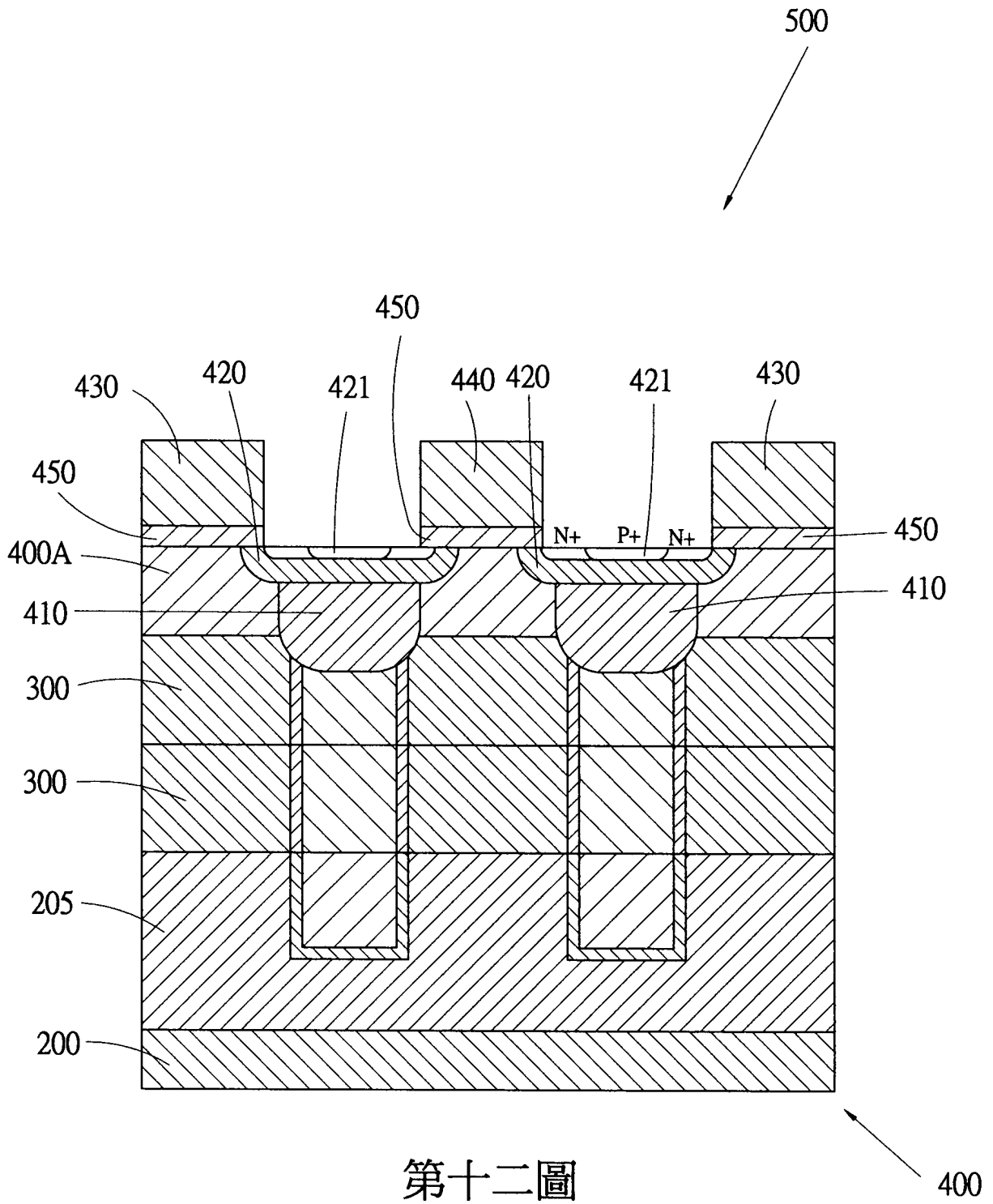
400



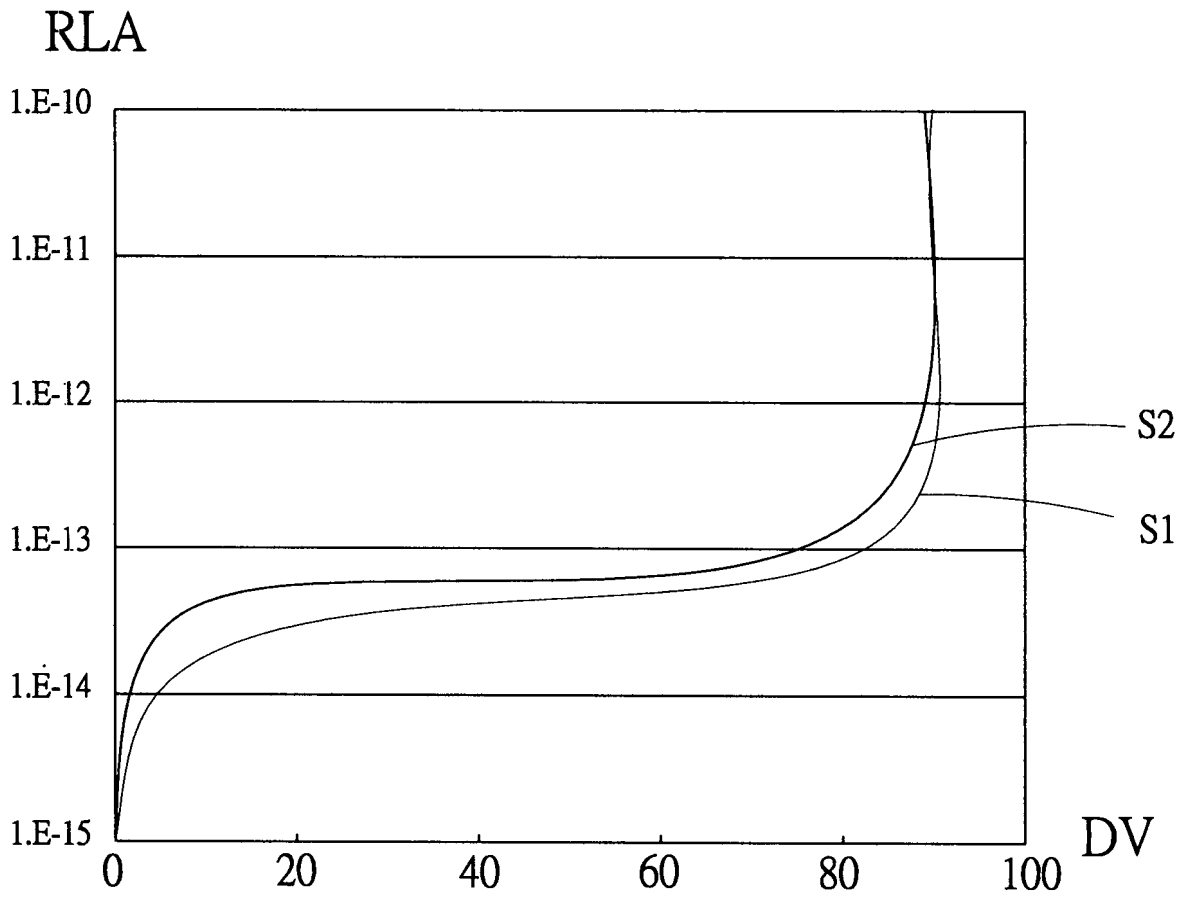
第十C圖

400

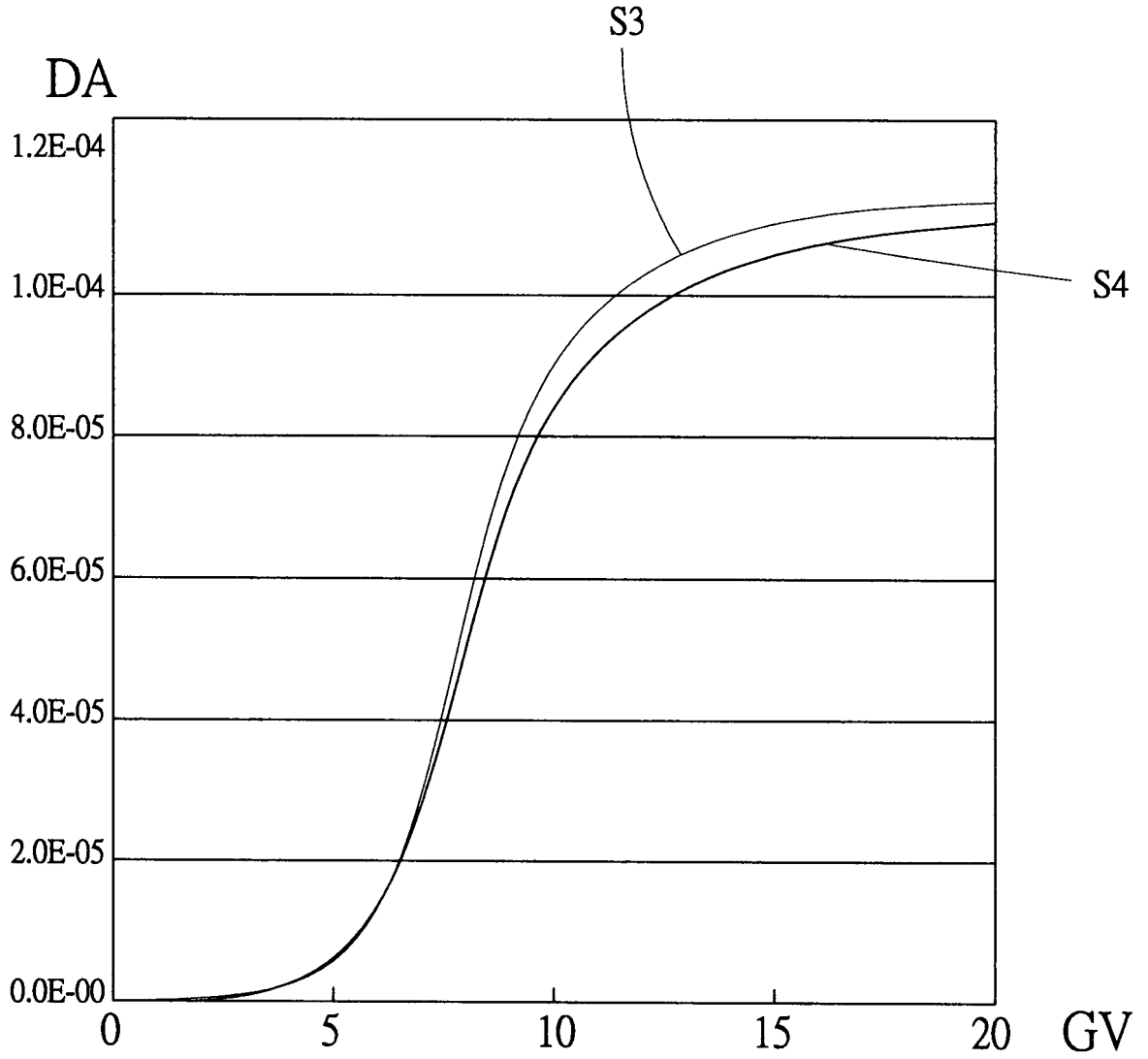




第十二圖



第十三圖



第十四圖

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

- 10 下層磊晶層堆疊
- 20 溝槽形成
- 30 溝槽邊牆形成高濃度摻雜層
- 40 填充層填充
- 50 平坦化處理
- 60 複數層磊晶層堆疊處理
- 70 製備形成一複數層磊晶堆疊之半導體基材

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：