



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월27일
 (11) 등록번호 10-1707897
 (24) 등록일자 2017년02월13일

(51) 국제특허분류(Int. Cl.)
 H01L 31/08 (2006.01) H01L 31/101 (2006.01)
 H01L 31/109 (2006.01)
 (52) CPC특허분류
 H01L 31/08 (2013.01)
 H01L 31/101 (2013.01)
 (21) 출원번호 10-2015-0147847
 (22) 출원일자 2015년10월23일
 심사청구일자 2015년10월23일
 (56) 선행기술조사문헌
 US20140252524 A1*
 KR1020110034353 A
 JP2008311651 A*
 JP2015084392 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 국방과학연구소
 대전광역시 유성구 북유성대로488번길 160 (수남동)
 (72) 발명자
 박일홍
 경기도 수원시 장안구 서부로 2066, 제2공학관 502호 (천천동, 성균관대학교)
 이지
 경기도 수원시 장안구 서부로 2066, 제2공학관 501호 (천천동, 성균관대학교)
 (뒷면에 계속)
 (74) 대리인
 한양특허법인

전체 청구항 수 : 총 6 항

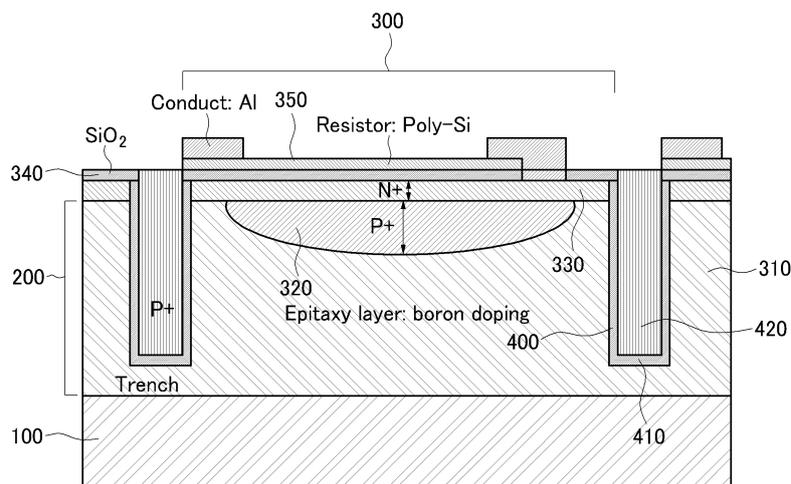
심사관 : 방기인

(54) 발명의 명칭 **실리콘 광 증배 소자**

(57) 요약

실리콘 광 증배 소자에 관한 것으로서, 본 발명의 일 실시예에 따른 실리콘 광 증배 소자(Silicon Photomultiplier)는 P 타입의 기판; 및 기판 상에 형성된 복수의 PN 접합이 형성된 마이크로 픽셀 및 P 타입의 물질이 형성된 트랜치를 포함하는 액티브(Active) 영역을 포함한다. 이때, 트랜치에 포함된 P 타입 물질의 이온 농도는 기판에 형성된 P 타입 물질의 이온 농도 보다 높은 것이고, 트랜치는 상기 복수의 마이크로 픽셀 사이에 배치되어 각각의 마이크로 픽셀을 분리하도록 형성된다.

대표도 - 도3b



- (52) CPC특허분류
H01L 31/103 (2013.01)
H01L 31/109 (2013.01)

전진아

서울특별시 송파구 올림픽로35길 104, 25동 1006호
(신천동, 장미아파트)

- (72) 발명자

이혜영

충청북도 청주시 흥덕구 오송읍 오송가락로 235,
110동 301호 (청원오송휴먼시아1단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	UD110112FD
부처명	방위사업청
연구관리전문기관	국방과학연구소
연구사업명	국방 특화 연구실 사업
연구과제명	차세대 광센서 특화 연구실
기 여 율	1/1
주관기관	성균관대학교 산학협력단
연구기간	2011.10.16 ~ 2013.12.31

명세서

청구범위

청구항 1

실리콘 광 증배 소자(Silicon Photomultiplier)에 있어서,

P 타입의 기판; 및

상기 기판 상에 형성된 복수의 PN 접합이 형성된 마이크로 픽셀 및

P 타입의 물질이 형성된 트랜치를 포함하는 액티브(Active) 영역을 포함하되,

상기 트랜치에 포함된 P 타입 물질의 이온 농도는 상기 기판에 형성된 P 타입 물질의 이온 농도보다 높은 것이
고, 상기 트랜치는 상기 복수의 마이크로 픽셀 사이에 배치되어 각각의 마이크로 픽셀을 분리하며,

상기 트랜치에 포함된 P 타입의 물질은 보로포스포실리카 글라스(borophosphosilicate glass, BPSG)를 포함하는
것인,

실리콘 광 증배 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 트랜치는 광 차단 물질을 포함하고, 상기 광 차단물질을 둘러싸는 P 타입의 물질로 형성된 것인,

실리콘 광 증배 소자.

청구항 4

제 3 항에 있어서,

상기 광 차단 물질은 절연물질(oxide) 또는 고분자 물질로 이루어진 것인,

실리콘 광 증배 소자.

청구항 5

실리콘 광 증배 소자(Silicon Photomultiplier)에 있어서,

N 타입의 기판; 및

상기 기판 상에 형성된 복수의 마이크로 픽셀 및

N 타입의 물질이 형성된 트랜치를 포함하는 액티브(Active) 영역을 포함하되,

상기 트랜치에 포함된 N 타입 물질의 이온 농도는 상기 기판에 형성된 N 타입 물질의 이온 농도보다 높은 것이
고, 상기 트랜치는 상기 복수의 마이크로 픽셀 사이에 배치되어 각각의 마이크로 픽셀을 분리하며,

상기 트랜치에 포함된 N 타입의 물질은 포스포실리카 글라스 (phosphosilicate glass, PSG)를 포함하는 것인,

실리콘 광 증배 소자.

청구항 6

삭제

청구항 7

제 5 항에 있어서,
 상기 트랜치는 광 차단 물질을 포함하고, 상기 광 차단물질을 둘러싸는 N 타입의 물질로 형성된 것인,
 실리콘 광 증배 소자.

청구항 8

제 7 항에 있어서,
 상기 광 차단 물질은 절연물질(oxide) 또는 고분자 물질로 이루어진 것인,
 실리콘 광 증배 소자.

발명의 설명

기술 분야

[0001] 본원은 실리콘 광 증배 소자에 관한 것이다.

배경 기술

[0002] 최근 광센서 분야에서 기존의 광증배 소자(PMT, Photomultiplier)를 대체하기 위해 고안된 실리콘 광증배 소자(Silicon Photomultiplier; SiPM)는 초소형으로 제작이 가능하고, 상온에서 매우 낮은 전압으로 동작되며(일반적으로 25~100V), 자기장에 영향을 받지 않는 특징을 가지고 있다. 또한, 실리콘 광증배 소자는 100만배로 신호를 증폭시킬 수 있어, 단일 광자의 측정이 가능하고 암실에서도 밝은 영상을 얻을 수 있다.

[0003] 실리콘 광증배 소자는 다수의 마이크로 픽셀(Micro-pixel)을 포함하여 이루어진다. 일반적인 실리콘 광증배 소자는 1mm²의 면적당 10~100um 크기의 마이크로 픽셀이 약 100~1000개가 집적된다.

[0004] 도 1은 일반적인 실리콘 광증배 소자에 포함된 어느 하나의 마이크로 픽셀의 단면도를 도시한 도면이다. 각 마이크로 픽셀은 도 1에 도시된 바와 같이, p+ 전도성 타입의 기판(14) 위에 20nm - 5um의 두께로 형성된 p- 전도성 타입의 에피택시층(Epitaxial Layer, 13)과, 에피택시층(13) 내에 순차적으로 p 이온과 n+ 이온을 주입하여 형성된 PN 접합층(PN-Junction Layer, 12)을 포함한다.

[0005] 마이크로 픽셀의 간단한 동작 원리는 다음과 같다. PN 접합층(12)에서는 n형에서 p형 방향으로 매우 강한 전기장이 형성됨에 따라 얇은 공핍 영역(Depletion Region)이 형성된다. 이때, 마이크로 픽셀로 입사되는 빛(광자)에 의해 생성된 전자-정공 짝(Electron-Hole Pair)이 형성되어 있는 전기장에 의해 가속된다. 이렇게 가속된 전자-정공 짝은 전자사태 방전(Avalanche Breakdown)을 야기시키고, 전자사태 방전에 의해 신호가 증폭된다. 각 마이크로 픽셀은 도 2에 도시된 게이저 모드(Geiger Mode)에서 동작하며, 복수의 증폭된 신호가 하나의 출력으로 합쳐진다. 도 2는 일반적인 실리콘 광증배 소자에서 에피택시층 내 전기장의 분포를 나타내는 도면이다.

[0006] 한편, 실리콘 광증배 소자에서 발생하는 누설 전류(Leakage Current)는 실리콘 광증배 소자의 성능에 악영향을 미칠 수 있다.

[0007] 구체적으로, 마이크로 픽셀 내에서 야기되는 누설 전류에 의해 전자사태 방전이 되기 전에 이른 방전(Premature breakdown)을 발생시킬 수 있고, 설계자가 의도 및 계산했던 것보다 빛과 상관없는 노이즈 신호가 증폭되어 전체적인 출력이 노이즈해 질 수 있다.

[0008] 한편, 한국공개특허 제2012-0124559호(발명의 명칭: 실리콘 광전자증배의 트랜치 가드링 형성방법 및 이를 이용하여 제조된 실리콘 광전자증배)는 트랜치 외벽에 트랜치 가드링을 형성함으로써, 마이크로 셀 타입의 어레이로 이루어진 아발란치 포토다이오드 간의 광 간섭 및 전류 누설을 효과적으로 방지하는 기술에 대해 설명하고 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 일부 실시예는 누설 전류를 효율적으로 차단하는 P 타입 실리콘 기판의 경우 P+ 영역, N 타입 실리콘 기판의 경우 N+가 형성된 트랜치를 형성하여 누설전류의 전달 통로가 되는 공핍 영역 연결을 차단함으로써 누설

전류를 차단하여 전자사태 방전이 되기 전에 발생하는 이른 방전을 방지하고 전체적인 성능을 보장할 수 있는 실리콘 광증배 소자를 제공하는 데에 그 목적이 있다.

[0010] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0011] 상기한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 실시예에 따른 실리콘 광 증배 소자(Silicon Photomultiplier)는 P 타입의 기판; 및 기판 상에 형성된 복수의 PN 접합이 형성된 마이크로 픽셀 및 P 타입의 물질이 형성된 트랜치를 포함하는 액티브(Active) 영역을 포함한다. 이때, 트랜치에 포함된 P타입 물질의 이온 농도는 기판에 형성된 P타입 물질의 이온 농도 보다 높은 것이고, 트랜치는 상기 복수의 마이크로 픽셀 사이에 배치되어 각각의 마이크로 픽셀을 분리하도록 형성된다.

[0012] 또한, 본 발명의 다른 실시예에 따른 실리콘 광 증배 소자(Silicon Photomultiplier)는 N 타입의 기판; 및 기판 상에 형성된 복수의 마이크로 픽셀 및 N 타입의 물질이 형성된 트랜치를 포함하는 액티브(Active) 영역을 포함한다. 이때, 트랜치에 포함된 N 타입 물질의 이온 농도는 기판에 형성된 N 타입 물질의 이온 농도 보다 높은 것이고, 트랜치는 복수의 마이크로 픽셀 사이에 배치되어 각각의 마이크로 픽셀을 분리하도록 형성된다.

발명의 효과

[0013] 전술한 본 발명의 과제 해결 수단 중 어느 하나인 실리콘 광증배 소자는 사용하는 실리콘 기판의 타입이 P 타입이면 P+, N 타입이면 N+로, 동일하면서도 농도가 높은 이온으로 만들어진 영역을 트랜치 내에 형성함으로써, 누설전류의 전달 통로가 되는 공핍 영역 연결을 차단함으로써 누설 전류를 차단하여, 전자사태 방전 전에 발생하는 이른 방전 현상을 막을 수 있다.

[0014] 또한, 각 마이크로 픽셀의 신호 대 잡음(SNR) 특성을 향상시킬 수 있으며, 전체 소자의 성능에 대한 신뢰성을 보장할 수 있다.

도면의 간단한 설명

[0015] 도 1은 일반적인 실리콘 광증배 소자 및 그에 포함된 어느 하나의 마이크로 픽셀을 나타낸 도면이다.
 도 2는 도 1의 마이크로 픽셀에 있어서, 제 1 및 제 2 접합층 및 에피택시층 각각의 도핑농도에 대응하여, 동작 전압 인가에 따른 활성영역의 전기장 분포를 나타낸 도면이다.
 도 3a는 본 발명의 일 실시예에 따른 실리콘 광증배 소자의 평면도를 나타낸 것이다.
 도 3b는 본 발명의 일 실시예에 따른 실리콘 광증배 소자의 단면도를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0016] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0018] 실리콘 광증배소자는 수십 ~ 1천개의 마이크로 픽셀(micropixel)로 구성되어 있으며, 각각의 마이크로 픽셀은 가드링 또는 트랜치에 의하여 전기적으로 분리될 수 있다.

[0019] PN 접합의 가장자리에 설치된 트랜치는 반도체 공정 중 열처리 공정을 진행하게 되면 트랜치의 실리콘 표면에서 이온들이 빠져나오면서 충분한 양의 전하 운반자가 존재하지 못하는 공핍(Depletion) 영역 발생하게 된다. 또한 열처리 공정을 통해 실리콘 기판의 표면 또한 공핍층이 발생된다. 이때 이 공핍층들은 서로 연결된다. 표면 누설전류들은 이 공핍층을 통해 이동하게 됨으로써 누설 전류는 실리콘 광증배 소자의 마이크로 픽셀로 공급된다.

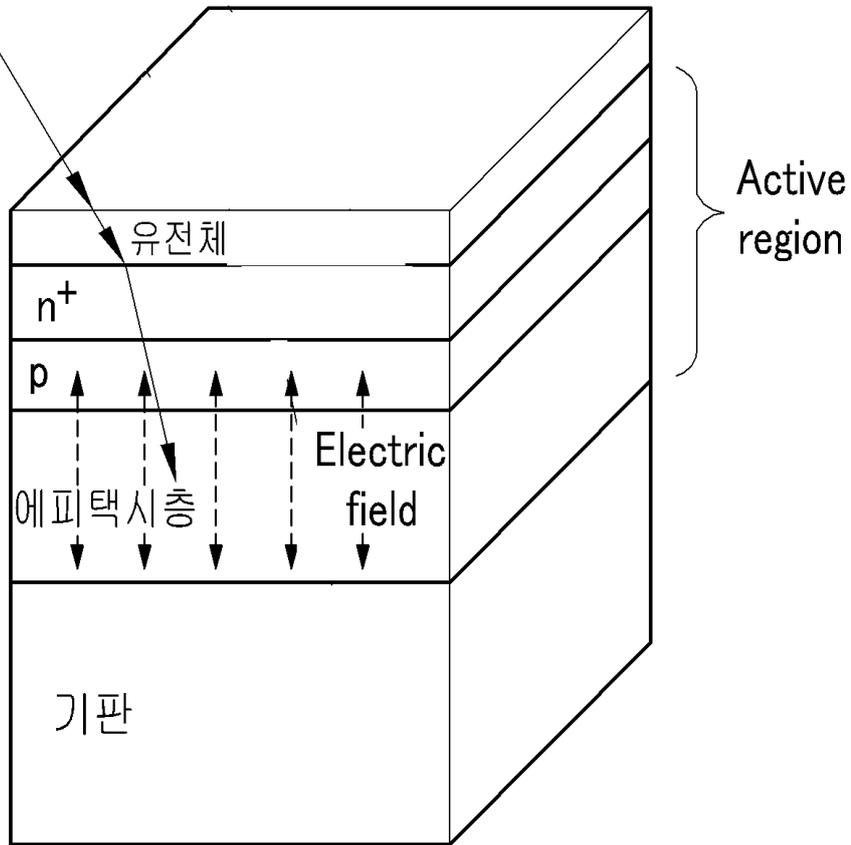
따라서, 본 발명의 일 실시예에 따른 실리콘 광 증배 소자는 P 타입 실리콘 기판일 경우 P+ 영역이 형성된 트랜치를 형성함으로써, 마이크로 픽셀을 전기적 및 광학적으로 분리시키고, 공핍 영역을 차단함으로써 누설전류의 이동 경로를 완벽히 차단하여, 전체 소자의 성능에 대한 신뢰성을 보장하고자 한다.

- [0020] 도 3a는 본 발명의 일 실시예에 따른 실리콘 광증배 소자의 평면도를 도시한 도면이고, 도 3b는 본 발명의 일 실시예에 따른 실리콘 광증배 소자의 단면도를 나타낸 것이다.
- [0021] 본 발명의 일 실시예에 따른 실리콘 광증배 소자(10)는 기판(100) 및 액티브(Active) 영역(200)을 포함한다.
- [0022] 기판(100)은 p 전도성 타입으로 도핑되고, 실리콘 기판일 수 있다. 이때, 기판(100)의 도핑 농도는 $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 의 고농도이거나, 자연적으로 발생하는 암전류(Dark Current)를 감소시키기 위해 $10^{12} \sim 10^{16} \text{ cm}^{-3}$ 의 저농도일 수도 있다.
- [0023] 액티브(Active) 영역(200)은 기판 상에 형성되고 기설정된 복수 개의 마이크로 픽셀(Micro-Pixel; MP)(300), 및 P+ 영역이 형성된 트랜치(400)를 포함한다. 여기서 P+ 영역이란, 주변보다 P타입의 불순물의 농도가 높은 영역을 뜻한다.
- [0024] 마이크로 픽셀(300)은 에피텍시층(310), P형 반도체층(320), N형 반도체층(330), N형 반도체층(330) 상에 형성된 절연층(340) 및 절연층(340) 상에 형성된 폴리 실리콘 저항(Poly silicon resistor)(350)을 포함할 수 있다.
- [0025] 또한, 마이크로 픽셀(300)은 P형 반도체층(320) 및 N형 반도체층(330)이 이루는 PN 접합층과 접촉되는 컨택(contact)을 포함할 수 있다. 참고로, 컨택은 기판의 종류에 따라 P형 반도체층(320) 및 N형 반도체층(330) 중 하나 이상과 접촉될 수 있다.
- [0026] 에피텍시층(310)은 상술한 기판 위에 형성되고, 기판과 동일한 P 전도성 타입으로 도핑된다 에피텍시층의 도핑 농도는 실리콘 기판과 달리 $10^{14} \sim 10^{18} \text{ cm}^{-3}$ 이거나, 자연적으로 발생하는 암전류를 감소시키기 위해 실리콘 기판과 동일한 $10^{12} \sim 10^{16} \text{ cm}^{-3}$ 일 수 있다.
- [0027] 참고로, P형 반도체층(320) 및 N형 반도체층(330)에 의해 에피텍시층(310) 내에는 PN 접합층이 성장되고, PN 접합에 의해 공핍 영역이 형성될 수 있다. 일반적으로 PN 접합층은 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 의 도핑 농도로 형성되고 실리콘 기판과 동일한 전도성 타입의 제 1 전도성층과, $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 의 도핑 농도로 형성되고 실리콘 기판과 반대인 전도성 타입의 제 2 전도성층으로 이루어진다. 다시 말해, 실리콘 기판이 p 전도성 타입이므로, PN 접합층을 이루는 제 1 전도성층은 P 전도성 타입이고 제 2 전도성층은 N 전도성 타입이다.
- [0028] 공핍 영역에서는 전자사태 방전이 발생될 수 있으며, 이는 마이크로 픽셀로 입사되는 빛의 증폭과 매우 밀접한 관계를 가진다. 따라서, 마이크로 픽셀로 입사되는 빛이 증폭되기 위해서는, 입사광이 PN 접합층까지 효율적으로 전달됨이 바람직하다.
- [0029] 절연층(340)은 상술한 PN 접합층에서 발생하는 유효 광전류를 증가시키기 위해 PN 접합층 위에 형성된다. 특히, 절연층(340)은 종래 사용되던 실리콘 옥사이드 계열의 물질 대신에 실리콘 질화막으로 제작되어 각 마이크로 픽셀의 광 검출 효율(Photo Detection Efficiency)을 높일 수 있다.
- [0030] P+ 영역이 형성된 트랜치(400)는 액티브 영역에 포함된, 복수개의 마이크로 픽셀을 각각 구분한다. 즉, P+ 영역이 형성된 트랜치(400)는 마이크로 픽셀 사이에 배치되어 각 마이크로 픽셀을 전기적 및 광학적으로 서로 분리시킬 수 있다.
- [0031] 이때, P+ 영역이 형성된 트랜치(400)는 일반적인 트랜치를 형성하는 공정을 수행한 후, 트랜치의 내부를 BPGS(Borophosphosilicate glass)로 채우는 갭필(gap filling) 공정을 통해 형성할 수 있다. 이때, 트랜치의 형성은 종래의 트랜치의 형성 방법과 동일하게 형성될 수 있으므로, 제조 방법에 대한 상세한 설명은 생략하도록 한다.
- [0032] 또한, 본 발명의 일 실시예에 따르면, 트랜치의 내부에 P+ 영역을 형성하는 갭필 공정 후에 열처리 공정을 더 수행할 수 있다.
- [0033] 한편, 본 발명의 다른 실시예에 따른 실리콘 광 증배 소자는 기판과 접하는 트랜치 내부의 가장자리 영역(410)을 3000Å의 두께 이상의 BPGS로 채워 P+ 영역을 형성하고, 나머지 내부 영역(420)은 산화막(Oxide) 또는 고분자

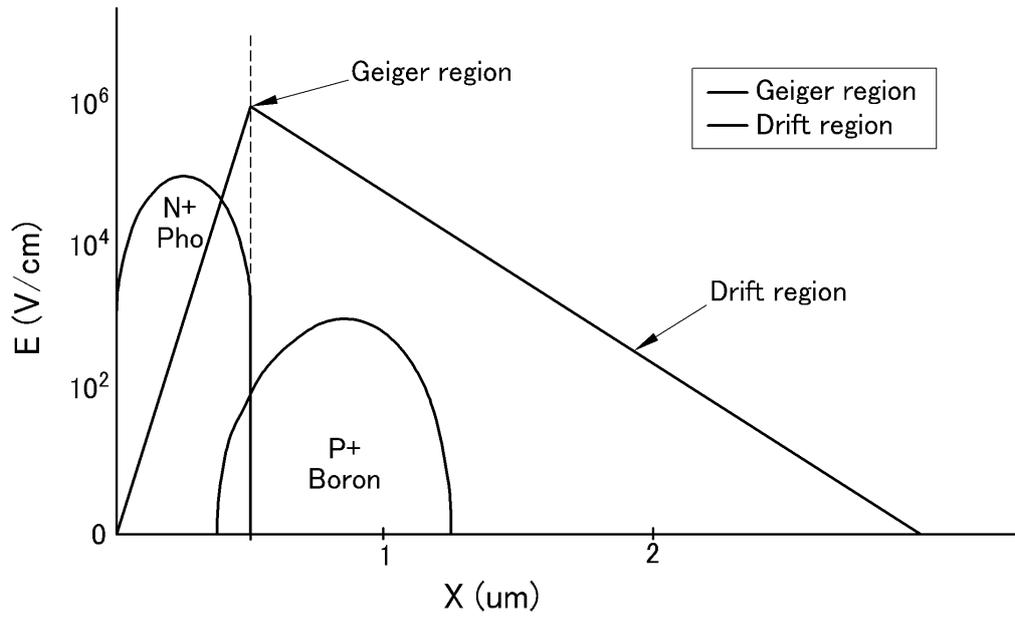
도면

도면1

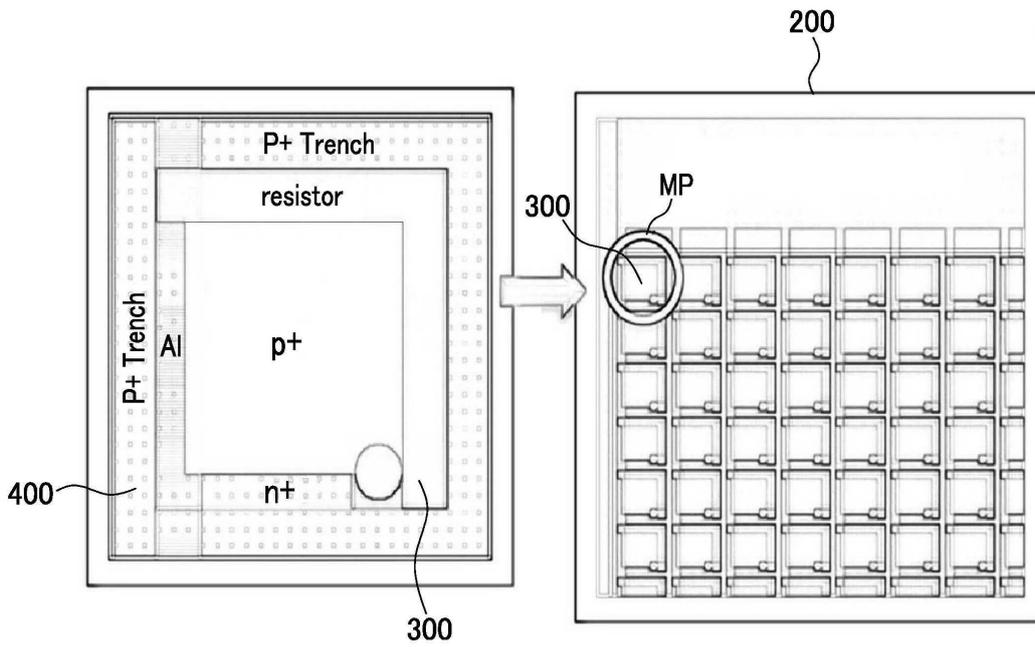
가시광선



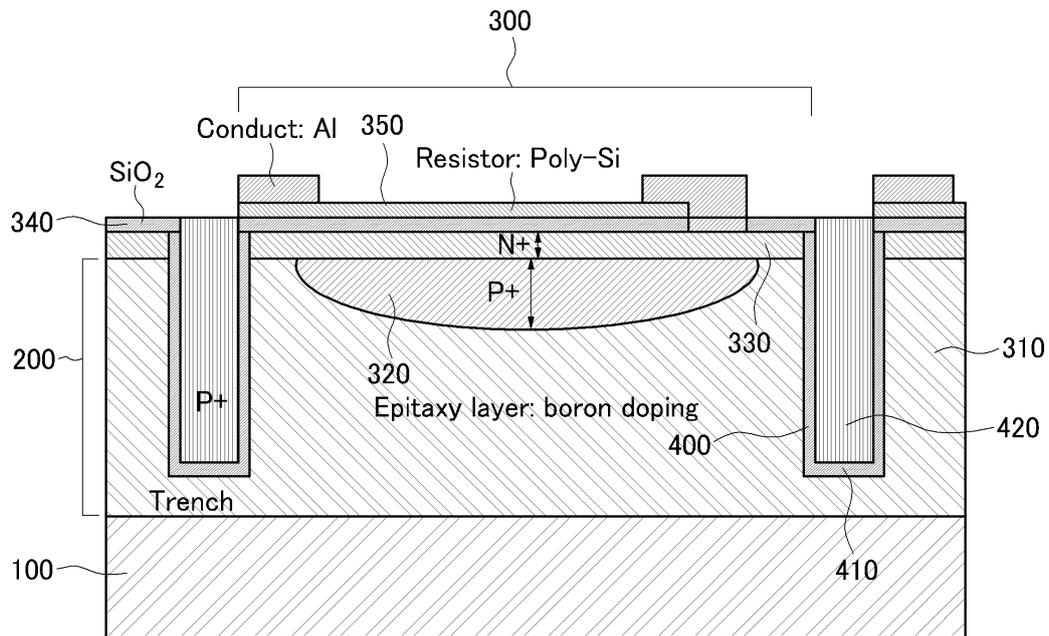
도면2



도면3a



도면3b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

포스포실리카 글라스 (phosphosilicate glass, PGS)

【변경후】

포스포실리카 글라스 (phosphosilicate glass, PSG)