



(12) 发明专利申请

(10) 申请公布号 CN 106298930 A

(43) 申请公布日 2017. 01. 04

(21) 申请号 201610012076. 5

(22) 申请日 2016. 01. 08

(30) 优先权数据

104120969 2015. 06. 29 TW

(71) 申请人 新唐科技股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 许健 杨绍明

苏柏拉曼亚·加亚谢拉拉欧

钱德拉·谢卡尔

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 汤在彦

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

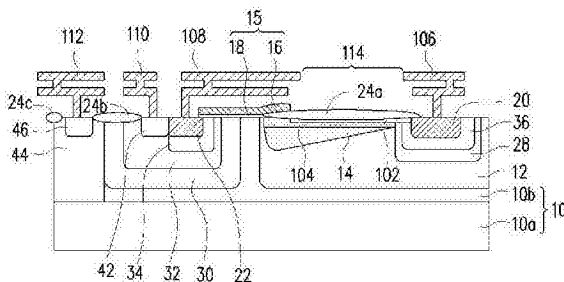
权利要求书3页 说明书7页 附图7页

(54) 发明名称

金属氧化物半导体场效应晶体管及其制造方法

(57) 摘要

本发明提供一种金属氧化物半导体场效应晶体管及其制造方法。该金属氧化物半导体场效应晶体管包括：具有第一导电型的漏极区、具有第一导电型的源极区、栅极结构、具有第二导电型的第一顶掺杂区以及具有第二导电型的插入掺杂层。漏极区位于衬底中。源极区位于衬底中，且环绕于漏极区周围。栅极结构位于漏极区与源极区之间的衬底上。第一顶掺杂区位于源极区与漏极区之间的衬底中。插入掺杂层位于栅极结构与漏极区之间的第一顶掺杂区上。



1. 一种金属氧化物半导体场效应晶体管,其特征在于,包括:
 - 一漏极区,具有一第一导电型,位于一衬底中;
 - 一源极区,具有该第一导电型,位于该衬底中,环绕于该漏极区周围;
 - 一栅极结构,位于该漏极区与该源极区之间的该衬底上;
 - 一第一顶掺杂区,具有一第二导电型,位于该源极区与该漏极区之间的该衬底中;以及
 - 一插入掺杂层,具有该第二导电型,位于该栅极结构与该漏极区之间的该第一顶掺杂区上。
2. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,该插入掺杂层与该第一顶掺杂区至少部分重叠。
3. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,该插入掺杂层更位于未被该栅极结构所覆盖的该衬底中。
4. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,该插入掺杂层的掺杂浓度的高斯分布与该第一顶掺杂区的掺杂浓度的高斯分布不同。
5. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,该插入掺杂层的离子植入深度为200nm~500nm。
6. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,该插入掺杂层的掺杂浓度为 $6 \times 10^{15}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 。
7. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,更包括一第二顶掺杂区,具有该第一导电型,位于该插入掺杂层与该第一顶掺杂区之间。
8. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,更包括:
 - 一第一掺杂区,具有该第一导电型,位于该漏极区周围的该衬底中,使该第一顶掺杂区与该漏极区位于该第一掺杂区内;
 - 一第二掺杂区,具有该第一导电型,位于该源极区周围的该衬底中;
 - 一第三掺杂区,具有该第二导电型,位于该第一导电型第二掺杂区之中;
 - 一第四掺杂区,具有该第一导电型,位于该第一导电型第一掺杂区中,与该第一顶掺杂区相邻;两个浓掺杂区,具有该第一导电型,分别位于该第四掺杂区以及该第三掺杂区中,且使该源极区与该漏极区分别位于其中;以及
 - 一第五掺杂区,具有该第二导电型,该第五掺杂区邻接该漏极区。
9. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,更包括一隔离结构,位于该顶掺杂区上,其中部分该栅极结构覆盖部分该隔离结构。
10. 如权利要求1所述的金属氧化物半导体场效应晶体管,其特征在于,更包括:
 - 一第一金属内连线,电连接至该漏极区;以及
 - 一第二金属内连线,电连接至该源极区,其中该第一金属内连线与该第二金属内连线之间具有至少一开口,该开口位于该第一顶掺杂区的上方。
11. 一种金属氧化物半导体场效应晶体管的制造方法,其特征在于,包括:
 - 于一衬底上形成一栅极结构;
 - 于该栅极结构的一第一侧的该衬底中形成具有一第一导电型的一漏极区;
 - 于该栅极结构的一第二侧的该衬底中形成具有该第一导电型的一源极区,该源极区环

绕于该漏极区周围；

于该源极区与该漏极区之间的该衬底中形成具有一第二导电型的一第一顶掺杂区；以及

于该栅极结构与该漏极区之间的该第一顶掺杂区上形成具有该第二导电型的一插入掺杂层，其中该插入掺杂层与该第一顶掺杂区部分重叠。

12. 如权利要求11所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，该插入掺杂层的形成方法包括：

在形成该漏极区以及该源极区之后，对该衬底进行一离子植入工艺，以于未被该栅极结构所覆盖的该衬底中形成该插入掺杂层。

13. 如权利要求12所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，该离子植入工艺的离子植入深度为200nm~500nm，其离子植入浓度为 $6 \times 10^{15}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 。

14. 如权利要求11所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，更包括形成一隔离结构于该第一顶掺杂区上，其中部分该栅极结构覆盖部分该隔离结构。

15. 如权利要求14所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，该插入掺杂层的形成方法包括：

于该衬底上形成一图案化的掩膜层，该图案化的掩膜层暴露出该漏极区与该栅极结构之间的该隔离结构；

以该图案化的掩膜层为掩膜，进行一离子植入工艺，以形成该插入掺杂层；以及
移除该图案化的掩膜层。

16. 如权利要求15所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，该离子植入工艺的离子植入深度为200nm~500nm，离子植入浓度为 $6 \times 10^{15}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 。

17. 如权利要求11所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，在形成该第一顶掺杂区之后，更包括于该插入掺杂层与该第一顶掺杂区之间形成具有该第一导电型的一第二顶掺杂区。

18. 如权利要求11所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，更包括：

于该漏极区周围的该衬底中形成具有该第一导电型的一第一掺杂区，使该第一顶掺杂区与该漏极区位于该第一掺杂区内；

于该源极区周围的该衬底中形成具有该第一导电型的一第二掺杂区；

于该第二掺杂区之中形成具有该第二导电型的一第三掺杂区；

于该第一掺杂区中形成具有该第一导电型的一第四掺杂区，该第四掺杂区与该第一顶掺杂区相邻；以及

于该第四掺杂区以及该第三掺杂区中分别形成具有该第一导电型的一浓掺杂区，使该源极区与该漏极区分别位于其中。

19. 如权利要求18所述的金属氧化物半导体场效应晶体管的制造方法，其特征在于，在该衬底中形成具有该第一导电型的一外延层，使该第一掺杂区以及该第二掺杂区位于其中。

20. 如权利要求11所述的金属氧化物半导体场效应晶体管的制造方法,其特征在于,在形成该插入掺杂层之后,更包括:

于该衬底上形成一第一金属内连线,其电连接至该漏极区;以及

于该衬底上形成一第二金属内连线,其电连接至该源极区,其中该第一金属内连线与该第二金属内连线之间具有至少一开口,该开口位于该第一掺杂区的上方。

金属氧化物半导体场效应晶体管及其制造方法

技术领域

[0001] 本发明是有关于一种半导体元件及其制造方法,且特别是有关于一种金属氧化物半导体场效应晶体管及其制造方法。

背景技术

[0002] 一般而言,高压元件主要是应用在功率切换(Power switch)电路,如各项电源管理装置中提供电源开关切换之用。目前有两种参数左右着功率切换的市场:击穿电压(Breakdown voltage)与开启状态电阻(ON-state resistance),可随着不同需求而定。而设计高压元件的主要目标则是降低开启状态电阻,且同时保持高击穿电压。事实上,设计者若要达成击穿电压的规格要求,通常会牺牲开启状态电阻,因此击穿电压与开启状态电阻处于一种权衡关系。

[0003] 在进行可靠度测试时,高压元件内的电荷平衡为控制击穿电压的重要因素之一。而影响电荷平衡的原因如下:钝化污染(Passivation contamination)、封装胶体(Molding compound)以及工艺污染(Process contamination)。在发展较佳的钝化层材料以及封装胶体材料的同时,如何提供一种高压元件及其制造方法,以维持高压元件内的电荷平衡,进而提升产品可靠度将成为未来重要的一门课题。

发明内容

[0004] 本发明提供一种金属氧化物半导体场效应晶体管及其制造方法,其可维持金属氧化物半导体场效应晶体管内的电荷平衡,进而提升产品可靠度。

[0005] 本发明提供一种金属氧化物半导体场效应晶体管,包括:具有第一导电型的漏极区、具有第一导电型的源极区、栅极结构、具有第二导电型的第一顶掺杂区以及具有第二导电型的插入掺杂层。漏极区位于衬底中。源极区位于衬底中,且环绕于漏极区周围。栅极结构位于漏极区与源极区之间的衬底上。第一顶掺杂区位于源极区与漏极区之间的衬底中。插入掺杂层位于栅极结构与漏极区之间的第一顶掺杂区上。

[0006] 本发明提供一种金属氧化物半导体场效应晶体管的制造方法,其步骤如下。于衬底上形成栅极结构。于栅极结构的第一侧的衬底中形成具有第一导电型的漏极区。于栅极结构的第二侧的衬底中形成具有第一导电型的源极区。源极区环绕于漏极区周围。于源极区与漏极区之间的衬底中形成具有第二导电型的第一顶掺杂区。于栅极结构与漏极区之间的第一顶掺杂区上形成具有第二导电型的插入掺杂层。插入掺杂层与第一顶掺杂区部分重叠。

[0007] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0008] 图1为依照本发明的一实施例所绘示的一种金属氧化物半导体场效应晶体管的俯

视图。

[0009] 图2为图1的I-I剖面线的第一实施例的剖面示意图。

[0010] 图3为图1的I-I剖面线的第二实施例的剖面示意图。

[0011] 图4A至图4G为图2的制造流程的剖面示意图。

[0012] 图5A至图5B为图3的制造流程的剖面示意图。

[0013] 附图标号

[0014] 10、10a、10b:衬底

[0015] 12:第一掺杂区

[0016] 14:顶掺杂区

[0017] 15:栅极结构

[0018] 16:栅极

[0019] 18:栅介电层

[0020] 20:漏极区

[0021] 22:源极区

[0022] 24a、24b、24c:隔离结构

[0023] 28:第四掺杂区

[0024] 30:第二掺杂区

[0025] 32:第三掺杂区

[0026] 34、36:浓掺杂区

[0027] 42:第六掺杂区

[0028] 44:第七掺杂区

[0029] 46:第八掺杂区

[0030] 50:垫氧化层

[0031] 52:掩膜层

[0032] 54、58、114:开口

[0033] 56、62、66:图案化的掩膜层

[0034] 60:重叠区域

[0035] 64:掺杂区

[0036] 100、200:金属氧化物半导体场效应晶体管

[0037] 102、202:插入掺杂层

[0038] 104:顶掺杂区

[0039] 106、108、110、112:金属内连线

具体实施方式

[0040] 图1为依照本发明的一实施例所绘示的一种金属氧化物半导体场效应晶体管的俯视图。图2为图1的I-I剖面线的第一实施例的剖面示意图。为图面清楚起见,在图1中仅绘示出源极区、漏极区以及顶掺杂区。

[0041] 请参照图1、图2,本发明一实施例的金属氧化物半导体场效应晶体管100包括栅极结构15、源极区22、漏极区20以及顶掺杂区14。漏极区20位于衬底10中。在另一实施例中,上

述金属氧化物半导体场效应晶体管100可以更包括第一掺杂区12、第二掺杂区30、第三掺杂区32、第四掺杂区28以及浓掺杂区34、36。

[0042] 衬底10可以是半导体衬底10a,例如是硅衬底。衬底10中可以是具有P型掺杂或N型掺杂。P型掺杂可以是IIIA族离子,例如是硼离子。N型掺杂可以是VA族离子例如是砷离子或是磷离子。在本发明另一实施例中,衬底10亦可以包括半导体衬底10a以及位于其上方的外延层10b。在此实施例中,半导体衬底10a为P型衬底,外延层10b可为N型外延层(N-epi)。

[0043] 第一掺杂区12(例如第一N型阱)具有第一导电型,位于衬底10中,使顶掺杂区14、第四掺杂区(例如第二N型阱)28、浓掺杂区36与漏极区20位于其中。第四掺杂区28具有第一导电型,与顶掺杂区14相邻。第四掺杂区28的掺杂浓度高于第一掺杂区12。

[0044] 浓掺杂区36具有第一导电型,位于第四掺杂区28内。浓掺杂区36的掺杂浓度高于第四掺杂区28,用以降低串联电阻。

[0045] 漏极区20具有第一导电型,位于浓掺杂区36之中。漏极区20的掺杂浓度高于浓掺杂区36。漏极区20投影至衬底10表面的形状例如是呈至少一U型。在另一实施例中,漏极区20投影至衬底10表面的形状可以是由两个U型或更多个U型所构成,或其他形状,但本发明并不限于此。

[0046] 第二掺杂区(例如可为HVNW)30具有第一导电型,位于衬底10中。第二掺杂区30使第三掺杂区(例如P型阱)32、浓掺杂区34以及源极区22位于其中。第三掺杂区32具有第二导电型,位于第二掺杂区30之中。浓掺杂区34,位于第三掺杂区32中,用以降低串联电阻。

[0047] 栅极结构15包括栅极16以及栅介电层18。栅极16位于源极区22与漏极区20之间的衬底10上。更具体地说,在一实施例中,栅极16从源极区22起,向漏极区20方向延伸,覆盖第一掺杂区12以及部分的顶掺杂区14。在另一实施例中,栅极16从源极区22起,覆盖浓掺杂区34、第三掺杂区32、第二掺杂区30、第一掺杂区12以及部分顶掺杂区14。栅极16为导电材质例如金属、多晶硅、掺杂多晶硅、多晶硅化金属或其组合而成的堆叠层。在一实施例中,栅极结构15与顶掺杂区14之间以隔离结构(或称为飘移隔离结构)24a相隔。通过栅极结构15覆盖部分隔离结构24a的架构,可使漏极区20与源极区22之间所形成的电场中最大电场强度的位置往隔离结构24a下方偏移,而非落在栅介电层18下方,避免厚度较薄的栅介电层18被过强的电场击穿。隔离结构24a例如是局部热氧化隔离结构,其材质为绝缘材料,例如是氧化硅。栅介电层18位于栅极16与衬底10之间。

[0048] 顶掺杂区14具有第二导电型,位于栅极结构15的第一侧。更具体地说,顶掺杂区14位于栅极结构15与漏极区20之间的第一掺杂区12中,与第四掺杂区28相邻,且部分的顶掺杂区14与栅极结构15重叠。在一实施例中,顶掺杂区14中的掺杂浓度梯度可呈线性。亦即,顶掺杂区14中的掺杂浓度自接近栅极结构15处至接近漏极区20处呈线性渐减。顶掺杂区14的掺杂区域自栅极结构15至漏极区20深度渐减,顶掺杂区14的底部的轮廓大致呈线性。在一实施例中,顶掺杂区14的掺杂区域自栅极结构15至漏极区20深度亦可相同。

[0049] 值得注意的是,在本实施例中,金属氧化物半导体场效应晶体管100更包含具有第二导电型的插入掺杂层102以及具有第一导电型的顶掺杂区104。插入掺杂层102位于栅极结构15与漏极区20之间,且位于隔离结构24a的下方的顶掺杂区14上且插入掺杂层102与顶掺杂区14部分重叠。插入掺杂层102的深度例如是小于500nm。在一实施例中,插入掺杂层102的深度例如是200nm~500nm。由于插入掺杂层102位于隔离结构24a的下方的顶掺杂区

14上,其可平衡隔离结构24a与衬底10之间的界面电荷,以提升产品可靠度。此外,在形成插入掺杂层102时,其掺质亦会穿透隔离结构24a。因此,穿透隔离结构24a的部分掺质亦可平衡隔离结构24a中的固定电荷,以提升产品可靠度。在一实施例中,插入掺杂层102的掺杂浓度的高斯分布与顶掺杂区14的掺杂浓度的高斯分布不同。具体来说,在掺杂深度(亦即衬底10的顶面向下延伸距离)为200nm~500nm之间,插入掺杂层102的掺杂浓度可大于顶掺杂区14的掺杂浓度。在本实施例中,顶掺杂区14可以电荷平衡,使得元件达到其击穿电压。插入掺杂层102则是可以抵抗钝化污染、封装胶体以及工艺污染,以提升元件的可靠度。

[0050] 在一实施例中,顶掺杂区104位于插入掺杂层102与顶掺杂区14之间以及隔离结构24a与顶掺杂区14之间。顶掺杂区104可降低金属氧化物半导体场效应晶体管10的开启状态电阻。但本发明不以此为限,在其他实施例中,亦可不形成顶掺杂区104于插入掺杂层102与顶掺杂区14之间。

[0051] 源极区22具有第一导电型,位于栅极结构15的第二侧的浓掺杂区34之中。源极区22的掺杂浓度高于浓掺杂区34。源极区22环绕于漏极区20周围。更具体地说,源极区22环绕于顶掺杂区14的外围。

[0052] 另外,上述金属氧化物半导体场效应晶体管100的第三掺杂区32中还包括具有第二导电型的第六掺杂区42,其用以作为第三掺杂区32的接点。此外,在衬底10中包括第七掺杂区44与第八掺杂区46(绘示于图2)。第七掺杂区44具有第二导电型,位于第二掺杂区30周围。第八掺杂区46具有第二导电型,位于第七掺杂区44之中。第六掺杂区42与第八掺杂区46之间具有隔离结构24b;而第八掺杂区46的另一侧亦具有隔离结构24c。

[0053] 此外,金属氧化物半导体场效应晶体管100更包括金属内连线106、108、110、112。金属内连线106电连接至漏极区20。金属内连线108电连接至源极区22。金属内连线110电连接至第六掺杂区42。金属内连线112电连接至第八掺杂区46。金属内连线106与金属内连线108之间具有至少一开口114。开口114配置于顶掺杂区14的上方。位于隔离结构24a上方的金属内连线106、108,其除了用以当作金属内连线之外,还可视为场板。因此,位于隔离结构24a上方的金属内连线106、108可降低表面电场,以有效提升击穿电压以及降低开启状态电阻。在一实施例中,使用者可依需求调整顶掺杂区14上方的开口114的大小,以最佳化元件的击穿电压以及开启状态电阻。虽然图2中的金属内连线106、108、110、112仅只有两层导体层,但本发明不以此为限,在其他实施例中,金属内连线106、108、110、112亦可为一层导体层或多层导体层。

[0054] 上述第一导电型可以是P型或N型;上述第二导电型可以是N型或P型。在本实施例中,是以第一导电型为N型;第二导电型为P型为例来说明之,但,本发明并不以此为限。

[0055] 图3为图1的I-I剖面线的第二实施例的剖面示意图。

[0056] 请参照图3,本发明第二实施例的金属氧化物半导体场效应晶体管200与第一实施例的金属氧化物半导体场效应晶体管100相似,其不同之处在于:金属氧化物半导体场效应晶体管200的插入掺杂层202更位于未被栅极结构15所覆盖的衬底10中。详细地说,插入掺杂层202不仅位于栅极结构15与漏极区20之间的顶掺杂区14上,更位于漏极区20、源极区22、第四掺杂区28、第二掺杂区30、第三掺杂区32、浓掺杂区36、第六掺杂区42、第七掺杂区44以及第八掺杂区46上。另外,插入掺杂层202亦位于隔离结构24b以及隔离结构24c下方的衬底10中。

[0057] 图4A至图4G为图2的制造流程的剖面示意图。

[0058] 请参照图4A,在衬底10中形成第一掺杂区12、第二掺杂区30以及第七掺杂区44。衬底10例如是半导体衬底10a且半导体衬底10a上已形成外延层10b。半导体衬底10a为P型衬底,外延层10b为N型外延层(N-epi)。第一掺杂区12、第二掺杂区30以及第七掺杂区44可以分别在衬底10上先形成离子植入掩膜,利用离子植入法将掺质植入于外延层10b之后,再通过回火工艺来形成之。第一掺杂区12、第二掺杂区30以及第五掺杂区44的形成顺序可以依照实际的需要调整,并无特别的限制。第一掺杂区12的掺杂剂量例如是 $5 \times 10^{11}/\text{cm}^2 \sim 2 \times 10^{13}/\text{cm}^2$ 。第二掺杂区30的掺杂剂量例如是 $1 \times 10^{12}/\text{cm}^2 \sim 5 \times 10^{13}/\text{cm}^2$ 。在进行离子植入工艺之前,在衬底10上可以先形成垫氧化层50。垫氧化层50的形成方法例如是热氧化法。

[0059] 之后,请参照图4B,在第二掺杂区30中形成第三掺杂区32。第三掺杂区32也可以先形成离子植入掩膜,利用离子植入法将掺质植入于第二掺杂区30之后,再通过回火工艺来形成之。第三掺杂区32的掺杂剂量例如是 $5 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{14}/\text{cm}^2$ 。

[0060] 其后,在垫氧化层50上形成掩膜层52。掩膜层52具有多个开口54。开口54下方的衬底10上预定形成隔离结构。之后,在衬底10上形成图案化的掩膜层56。图案化的掩膜层56可包括至少三种区域。各区域具有多个开口58。各区的上述开口58的尺寸自预定形成的栅极处至预定形成漏极区处渐减(图4B为由左至右)。各区的上述开口58之间的间距(即图案化的掩膜层56)自预定形成的栅极处至预定形成漏极区处(图4B为由左至右)渐减。图案化的掩膜层56可为硬掩膜层(hard mask)或光刻胶层。硬掩膜层的材质例如是氮化硅,形成的方法例如是经由化学气相沉积法沉积掩膜材料层,然后以光刻与刻蚀法将其图案化。若采用光刻胶材料作为掩膜层,则可直接以光刻的方式将其图案化。

[0061] 之后,以图案化的掩膜层56作为离子植入掩膜,进行单一离子植入工艺,将掺质植入于第一掺杂区12中,以在第一掺杂区12之中形成多个掺杂区64。两相邻的掺杂区64在对应图案化的掩膜层56下方彼此重叠,而形成重叠区域60。重叠区域60的大小与相邻的两个开口58之间的间距(即图案化的掩膜层56)有关。

[0062] 然后,请参照图4C,移除图案化的掩膜层56。之后进行回火。在进行回火时,重叠区域60会均匀的扩散,而非重叠区域共同形成顶掺杂区14。回火的温度例如是900摄氏度至1150摄氏度。

[0063] 在一实施例中,顶掺杂区14的各区域的掺质浓度梯度呈线性。亦即,自预定形成的栅极处至预定形成漏极区处(图4C为由左至右)的掺质浓度呈线性渐减。顶掺杂区14的各区域自预定形成的栅极处至预定形成漏极区处(图式为由左至右)深度渐减,且顶掺杂区14的底部的轮廓平滑,大致呈线性。此外,顶掺杂区14在各区域的掺质浓度梯度不同。通过前述掩膜开口大小以及间距的调控,可通过单一的离子植入工艺,在单一或多个区域形成不同的掺质浓度梯度,大大简化工艺,且不会增加工艺成本。在一实施例中,顶掺杂区14在接近预定形成的栅极结构15处的掺杂浓度为 $1.67 \times 10^{16}/\text{cm}^3 \sim 2.5 \times 10^{17}/\text{cm}^3$,深度为 $2\mu\text{m} \sim 3\mu\text{m}$;而在接近漏极区20处的掺杂浓度为 $3 \times 10^{15}/\text{cm}^3 \sim 1.67 \times 10^{17}/\text{cm}^3$,深度为 $0.3\mu\text{m} \sim 1\mu\text{m}$ 。

[0064] 之后,在第四掺杂区28之中形成浓掺杂区36,并在第三掺杂区32中形成浓掺杂区34。浓掺杂区34、36的形成方法同样可以先形成离子植入掩膜,分别利用离子植入法将掺质植入于第四掺杂区28以及第三掺杂区32之后,再通过回火工艺来形成之。

[0065] 其后,请参照图4D,于顶掺杂区14上形成顶掺杂区104。详细地说,先以图案化的掩

膜层62作为离子植入掩膜,进行单一离子植入工艺,将掺质植入于顶掺杂区14上,以在顶掺杂区14上形成顶掺杂区104。顶掺杂区104与顶掺杂区14部分重叠。在一实施例中,顶掺杂区104的掺杂浓度为 $2 \times 10^{15}/\text{cm}^3$ 至 $6 \times 10^{16}/\text{cm}^3$,深度为 $0.4\mu\text{m} \sim 0.8\mu\text{m}$ 。

[0066] 请参照图4D与图4E,将图案化的掩膜层62移除后,在衬底10上形成隔离结构24a、24b、24c。隔离结构24a、24b、24c的形成方法可以利用局部热氧化法,在掩膜层52所裸露的开口54之中形成局部热氧化层。之后再将掩膜层52以及垫氧化层50移除。然而,本发明并不以此为限。

[0067] 接着,请参照图4F,在衬底10上形成栅极结构15。栅极结构15包括栅介电层18以及栅极16。栅介电层18可以是由单材料层所构成。单材料层例如是低介电常数材料或是高介电常数材料。低介电常数材料是指介电常数低于4的介电材料,例如是氧化硅或氮氧化硅。高介电常数材料是指介电常数高于4的介电材料,例如是 HfAlO 、 HfO_2 、 Al_2O_3 或 Si_3N_4 。栅介电层18的厚度依不同介电材料的选择而有所不同,举例来说,若栅介电层18为氧化硅的话,其厚度可为12nm至200nm。栅极16为导电材质,例如金属、多晶硅、掺杂多晶硅、多晶硅化金属或其组合而成的堆叠层。栅介电层18以及栅极16的形成方法可以先形成栅介电材料层以及栅极导体之后,再经过光刻与刻蚀工艺来图案化。之后,在浓掺杂区34、36之中分别形成漏极区20以及源极区22。在一实施例中,漏极区20与源极区22的掺杂剂量例如是 $5 \times 10^{14}/\text{cm}^2 \sim 8 \times 10^{15}/\text{cm}^2$ 。

[0068] 接着,于衬底10上形成图案化的掩膜层66。图案化的掩膜层66暴露出漏极区20与栅极结构15之间的隔离结构24a的表面。以图案化的掩膜层66为掩膜,进行离子植入工艺,以于顶掺杂区14上形成插入掺杂层102。详细地说,插入掺杂层102分别与顶掺杂区14以及顶掺杂区104部分重叠。在一实施例中,部分插入掺杂层102亦可形成于第四掺杂区28以及浓掺杂区36中。在一实施例中,插入掺杂层102的掺杂浓度为 $6 \times 10^{15}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$,深度为200nm~500nm。图案化的掩膜层66可为硬掩膜层或光刻胶层。硬掩膜层的材质例如是氮化硅、金属硅化物(salicide)或其组合。接着,移除图案化的掩膜层66。

[0069] 请参照图4G,于衬底10上形成金属内连线106、108、110、112。金属内连线106电连接至漏极区20。金属内连线108电连接至源极区22。金属内连线110电连接至第六掺杂区42。金属内连线112电连接至第八掺杂区46。金属内连线106与金属内连线108之间具有至少一开口114。开口114配置于顶掺杂区14的上方。在一实施例中,金属内连线106、108、110、112的材质可例如是铝、铜或其组合。

[0070] 图5A至图5B为图3的制造流程的剖面示意图。

[0071] 请参照图5A,依照图4A至图4E的制造方法来形成衬底10、第一掺杂区12、第二掺杂区30、第三掺杂区32、第四掺杂区28、浓掺杂区34、36、顶掺杂区14、栅极结构15、漏极区20、源极区22、隔离结构24a、24b、24c以及顶掺杂区104。接着,对衬底10进行离子植入工艺,以于未被栅极结构15所覆盖的衬底10中形成插入掺杂层202。详细地说,插入掺杂层202不仅位于栅极结构15与漏极区20之间的顶掺杂区14上,还位于漏极区20、源极区22、第四掺杂区28、第二掺杂区30、第三掺杂区32、浓掺杂区36、第六掺杂区42、第七掺杂区44以及第八掺杂区46上。另外,插入掺杂层202亦位于隔离结构24b以及隔离结构24c下方的衬底10中。因此,插入掺杂层202可平衡隔离结构24b以及隔离结构24c下方的衬底10之间的界面电荷。此外,插入掺杂层202亦可平衡漏极区20、源极区22、第四掺杂区28、第二掺杂区30、第三掺杂区

32、浓掺杂区36、第六掺杂区42、第七掺杂区44以及第八掺杂区46中的固定电荷,以提升产品可靠度。在一实施例中,插入掺杂层202的掺杂浓度为 $6 \times 10^{15}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$,深度为200nm~500nm。

[0072] 请参照图5B,同上述图4G所述,于衬底10上形成金属内连线106、108、110、112。金属内连线106、108、110、112的材质与连接关系以于上述段落说明,于此便不再赘述。

[0073] 综上所述,本发明的金属氧化物半导体场效应晶体管通过位于顶掺杂区中的插入掺杂层来平衡隔离结构与衬底之间的界面电荷,以及隔离结构中的固定电荷,以提升产品可靠度。另一方面,插入掺杂层不仅可位于栅极结构与漏极区之间的顶掺杂区中,还可延伸至未被栅极结构所覆盖的衬底中。因此,插入掺杂层亦可平衡漏极区、源极区以及其他掺杂区中的固定电荷,更进一步地提升产品可靠度。此外,本发明的金属氧化物半导体场效应晶体管更包括位于P型插入掺杂层与P型顶掺杂区之间的N型顶掺杂区,其可降低金属氧化物半导体场效应晶体管的开启状态电阻。

[0074] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中普通技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视权利要求所界定者为准。

10

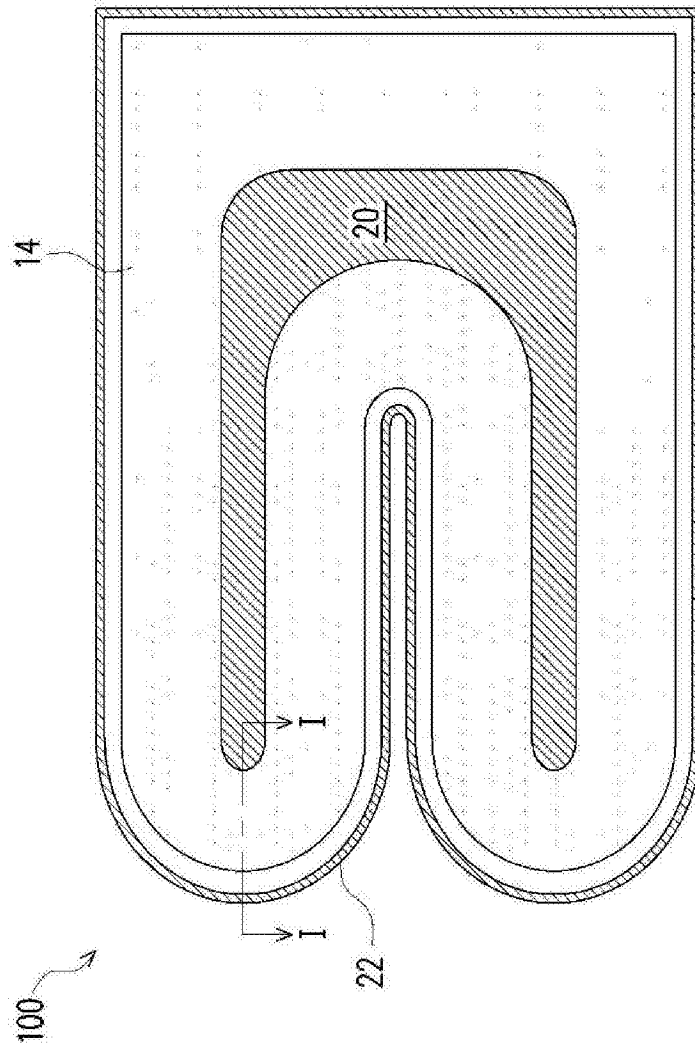


图1

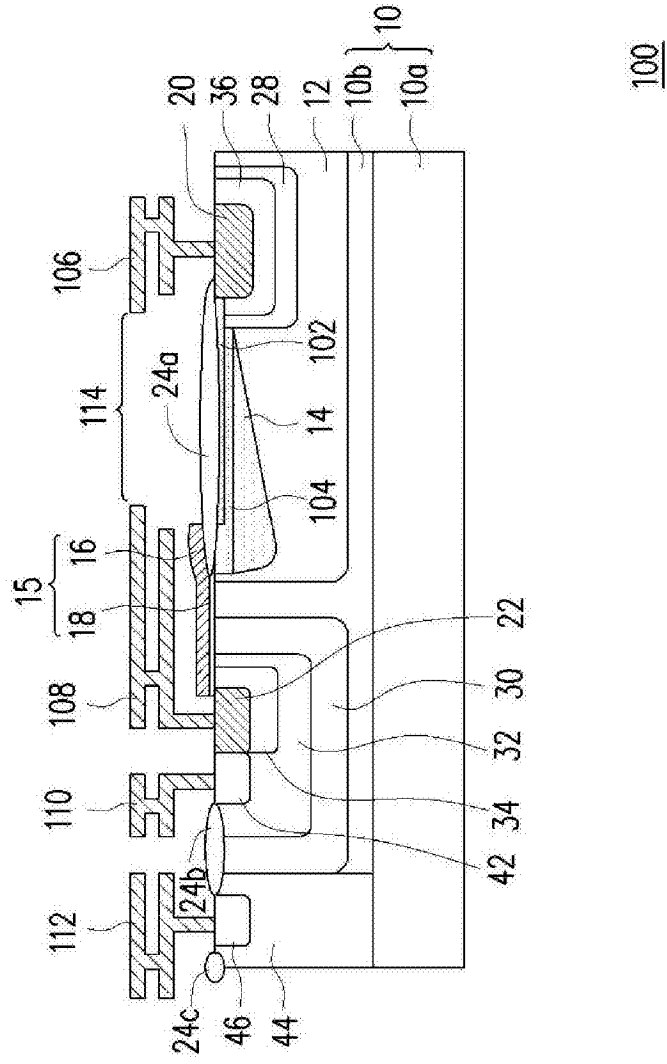


图2

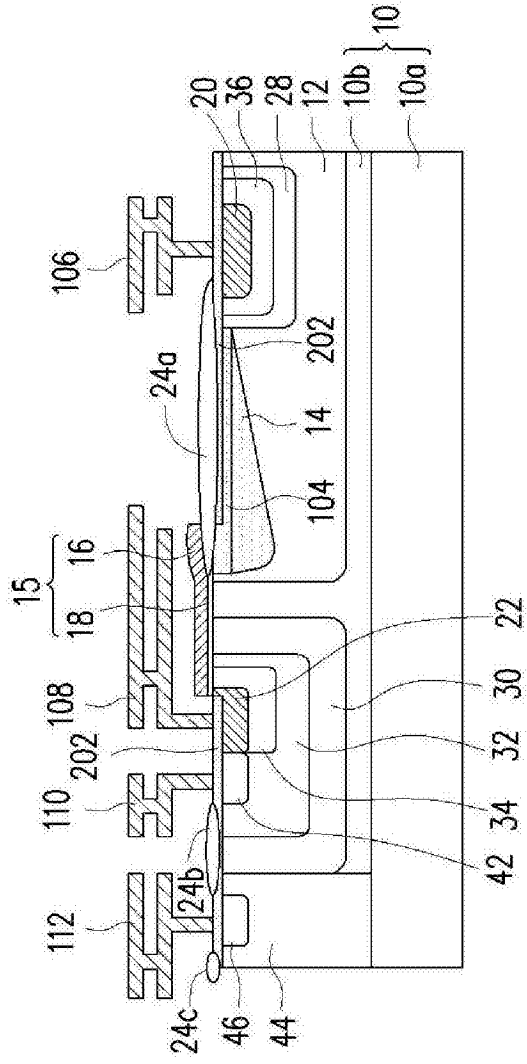


图3

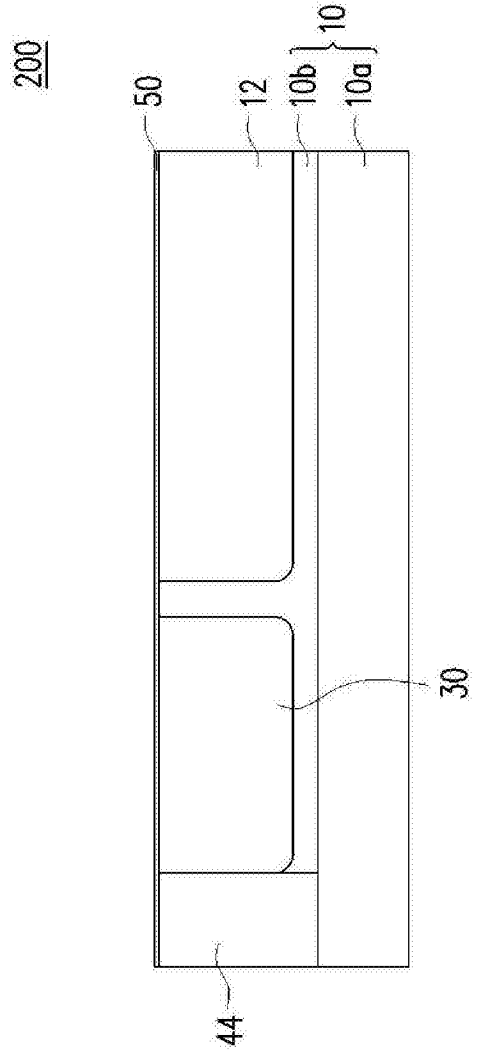


图4A

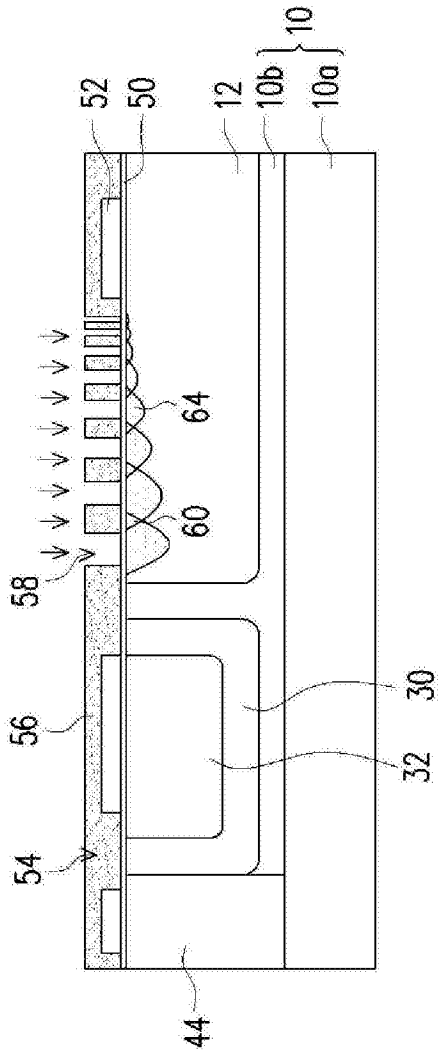


图4B

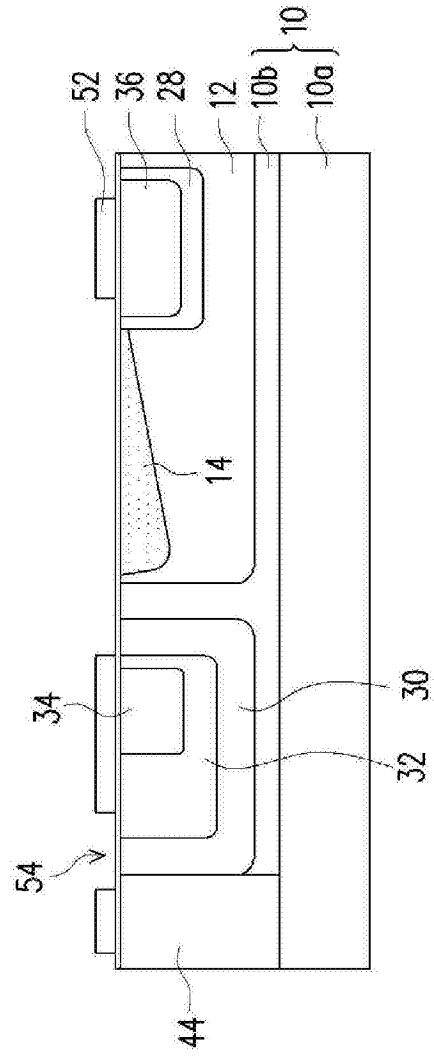


图4C

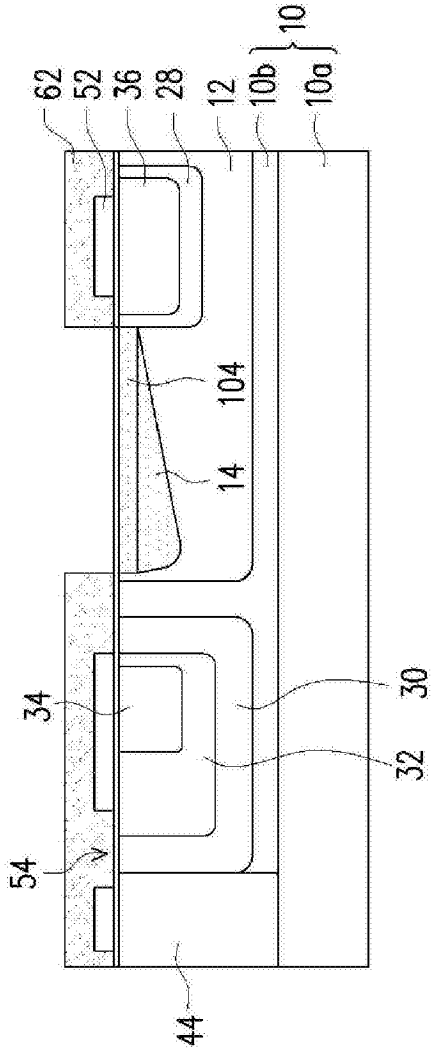


图4D

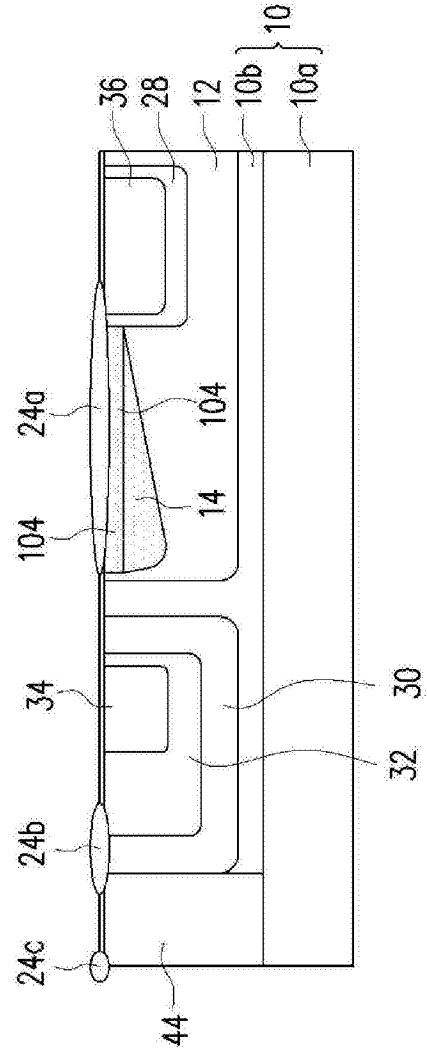


图4E

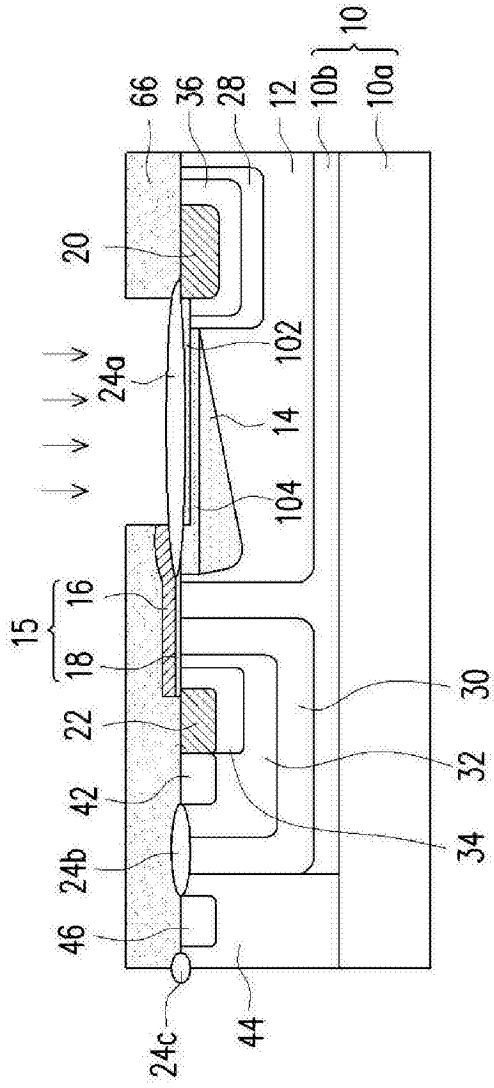


图4F

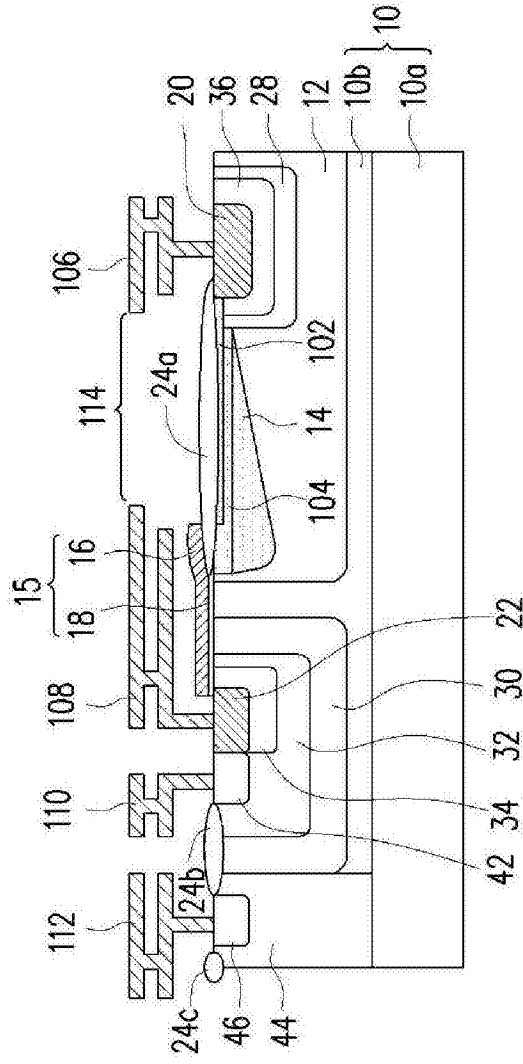


图4G

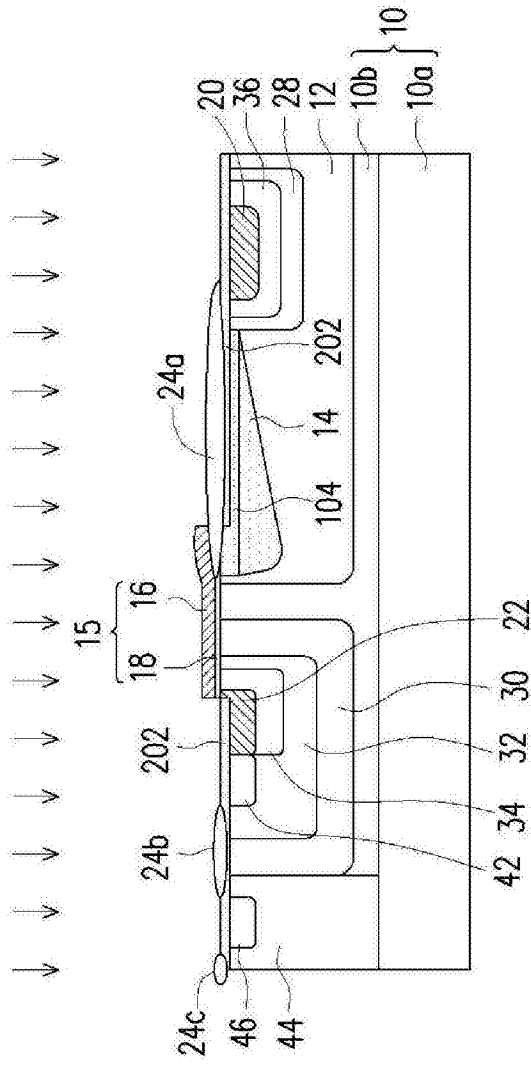


图5A

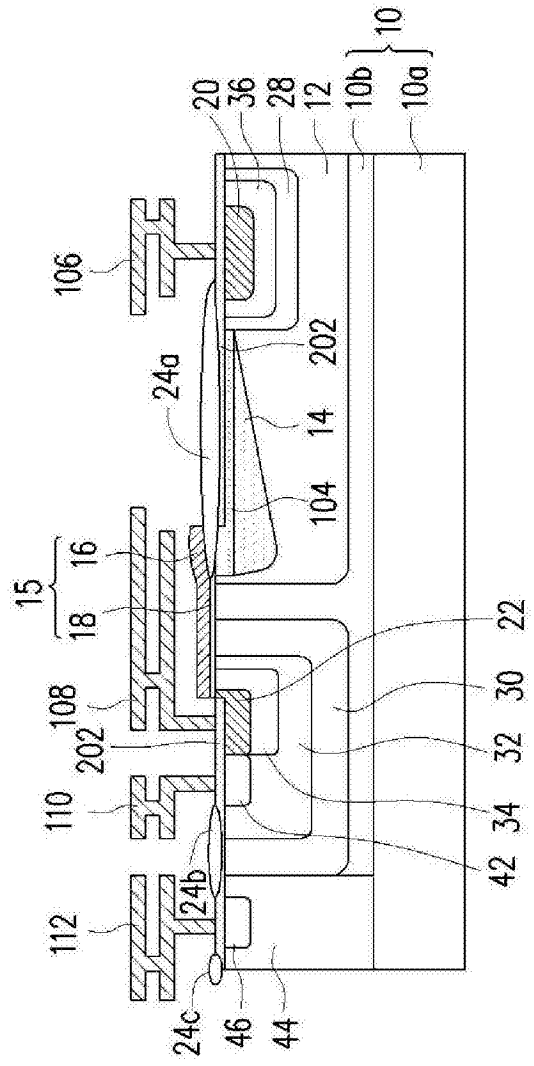


图5B