



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0019674
(43) 공개일자 2024년02월14일

(51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) G11C 13/00 (2006.01)
H10N 70/00 (2024.01)
(52) CPC특허분류
H10B 63/20 (2023.02)
G11C 13/0069 (2013.01)
(21) 출원번호 10-2022-0176248
(22) 출원일자 2022년12월15일
심사청구일자 없음
(30) 우선권주장
1020220097577 2022년08월04일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최민우
경기도 화성시 동탄대로24길 74, 155동 301호 (영천동, 동탄 중흥S클래스 파크 더테라스)
강영재
경기도 수원시 영통구 웰빙타운로 19, 8201동 1302호 (이의동, 한양수자인아파트)
(74) 대리인
리엔목특허법인

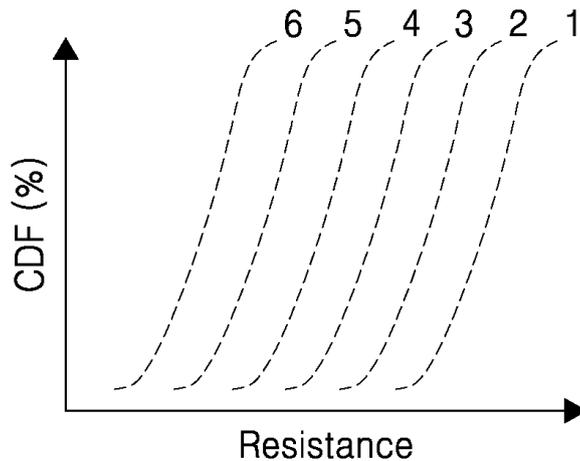
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 스위칭 물질과 상변화 물질을 포함하는 메모리 장치

(57) 요약

일 실시예에 따른 메모리 장치는, 선택층 및 상변화 물질층을 포함하는 메모리 셀, 및 제어부를 포함하고, 상기 선택층은 스위칭 물질을 포함하고, 상기 상변화 물질층은 상변화 물질을 포함하고, 상기 제어부는 기입 펄스를 상기 선택층 및 상변화 물질층에 인가하고, 상기 기입 펄스의 극성, 피크값, 및 형태를 제어할 수 있다.

대표도 - 도7g



(52) CPC특허분류

H10B 63/84 (2023.02)

H10N 70/231 (2023.02)

H10N 70/826 (2023.02)

H10N 70/882 (2023.02)

(72) 발명자

구본원

경기도 수원시 영통구 태장로82번길 32, 101동
1108호 (망포동, 동수원자이1차)

박용영

경기도 화성시 동탄순환대로22길 45, 1203동 1503
호 (청계동, 동탄역 호반 써밋)

성하준

경기도 용인시 수지구 광교마을로 62, 4210동 100
3호 (상현동, 광교자이더클래스)

안동호

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전
자)

양기연

서울특별시 강남구 삼성로 212, 11동 109호 (대치
동, 은마아파트)

양우영

경기도 수원시 영통구 삼성로 130(매탄동)

이창승

경기도 용인시 처인구 원삼면 맵리로 192, 2호(지
산빌리지)

명세서

청구범위

청구항 1

서로 직렬로 연결된 선택층 및 상변화 물질층을 포함하는 메모리 셀; 및

제어부;를 포함하고,

상기 선택층은 스위칭 물질을 포함하고,

상기 상변화 물질층은 상변화 물질을 포함하고,

상기 제어부는 기입 펄스를 상기 선택층 및 상변화 물질층에 인가하고, 상기 기입 펄스의 극성, 피크값, 및 형태를 제어하는 메모리 장치.

청구항 2

제1 항에 있어서,

상기 제어부는 상기 기입 펄스의 하강 시간 길이를 제어하여 상기 상변화 물질의 저항을 제어하는 메모리 장치.

청구항 3

제1 항에 있어서,

상기 제어부는 제1 기입 펄스를 메모리 셀에 인가하며,

상기 제1 기입 펄스는 음의 극성을 가지며 제1 피크값을 갖는 직사각형 형태의 리셋 펄스인 메모리 장치.

청구항 4

제3 항에 있어서,

상기 메모리 셀은:

상기 제1 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 최고저항인 제1 논리 상태를 갖는 메모리 장치.

청구항 5

제3 항에 있어서,

상기 제어부는 제2 기입 펄스를 상기 메모리 셀에 인가하며,

상기 제2 기입 펄스는 음의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋 펄스인 메모리 장치.

청구항 6

제5 항에 있어서,

상기 메모리 셀은:

상기 제2 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 고저항인 제2 논리 상태를 갖는 메모리 장치.

청구항 7

제5 항에 있어서,

상기 제어부는 제3 기입 펄스를 상기 메모리 셀에 인가하며,

상기 제3 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋

펄스인 메모리 장치.

청구항 8

제7 항에 있어서,

상기 메모리 셀은:

상기 제3 기입 펄스가 인가될 때 스위칭 물질은 저저항이고 상변화 물질은 최고저항인 제3 논리 상태를 갖는 메모리 장치.

청구항 9

제7 항에 있어서,

상기 제어부는 제4 기입 펄스를 상기 메모리 셀에 인가하며,

상기 제4 기입 펄스는 음의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 사다리꼴 형태의 셋 펄스인 메모리 장치.

청구항 10

제9 항에 있어서,

상기 메모리 셀은:

상기 제4 기입 펄스가 인가될 때 스위칭 물질은 고저항이고 상변화 물질은 저저항인 제4 논리 상태를 갖는 메모리 장치.

청구항 11

제9 항에 있어서,

상기 제어부는 제5 기입 펄스를 상기 메모리 셀에 인가하며,

상기 제5 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖고, 제2 하강 시간 길이를 갖는 사다리꼴 형태의 셋 펄스인 메모리 장치.

청구항 12

제11 항에 있어서,

상기 메모리 셀은:

상기 제5 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 저저항인 제5 논리 상태를 갖는 메모리 장치.

청구항 13

제11 항에 있어서,

상기 제어부는 제6 기입 펄스를 상기 메모리 셀에 인가하며,

상기 제6 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖고, 상기 제2 하강 시간 길이보다 긴 제1 하강 시간 길이를 갖는 사다리꼴 형태의 셋 펄스인 메모리 장치.

청구항 14

제13 항에 있어서,

상기 메모리 셀은:

상기 제6 기입 펄스가 인가될 때 스위칭 물질은 저저항이고 상변화 물질은 최저저항인 제6 논리 상태를 갖는 메모리 장치.

청구항 15

제1 항에 있어서,

상기 선택층은 게르마늄(Ge)을 포함하는 제1 원소,

비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소,

텔루륨(Te), 셀레늄(Se), 및 황(S) 중 적어도 하나를 포함하는 제3 원소, 및

인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 스위칭 물질을 포함하는 메모리 장치.

청구항 16

제1 항에 있어서,

상기 선택층은 오보닉 문턱 스위칭 물질 특성을 나타내는 스위칭 물질을 포함하는 메모리 장치.

청구항 17

제1 항에 있어서,

상기 스위칭 물질은 인가되는 기입 펄스의 극성에 따라 저항이 변화하는 메모리 장치.

청구항 18

제1 항에 있어서,

상기 스위칭 물질은 인가되는 기입 펄스의 피크값에 따라 저항이 변화하는 메모리 장치.

청구항 19

제1 항에 있어서,

상기 상변화 물질층은 게르마늄(Ge)을 포함하는 제1 원소,

비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소,

텔루륨(Te), 셀레늄(Se), 및 황(S) 중 적어도 하나를 포함하는 제3 원소, 및

인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 상변화 물질을 포함하는 메모리 장치.

청구항 20

제1 항에 있어서,

상기 상변화 물질은 인가되는 기입 펄스의 형태에 따라 저항이 변화하는 메모리 장치.

청구항 21

제20 항에 있어서,

상기 상변화 물질은 인가되는 기입 펄스의 하강 시간 길이에 따라 저항이 변화하는 메모리 장치.

청구항 22

스위칭 물질을 포함하는 선택층;

상기 선택층과 직렬로 연결된 상변화 물질층; 및

상기 선택층과 상기 상변화 물질층에, 제1 극성을 가지며 제3 하강 시간 길이를 가지는 제7 기입 펄스, 및 상기 제1 극성과 반대의 제2 극성을 가지며 상기 제3 하강 시간 길이와 다른 제2 하강 시간 길이를 가지는 제8 기입 펄스를 인가할 수 있는 제어부;를 포함하는 메모리 장치.

청구항 23

제22 항에 있어서,

상기 제7 기입 펄스는 제1 피크값을 가지고, 상기 제8 기입 펄스는 상기 제1 피크값과 다른 제2 피크값을 가지는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 개시는 스위칭 물질과 상변화 물질을 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 최근, 전자기기의 소형화, 고성능화에 수반하여, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에 정보 저장할 수 있는 메모리 장치가 요구되고 있다. 이러한 메모리 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 PRAM(Phase-change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory), 등과 같은 메모리 장치가 있다. 이러한 메모리 장치들은 칼코게나이드 재료를 사용하는 오보닉 문턱 스위칭(ovonic threshold switch; OTS) 물질과 상변화 물질(Phase Change Material; PCM)을 포함할 수 있다. 다만 비정질 칼코게나이드 재료로 구성되어 있는 OTS와 PCM은 시간에 따른 특성 시프트가 발생하고 이로 인해 독출 윈도우 마진(read window margin)이 감소하여 멀티 레벨 셀(Multi-level cell) 구현에 어려움이 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시는, 높은 독출 윈도우 마진을 갖는 메모리 장치를 제공한다.

[0004] 본 개시는, 멀티 레벨(Multi-level)을 구현하도록 상태(state)의 세분화가 가능하도록 하는 메모리 장치를 제공한다.

과제의 해결 수단

[0005] 일 실시예에 따르면, 메모리 장치는 서로 직렬로 연결된 선택층 및 상변화 물질층을 포함하는 메모리 셀, 및 제어부를 포함하고, 상기 선택층은 스위칭 물질을 포함하고, 상기 상변화 물질층은 상변화 물질을 포함하고, 상기 제어부는 기입 펄스를 상기 선택층 및 상변화 물질층에 인가하고, 상기 기입 펄스의 극성, 피크값, 및 형태를 제어할 수 있다.

[0006] 상기 제어부는 상기 기입 펄스의 하강 시간 길이를 제어하여 상기 상변화 물질의 저항을 제어할 수 있다.

[0007] 상기 제어부는 제1 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제1 기입 펄스는 음의 극성을 가지며 제1 피크값을 갖는 직사각형 형태의 리셋 펄스일 수 있다.

[0008] 상기 메모리 셀은 상기 제1 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 최고저항인 제1 논리 상태를 가질 수 있다.

[0009] 상기 제어부는 제2 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제2 기입 펄스는 음의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋 펄스일 수 있다.

[0010] 상기 메모리 셀은 상기 제2 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 고저항인 제2 논리 상태를 가질 수 있다.

[0011] 상기 제어부는 제3 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제3 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋 펄스일 수 있다.

[0012] 상기 메모리 셀은 상기 제3 기입 펄스가 인가될 때 스위칭 물질은 저저항이고 상변화 물질은 최고저항인 제3 논리 상태를 가질 수 있다.

- [0013] 상기 제어부는 제4 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제4 기입 펄스는 음의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖는 사다리꼴 형태의 셋 펄스일 수 있다.
- [0014] 상기 메모리 셀은 상기 제4 기입 펄스가 인가될 때 스위칭 물질은 고저항이고 상변화 물질은 저저항인 제4 논리 상태를 가질 수 있다.
- [0015] 상기 제어부는 제5 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제5 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖고, 제2 하강 시간 길이를 갖는 사다리꼴 형태의 셋 펄스일 수 있다.
- [0016] 상기 메모리 셀은 상기 제5 기입 펄스가 인가될 때 스위칭 물질과 상변화 물질 모두 저저항인 제5 논리 상태를 가질 수 있다.
- [0017] 상기 제어부는 제6 기입 펄스를 상기 메모리 셀에 인가하며, 상기 제6 기입 펄스는 양의 극성을 가지며 상기 제1 피크값보다 작은 제2 피크값을 갖고, 상기 제2 하강 시간 길이보다 긴 제1 하강 시간 길이를 갖는 사다리꼴 형태의 셋 펄스일 수 있다.
- [0018] 상기 메모리 셀은 상기 제6 기입 펄스가 인가될 때 스위칭 물질은 저저항이고 상변화 물질은 최저저항인 제6 논리 상태를 갖가질 수 있다.
- [0019] 상기 선택층은 게르마늄(Ge)을 포함하는 제1 원소, 비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소, 텔루륨(Te), 셀레늄(Se), 또는 황(S) 중 적어도 하나를 포함하는 제3 원소, 및 인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 스위칭 물질을 포함할 수 있다.
- [0020] 상기 선택층은 오보닉 문턱 스위칭 물질 특성을 나타내는 스위칭 물질을 포함할 수 있다.
- [0021] 상기 스위칭 물질은 인가되는 기입 펄스의 극성에 따라 저항이 변화할 수 있다.
- [0022] 상기 스위칭 물질은 인가되는 기입 펄스의 피크값에 따라 저항이 변화할 수 있다.
- [0023] 상기 상변화 물질층은 게르마늄(Ge)을 포함하는 제1 원소, 비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소, 텔루륨(Te), 셀레늄(Se), 또는 황(S) 중 적어도 하나를 포함하는 제3 원소, 및 인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 상변화 물질을 포함할 수 있다.
- [0024] 상기 상변화 물질은 인가되는 기입 펄스의 형태에 따라 저항이 변화할 수 있다.
- [0025] 상기 상변화 물질은 인가되는 기입 펄스의 하강 시간 길이에 따라 저항이 변화할 수 있다.
- [0026] 일 실시예에 따르면, 메모리 장치는 스위칭 물질을 포함하는 선택층, 상기 선택층과 직렬로 연결된 상변화 물질층, 및 상기 선택층과 상기 상변화 물질층에, 제1 극성을 가지며 제3 하강 시간 길이를 가지는 제7 기입 펄스, 및 상기 제1 극성과 반대의 제2 극성을 가지며 상기 제3 하강 시간 길이와 다른 제2 하강 시간 길이를 가지는 제8 기입 펄스를 인가할 수 있는 제어부를 포함할 수 있다.
- [0027] 상기 제7 기입 펄스는 제1 피크값을 가지고, 상기 제8 기입 펄스는 상기 제1 피크값과 다른 제2 피크값을 가질 수 있다.

발명의 효과

- [0028] 개시된 실시예에 따르면, 메모리 장치는 기입 펄스의 극성, 피크값, 형태, 및 하강 시간 길이를 제어하여, 높은 독출 윈도우 마진을 갖고, 상태(state)의 세분화가 가능하도록 하여 멀티 레벨(Multi-level)을 구현할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 일 실시예에 따른 메모리 장치의 블록도이다.
- 도 2는 메모리 장치의 예시적인 등가 회로이다.
- 도 3은 일 실시예에 따른 메모리 셀의 단면도이다.
- 도 4a 내지 도 4c는 일 실시예에 따른 스위칭 물질에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.

도 5a 및 도 5b는 일 실시예에 따른 메모리 셀의 문턱 전압을 나타낸 그래프이다.

도 6a 내지 도 6d는 일 실시예에 따른 상변화 물질에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.

도 7a 내지 도 7f는 일 실시예에 따른 메모리 셀에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.

도 7g는 도 7a 내지 도 7f의 전압 펄스에 따른 메모리 셀의 상태를 구분하여 나타낸 그래프이다.

도 8a 내지 도 8c는 다른 실시예에 따른 메모리 셀에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.

도 9는 일 실시예에 따른 메모리 장치의 사시도이다.

도 10은 메모리 장치를 포함하는 뉴로모픽(Neuromorphic) 장치를 개략적으로 보이는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면들을 참조하여, 스위칭 물질과 상변화 물질을 포함하는 메모리 장치에 대해 상세하게 설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 또한, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.
- [0031] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0032] "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 다수 모두에 해당하는 것일 수 있다. 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 이러한 단계들은 적당한 순서로 행해질 수 있으며, 반드시 기재된 순서에 한정되는 것은 아니다.
- [0033] 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다.
- [0034] 모든 예들 또는 예시적인 용어의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구범위에 의해 한정되지 않는 이상 이런 예들 또는 예시적인 용어로 인해 범위가 한정되는 것은 아니다.
- [0035] 도 1은 일 실시예에 따른 메모리 장치의 블록도이다.
- [0036] 도 1을 참고하면, 메모리 장치(100)는 메모리 셀(110), 기입/독출부(120) 및 제어부(130)를 포함할 수 있다.
- [0037] 메모리 셀(110)은 펄스에 의해 저항이 변하는 선택층과 상변화 물질층을 포함할 수 있다.
- [0038] 기입/독출부(120)는 메모리 셀(110)을 프로그래밍하고, 프로그래밍된 메모리 셀(110)을 독출할 수 있다. 기입/독출부(120)는 메모리 셀(110)을 복수 개의 저항 상태들 중에서 어느 하나로 프로그래밍하고, 프로그래밍된 메모리 셀(110)을 독출할 수 있다. 기입/독출부(120)는 기입 펄스를 이용하여 메모리 셀(110)을 목표 저항 상태로 프로그래밍하는 프로그래밍 동작(기입 동작)을 수행하고, 독출 펄스를 이용하여 프로그래밍된 메모리 셀(110)을 독출하는 독출 동작을 수행할 수 있다.
- [0039] 제어부(130)는 프로그래밍 동작에서 메모리 셀(110)들에 기입 펄스와 독출 펄스가 인가되도록 제어할 수 있다. 제어부(130)는 기입 펄스의 극성, 피크값, 및 형태를 제어하여 스위칭 물질과 상변화 물질의 저항을 제어할 수 있다. 제어부(130)는 기입 펄스의 하강 시간 길이를 제어하여 상변화 물질의 저항을 제어할 수 있다. 기입 펄스에 의해 메모리 셀(110)이 목표 저항 상태로 스위칭될 수 있다.
- [0040] 도 1에는 기입/독출부(120)와 제어부(130)가 별도의 블록으로 표시되었지만, 기입/독출부(120)와 제어부(130)는 메모리 셀(110)과 함께 하나 회로 기판 상에 배치된 전자 회로일 수 있다. 예를 들어, 기입/독출부(120)는 비트 라인 및 워드 라인을 통해 메모리 셀(110)에 기입 펄스 및/또는 독출 펄스를 인가하거나 메모리 셀(110)로부터 출력되는 전류를 수신하는 전자 회로(예컨대, 기입/독출 회로)일 수 있다. 또한 제어부(130)는 제어 버스를 통

해 기입/독출부(120)에 제어 신호를 제공함으로써 기입/독출부(120)가 메모리 셀(110)에 인가하는 기입 펄스의 극성, 피크값, 및 형태를 제어하는 전자 회로(예컨대, 제어 회로)일 수 있다.

- [0041] 도 2는 메모리 장치의 예시적인 등가 회로이다.
- [0042] 도 2를 참조하면, 메모리 장치(100)는 나란하게 배열된 복수의 제1 전극 라인(WL) 및 제1 전극 라인(WL)과 교차하도록 나란하게 배열된 복수의 제2 전극 라인(BL)을 더 포함할 수 있다. 복수의 메모리 셀(110)이 복수의 제1 전극 라인(WL)과 복수의 제2 전극 라인(BL)의 교차점에 배치될 수 있다. 복수의 메모리 셀(110) 각각은 복수의 제1 전극 라인(WL) 중 하나와 복수의 제2 전극 라인(BL) 중 하나에 연결될 수 있다. 기입/독출부(120)는 복수의 제1 전극 라인(WL)에 연결된 워드 라인 드라이버(121) 및 복수의 제2 전극 라인(BL)에 연결된 비트 라인 드라이버(122)를 포함할 수 있다. 제어부(130)는 워드 라인 드라이버(121)와 비트 라인 드라이버(122)에 연결되어 워드 라인 드라이버(121)와 비트 라인 드라이버(122)의 동작을 제어할 수 있다.
- [0043] 도 3은 일 실시예에 따른 메모리 셀의 단면도이다.
- [0044] 도 3을 참조하면, 메모리 셀(110)은 제1 전극층(111)과 제2 전극층(113) 사이에 전기적으로 연결된 선택층(112)과 상변화 물질층(114)을 포함할 수 있다. 예를 들어, 선택층(112)은 제1 전극층(111)에 전기적으로 연결되고, 상변화 물질층(114)은 제2 전극층(113)에 전기적으로 연결될 수 있다. 선택층(112)과 상변화 물질층(114)은 전기적으로 직렬로 서로 연결될 수 있다.
- [0045] 일 실시예에 따르면, 제1 전극층(111) 및 제2 전극층(113)은 전류가 흐르는 통로가 될 수 있다. 제1 전극층(111)과 제2 전극층(113) 사이에 문턱 전압보다 큰 전압이 인가될 때, 선택층(112)은 저저항 상태가 되어 전류가 흐르기 시작하고, 제1 전극층(111)과 제2 전극층(113) 사이에 문턱 전압보다 작은 전압이 인가될 때 선택층(112)은 고저항 상태로 돌아가 전류가 거의 흐르지 않게 된다. 따라서, 메모리 셀(110)은 제1 전극층(111)과 제2 전극층(113) 사이에 인가되는 전압에 따라 턴온/턴오프될 수 있다.
- [0046] 제1 전극층(111) 및 제2 전극층(113)은 도전성 재료로 형성될 수 있다. 예를 들어, 도전성 재료는 각각 금속, 도전성 금속 산화물, 도전성 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 도전성 재료는 각각 탄소(C), 티타늄질화물(TiN), 티타늄실리코질화물(TiSiN), 티타늄카본질화물(TiCN), 티타늄알루미늄질화물(TiAlN), 티타늄카본실리코질화물(TiCSiN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 텅스텐(W) 및 텅스텐질화물(WN) 중에서 선택된 1종 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0047] 선택층(112)은 게르마늄(Ge)을 포함하는 제1 원소, 비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소, 텔루륨(Te), 셀레늄(Se), 및 황(S) 중 적어도 하나를 포함하는 제3 원소, 및 인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 스위칭 물질을 포함할 수 있다. 선택층(112)은 오보닉 문턱 스위칭(ovonic threshold switch; OTS) 특성을 나타내는 스위칭 물질을 포함할 수 있다. 스위칭 물질은 인가되는 기입 펄스의 극성에 따라 저항이 변화할 수 있다. 스위칭 물질은 인가되는 기입 펄스의 피크값에 따라 저항이 변화할 수 있다.
- [0048] 선택층(112)은 증착을 이용하여 형성될 수 있고, 예를 들어 물리화학적 증착을 이용하여 형성될 수 있다. 선택층(112)은 PVD 공정을 통해 형성될 수 있다. 선택층(112)은 CVD(Chemical Vapor Deposition) 공정 또는 ALD(Atomic Layer Deposition) 공정을 통해 형성될 수도 있다. 선택층(112)은 코-스퍼터링(co-sputtering) 증착에 의해 얇은 두께로 형성될 수도 있다. 예를 들어, 선택층(112)의 두께는 약 5 nm 이상 약 50 nm 이하일 수 있다.
- [0049] 상변화 물질층(114)은 게르마늄(Ge)을 포함하는 제1 원소, 비소(As) 또는 안티모니(Sb)를 포함하는 제2 원소, 텔루륨(Te), 셀레늄(Se), 및 황(S) 중 적어도 하나를 포함하는 제3 원소, 및 인듐(In), 알루미늄(Al), 탄소(C), 붕소(B), 스트론튬(Sr), 갈륨(Ga), 산소(O), 질소(N), 실리콘(Si), 칼슘(Ca), 및 인(P) 중 적어도 하나를 포함하는 제4 원소를 포함하는 칼코게나이드 재료로 이루어진 상변화 물질을 포함할 수 있다. 상변화 물질은 인가되는 기입 펄스의 형태, 예를 들어, 펄스의 피크값 및/또는 펄스의 하강 시간 길이의 길이에 따라 저항이 변화할 수 있다.
- [0050] 메모리 셀(110)은 프로그래밍 동작에 의해 복수의 상이한 논리 상태(state) 중 하나를 저장하도록 기록될 수도 있다. 상이한 논리 상태는 메모리 셀(110)의 상이한 저항에 의해 표현될 수도 있다. 예를 들면, '1' 논리 상태는 제1 저항에 의해 표현될 수도 있고 '0' 논리 상태는 제2 저항에 의해 표현될 수도 있다. 또한, 메모리 셀(110)은 프로그래밍 동작에 의해 제어되는 3개 이상의 멀티-레벨 상태, 다시 말해 3개 이상의 상이한 저항을 가

질 수 있다. 메모리 셀(110)이 나타내는 저항은, 메모리 셀(110)에 포함된 선택층(112)과 상변화 물질층(114)에 의해 변화할 수 있다.

- [0051] 선택층(112)은 프로그래밍 동작에 의해 복수의 상이한 논리 상태 중 하나를 저장하도록 기록될 수도 있다. 상이한 논리 상태는 선택층(112)의 상이한 저항에 의해 표현될 수도 있다. 선택층(112)이 나타내는 저항은, 선택층(112)에 포함된 오보닉 문턱 스위칭 특성을 나타내는 스위칭 물질의 상태에 기초할 수도 있다.
- [0052] 스위칭 물질의 상태는, 프로그래밍 동작 동안 메모리 셀(110)에 인가되는 기입 펄스의 극성에 적어도 부분적으로 기초할 수도 있다. 기입 펄스의 극성은 전류 및/또는 전압의 극성에 의해 달라질 수 있다. 스위칭 물질의 상태는, 프로그래밍 동작 동안 메모리 셀(110)에 인가되는 기입 펄스의 피크값에 적어도 부분적으로 기초할 수도 있다. 기입 펄스의 피크값은 전류 및/또는 전압의 크기에 의해 달라질 수 있다.
- [0053] 상변화 물질층(114)은 프로그래밍 동작에 의해 복수의 상이한 논리 상태 중 하나를 저장하도록 기록될 수도 있다. 상이한 논리 상태는 상변화 물질층(114)의 상이한 저항에 의해 표현될 수도 있다. 상변화 물질층(114)이 나타내는 저항은, 상변화 물질층(114)에 포함된 상변화 물질(Phase change material; PCM)의 상태에 기초할 수도 있다.
- [0054] 상변화 물질의 상태는, 프로그래밍 동작 동안 메모리 셀(110)에 인가되는 기입 펄스의 형태에 적어도 부분적으로 기초할 수도 있다. 기입 펄스의 형태는 목표로 하는 상변화 물질의 열처리 속도(quenching speed)에 의해 달라질 수 있다. 상변화 물질의 열처리 속도에 따라 상변화 물질의 저항 값이 결정될 수 있다. 예를 들어, 기입 펄스의 하강 시간(falling time)이 짧아져 기입 펄스의 형태가 직사각형 형태가 될 수 있다. 이 경우, 상변화 물질은 리셋(RESET) 기입 펄스의 공급에 의해 일정 시간동안 용융화 온도보다 높은 온도로 가열된 뒤 급속히 냉각되면서 비정질 상태(Amorphous State)로 전환되어 높은 저항 값을 갖게 될 수 있다. 또한, 기입 펄스의 하강 시간이 길어져, 기입 펄스의 형태가 사다리꼴 형태가 될 수 있다. 이 경우, 상변화 물질은 셋(SET) 기입 펄스의 공급에 의해 일정 시간동안 결정화 온도보다 높고 용융화 온도보다 낮은 온도에서 가열된 뒤 서서히 냉각되면서 결정 상태(Crystalline State)로 전환되어 낮은 저항 값을 갖게 될 수 있다.
- [0055] 상변화 물질의 상태는, 프로그래밍 동작 동안 메모리 셀(110)에 인가되는 기입 펄스의 하강 시간 길이에 적어도 부분적으로 기초할 수도 있다. 펄스의 하강 시간 길이는 목표로 하는 상변화 물질의 비정질 양(Amorphous volume) 또는 결정 양(Crystalline volume)에 의해 달라질 수 있다. 상변화 물질의 비정질 양의 비중이 높아질수록 펄스는 짧은 하강 시간 길이를 갖게 되고, 상변화 물질의 결정 양의 비중이 높아질수록 펄스는 긴 하강 시간 길이를 갖게 될 수 있다. 상변화 물질의 비정질 양 또는 결정 양에 따라 저항값을 차등화 시킬 수 있으므로, 이를 이용하여 멀티 레벨 형태의 메모리 셀(110)을 구성할 수 있다. 상변화 물질의 상태는, 기입 펄스의 전류 및/또는 전압의 극성과는 독립적일 수 있다. 기입 펄스 및 독출 펄스는 도 2의 제1 전극 라인(WL) 및 제2 전극 라인(BL)을 사용하여 메모리 셀(110)에 인가될 수도 있다.
- [0056] 도 4a 내지 도 4c는 일 실시예에 따른 스위칭 물질에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.
- [0057] 도 4a 및 도 4b를 참고하여, 기입 펄스(write pulse)의 극성 변화에 따른 스위칭 물질의 저항 변화 양상을 설명한다. V_1 과 V_2 는 크기가 같고 극성이 반대인 값을 갖는다($V_1 + V_2 = 0$). 도 4a의 기입 펄스에 따른 스위칭 물질의 저항을 $R1$ 이라고 하고, 도 4a의 기입 펄스의 극성을 반대로 한 도 4b의 기입 펄스에 따른 스위칭 물질의 저항을 $R2$ 라고 하면, $R1$ 은 $R2$ 보다 작은 값을 갖게 된다. 이는 스위칭 물질의 극성 의존 특성에 기인한다. 예를 들어, 기입 펄스가 양의 극성을 가질 때 스위칭 물질의 문턱 전압이 낮아지고 기입 펄스가 음의 극성을 가질 때 스위칭 물질의 문턱 전압이 높아진다.
- [0058] 도 4b 및 도 4c를 참고하여, 기입 펄스의 피크값 변화에 따른 스위칭 물질의 저항 변화 양상을 설명한다. V_2 는 V_3 보다 작은 절댓값을 갖는다. 도 4b의 기입 펄스에 따른 스위칭 물질의 저항을 $R2$ 라고 하고, 도 4c의 기입 펄스에 따른 스위칭 물질의 저항을 $R3$ 라고 하면, $R2$ 는 $R3$ 보다 작은 값을 갖게 된다. 따라서, 음의 극성을 갖는 기입 펄스의 피크값에 따라서 스위칭 물질의 저항의 세기를 변화시킬 수 있다.
- [0059] 선택층의 스위칭 물질에 가해지는 전압 펄스의 극성 및 피크값을 변화시켜 스위칭 물질의 저항을 변화시키고, 이를 통해 서로 다른 저항을 갖도록 할 수 있다($R1 < R2 < R3$). 서로 다른 저항을 통해 스위칭 물질은 서로 다른 논리 상태(state)로 구별될 수 있고, 서로 구별되는 논리 상태를 통해 멀티 레벨 셀을 구현할 수 있다.
- [0060] 도 5a 및 도 5b는 일 실시예에 따른 메모리 셀의 문턱 전압을 나타낸 그래프이다.

- [0061] 도 5a를 참고하면, 기입 펄스(write pulse)의 극성 및 피크값 변화에 따른 스위칭 물질의 문턱 전압 변화 양상을 알 수 있다. 기입 펄스의 극성과 관련하여, 양(positive) 극성의 펄스로 기입한 이후에는 상대적으로 낮은 문턱 전압을 갖게 되고, 음(negative) 극성의 펄스로 기입한 이후에는 상대적으로 높은 문턱 전압을 형성하게 된다. 기입 펄스의 피크값과 관련하여, 양 극성의 펄스로 기입한 경우에는 기입 펄스의 피크값이 커짐에 따라 문턱 전압이 낮아지고, 음 극성의 펄스로 기입한 경우에는 기입 펄스의 피크값이 커짐에 따라 문턱 전압이 높아지게 된다.
- [0062] 도 5b를 참고하면, 기입 펄스와 독출 펄스 사이 시간 간격(write to read time; tWTR)에 따른 문턱 전압 변화 양상을 알 수 있다. 기입과 독출 사이 시간 간격이 100 μ s부터 10ns까지 변화할때, 문턱 전압은 일정 범위 내에서 유지되는 특성을 보인다. 기입과 독출 사이 시간 간격이 10ns로 작은 값에서도 펄스가 안정적으로 구동함을 알 수 있다. 따라서, 메모리 장치(100)는 비교적 빠른 동작 속도를 가질 수 있다.
- [0063] 선택층의 스위칭 물질에 가해지는 전압 펄스의 극성 및 피크값을 변화시켜 스위칭 물질의 문턱 전압을 변화시키고, 서로 다른 문턱 전압을 통해 스위칭 물질은 서로 다른 논리 상태(state)로 구별될 수 있고, 서로 구별되는 논리 상태를 통해 멀티 레벨 셀을 구현할 수 있다.
- [0064] 도 6a 내지 도 6d는 일 실시예에 따른 상변화 물질에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.
- [0065] 도 6a 및 도 6b를 참고하여, 기입 펄스(write pulse)의 하강 시간 길이(Δt)에 따른 상변화 물질의 저항 변화 양상을 설명한다. 도 6a의 기입 펄스는 도 6b의 기입 펄스보다 긴 하강 시간 길이를 갖는다. 도 6a의 제1 하강 시간 길이(Δt_1)는 1000ns 초과일 수 있다. 도 6b의 제2 하강 시간 길이(Δt_2)는 100ns 초과이고 1000ns 이하일 수 있다. 기입 펄스가 짧은 하강 시간 길이를 갖게될수록 상변화 물질의 비정질 양의 비중은 높아지고, 기입 펄스가 긴 하강 시간 길이를 갖게될수록 상변화 물질의 결정 양의 비중이 높아질 수 있다. 즉, 도 6a의 기입 펄스를 인가했을 때 상변화 물질 내 결정 양의 비중이 높아지고, 도 6b의 기입 펄스를 인가했을 때 상변화 물질 내 결정 양의 비중이 도 6a의 기입 펄스를 인가했을 때보다 낮아질 수 있다. 도 6a의 기입 펄스에 따른 상변화 물질의 저항을 R1이라고 하고, 도 6b의 기입 펄스에 따른 스위칭 물질의 저항을 R2라고 하면, R1은 R2보다 작은 값을 갖게 된다.
- [0066] 도 6b 및 도 6c를 참고하여, 기입 펄스의 형태 변화에 따른 상변화 물질의 저항 변화 양상을 설명한다. 도 6b의 기입 펄스는 서서히 냉각됨에 따라 하강 시간(falling time)이 길어져, 사다리꼴 형태를 갖는 반면, 도 6c의 기입 펄스는 급속히 냉각됨에 따라 하강 시간이 짧아져, 직사각형 형태를 갖는다. 구체적으로, 기입 펄스의 형태를 사다리꼴 형태와 직사각형 형태로 나누는 기준은 하강 시간의 길이(Δt)일 수 있다. 도 6c의 제3 하강 시간 길이(Δt_3)는 100ns 이하일 수 있다. 도 6c와 같이 하강 시간의 길이(Δt_3)가 100ns 이하인 경우 기입 펄스의 형태를 직사각형 형태라 간주하고, 도 6b와 같이 하강 시간의 길이(Δt_2)가 100ns 초과인 경우 기입 펄스의 형태를 사다리꼴 형태라 간주할 수 있다. 사다리꼴 형태를 갖는 기입 펄스를 셋 펄스라고 하고, 직사각형 형태를 갖는 기입 펄스를 리셋 펄스라고 한다. 도 6b의 기입 펄스에 따른 상변화 물질의 저항을 R2라고 하고, 도 6c의 기입 펄스에 따른 상변화 물질의 저항을 R3라고 하면, R2는 R3보다 작은 값을 갖게 된다.
- [0067] 도 6c 및 도 6d를 참고하여, 기입 펄스의 피크값에 따른 상변화 물질의 저항 변화 양상을 설명한다. 도 6d의 기입 펄스는 도 6c의 기입 펄스보다 높은 전압을 갖는다. 다시 말해, 도 6d의 V5는 도 6c의 V4보다 큰 값을 갖는다. 기입 펄스의 피크값은 비정질화의 정도에 비례할 수 있다. 즉, 도 6d의 기입 펄스를 인가했을 때 상변화 물질 내 비정질 양의 비중이 도 6c의 기입 펄스를 인가했을 때보다 높아질 수 있다. 도 6c의 기입 펄스에 따른 상변화 물질의 저항을 R3이라고 하고, 도 6d의 기입 펄스에 따른 스위칭 물질의 저항을 R4라고 하면, R3은 R4보다 작은 값을 갖게 된다.
- [0068] 상변화 물질층의 상변화 물질에 가해지는 전압 펄스의 극성 및 피크값을 변화시켜 상변화 물질의 저항을 변화시키고, 이를 통해 서로 다른 저항을 갖도록 할 수 있다(R1 < R2 < R3 < R4). 서로 다른 저항을 통해 상변화 물질은 서로 다른 논리 상태(state)로 구별될 수 있고, 서로 구별되는 논리 상태를 통해 멀티 레벨 셀을 구현할 수 있다.
- [0069] 또한, 도 4a 내지 도 4c에 도시된 스위칭 물질에 인가될 수 있는 전압 펄스와 도 6a 내지 도 6d에 도시된 상변화 물질에 인가될 수 있는 전압 펄스를 조합하여 메모리 셀에 인가함으로써, 멀티 레벨을 갖는 메모리 셀을 구현할 수 있다.

- [0070] 도 7a 내지 도 7f는 일 실시예에 따른 메모리 셀에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.
- [0071] 도 7a 내지 도 7f를 참고하여, 기입 펄스가 스위칭 물질과 상변화 물질에 인가됨에 따른 저항 변화 양상을 설명한다.
- [0072] 도 7a를 참고하면, 음의 극성을 가지며 제1 피크값을 갖는 직사각형 형태의 리셋 펄스인 제1 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 메모리 셀은 스위칭 물질과 상변화 물질 모두 최고저항인 제1 논리 상태(state 1)를 가질 수 있다.
- [0073] 도 7b를 참고하면, 음의 극성을 가지며 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋 펄스인 제2 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 스위칭 물질과 상변화 물질 모두 고저항인 제2 논리 상태(state 2)를 가질 수 있다.
- [0074] 도 7c를 참고하면, 양의 극성을 가지며 제1 피크값보다 작은 제2 피크값을 갖는 직사각형 형태의 리셋 펄스인 제3 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 스위칭 물질은 저저항이고 상변화 물질은 고저항인 제3 논리 상태(state 3)를 가질 수 있다.
- [0075] 도 7d를 참고하면, 음의 극성을 가지며 제1 피크값보다 작은 제2 피크값을 갖는 사다리꼴 형태의 셋 펄스인 제4 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 스위칭 물질은 고저항이고 상변화 물질은 저저항인 제4 논리 상태(state 4)를 가질 수 있다.
- [0076] 도 7e를 참고하면, 양의 극성을 가지며 제1 피크값보다 작은 제2 피크값을 갖고, 제2 하강 시간 길이(Δt_2)를 갖는 사다리꼴 형태의 셋 펄스인 제5 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 스위칭 물질과 상변화 물질 모두 저저항인 제5 논리 상태(state 5)를 가질 수 있다.
- [0077] 도 7f를 참고하면, 양의 극성을 가지며 제1 피크값보다 작은 제2 피크값을 갖고, 제2 하강 시간 길이(Δt_2)보다 긴 제1 하강 시간 길이(Δt_1)를 갖는 사다리꼴 형태의 셋 펄스인 제6 기입 펄스가 메모리 셀에 인가될 수 있다. 이 경우, 스위칭 물질은 저저항이고 상변화 물질은 최저저항인 제6 논리 상태(state 6)를 가질 수 있다.
- [0078] 도 7g는 도 7a 내지 도 7f의 전압 펄스에 따른 메모리 셀의 상태를 구분하여 나타낸 그래프이다.
- [0079] 도 7g를 참고하면, 숫자 1 내지 6은 각각 제1 논리 상태 내지 제6 논리 상태에 대응되고, 제1 논리 상태 내지 제6 논리 상태는 도 7a 내지 도 7f에 각각 대응된다. 각각의 논리 상태는 저항에 따른 누적분포함수(cumulative distribution function; CDF)에서 분명하게 구분되어 나타난다. 기입 펄스의 극성, 피크값, 형태, 및 하강 시간 길이를 조절하여 기입 펄스를 선택층의 스위칭 물질과 상변화 물질층의 상변화 물질에 인가함으로써 서로 다른 저항을 갖는 복수 개의 논리 상태를 나타낼 수 있다. 예를 들어, 제어부(130)는 기입/독출부(120)를 제어하여 도 7a 내지 도 7f에 도시된 제1 기입 펄스 내지 제6 기입 펄스 중 하나의 기입 펄스를 메모리 셀(110)에 인가할 수 있다. 그러면 메모리 셀(110)은 제1 논리 상태 내지 제6 논리 상태 중 하나를 가질 수 있다. 이러한 서로 다른 저항을 갖는 논리 상태를 통해 멀티 레벨 셀을 구현할 수 있다.
- [0080] 도 8a 내지 도 8c는 다른 실시예에 따른 메모리 셀에 인가될 수 있는 전압 펄스의 종류를 예시적으로 나타낸 그래프이다.
- [0081] 도 8a 내지 도 8c를 참고하여, 기입 펄스가 스위칭 물질과 상변화 물질에 인가됨에 따른 저항 변화 양상을 설명한다.
- [0082] 도 8a를 참고하면, 제1 극성을 가지며, 제3 하강 시간 길이(Δt_3)를 가지는 제7 기입 펄스가 제어부에 의해 선택층과 상변화 물질층에 인가될 수 있다. 제3 하강 시간 길이(Δt_3)는 100ns 이하일 수 있다. 제1 극성은 양의 극성일수도 있고, 음의 극성일수도 있다. 이 경우, 논리 상태 A(state A)를 가질 수 있다.
- [0083] 도 8b를 참고하면, 제1 극성과 반대의 제2 극성을 가지며, 제3 하강 시간 길이(Δt_3)와 다른 제2 하강 시간 길이(Δt_2)를 가지고, 제1 피크값을 가지는 제8 기입 펄스가 제어부에 의해 선택층과 상변화 물질층에 인가될 수 있다. 제1 극성이 양의 극성일 경우 제2 극성은 음의 극성이고, 제1 극성이 음의 극성일 경우 제2 극성은 양의 극성일 수 있다. 제2 하강 시간 길이(Δt_2)는 100ns초과이고 1000ns 이하일 수 있다. 이 경우, 논리 상태 B(state B)를 가질 수 있다.

- [0084] 도 8c를 참고하면, 제8 기입 펄스는 제1 피크값과 다른 제2 피크값을 가질 수 있다. 제2 피크값의 절대값은 제1 피크값의 절대값보다 클 수 있다. 이 경우, 논리 상태 C(state C)를 가질 수 있다.
- [0085] 제어부(130)는 기입/독출부(120)를 제어하여 도 8a 내지 도 8c에 도시된 제7 기입 펄스 내지 제8 기입 펄스 중 하나의 기입 펄스를 메모리 셀(110)에 인가할 수 있다. 그러면 메모리 셀(110)은 논리 상태 A 내지 논리 상태 C 중 하나를 가질 수 있다. 이러한 서로 다른 저항을 갖는 논리 상태를 통해 멀티 레벨 셀을 구현할 수 있다.
- [0086] 도 9는 일 실시예에 따른 메모리 장치의 사시도이다.
- [0087] 도 9를 참조하면, 메모리 장치(200)는 복수의 메모리 셀(MC)을 포함하며, 메모리 셀(MC)은 도 3의 메모리 셀(110)일 수 있다. 메모리 장치(200)는 3차원 크로스 포인트 어레이(3D cross point array) 구조를 가질 수 있다. 메모리 장치(200)는 상이한 레벨에 위치한 제1 전극 라인(WL)과 제2 전극 라인(BL)을 포함할 수 있다. 메모리 장치(200)는 제1 방향(X 방향)으로 연장되고 제1 방향에 수직인 제2 방향(Y 방향)으로 이격된 제1 전극 라인(WL)을 포함할 수 있다. 또한, 메모리 장치(200)는 제1 전극 라인(WL)과 제3 방향(Z 방향)으로 이격되어, 제1 방향과 교차하는 제2 방향으로 상호 평행하게 연장되는 제2 전극 라인(BL)을 포함할 수 있다.
- [0088] 메모리 셀(MC)은 제1 전극 라인(WL)과 제2 전극 라인(BL)의 사이에 각각 배치될 수 있다. 메모리 셀(MC)은 제1 전극 라인(WL) 및 제2 전극 라인(BL)과 전기적으로 연결되면서, 이들의 교차점에 배치될 수 있다. 메모리 셀(MC)은 매트릭스 형태로 배열될 수 있다. 메모리 셀(MC)은 선택층(210)과 상변화 물질층(220)을 포함할 수 있다. 예를 들어, 선택층(210)과 상변화 물질층(220)은 제3 방향(Z 방향)을 따라 직렬로 연결되어 배치될 수 있으며, 선택층(210)은 제1 전극 라인(WL)과 제2 전극 라인(BL) 중 하나에 전기적으로 연결되고, 상변화 물질층(220)은 다른 전극 라인에 전기적으로 연결될 수 있다. 제1 전극 라인(WL) 및 제2 전극 라인(BL)을 통해 다양한 전압 신호 또는 전류 신호가 제공될 수 있고, 그에 따라 선택된 메모리 셀(MC)에 대해서는 데이터가 기입되거나 독출되며, 나머지 선택되지 않은 메모리 셀(MC)에 대해서는 기입이나 독출이 수행되는 것이 방지될 수 있다.
- [0089] 메모리 셀(MC)의 배열은 멀티-데크 구조를 가질 수 있다. 메모리 셀(MC)은 제3 방향(Z 방향)으로 적층될 수 있다. 예를 들어, 메모리 셀(MC)의 배열은 제1 전극 라인(WL)과 제2 전극 라인(BL)이 제3 방향(Z 방향)을 따라 교대로 적층된 멀티-데크 구조를 가질 수 있다. 이 경우 교대로 적층된 제1 전극 라인(WL)과 제2 전극 라인(BL) 사이에 메모리 셀(MC)이 위치할 수 있다.
- [0090] 메모리 셀(MC)은 제3 방향(Z 방향)을 따라 동일한 구조로 배치될 수 있다. 예를 들어, 제1 전극 라인(WL)과 제2 전극 라인(BL) 사이에 배치되는 메모리 셀(MC)에서, 선택층(210)은 제1 전극 라인(WL)에 전기적으로 연결되고, 상변화 물질층(220)은 제2 전극 라인(BL)에 전기적으로 연결되며, 선택층(210)과 상변화 물질층(220)은 직렬로 연결될 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 도 8에 도시된 것과는 달리, 메모리 셀(MC)에서 선택층(210)과 상변화 물질층(220)의 위치가 바뀔 수 있다. 예를 들어, 메모리 셀(MC)에서 상변화 물질층(220)이 제1 전극 라인(WL)에 전기적으로 연결되고 선택층(SW)이 제2 전극 라인(BL)과 전기적으로 연결될 수도 있다.
- [0091] 메모리 셀(MC)은 필라(pillar) 형상을 가질 수 있다. 예를 들어, 메모리 셀(MC)은 원기둥 형상을 가질 수 있고, 사각기둥, 타원기둥, 다각기둥 등의 다양한 기둥 형상을 가질 수도 있다.
- [0092] 메모리 셀(MC)은 측면이 기판에 대해 수직일 수 있다. 다시 말해, 메모리 셀(MC)은 적층 방향(Z 방향)에 수직인 단면의 면적이 일정할 수 있으나, 이는 예시적인 것이며, 상부가 하부보다 넓거나, 또는 하부가 상부보다 넓은 구조를 가질 수 있다. 또한, 선택층(210), 및 상변화 물질층(220)은 각각 독립적으로 상부와 하부의 넓이가 동일하거나 다를 수 있다. 이러한 형상은 각 구성 요소의 형성 방법에 따라 달라질 수 있다.
- [0093] 선택층(210)은 해당 선택층(210)과 전기적으로 연결된 메모리 장치(200)에 대한 전류의 흐름을 제어하여, 해당 메모리 장치(200)를 선택하는 역할을 수행할 수 있다. 구체적으로, 선택층(210)은 양단에 걸린 전압의 크기에 따라 저항이 변화할 수 있는 물질을 포함할 수 있다. 예를 들어, 선택층(210)은 오보닉 문턱 스위칭 특성을 가질 수 있다.
- [0094] 선택층(210)은 열적 안정성이 우수하여 반도체 소자 등의 제조 공정에서 손상 또는 열화가 적을 수 있다. 구체적으로, 선택층(210)은 결정화 온도가 350℃ 이상이고, 600℃ 이하일 수 있다. 예를 들어, 결정화 온도가 380℃ 이상, 400℃ 이상, 580℃ 이하 또는 550℃ 이하일 수 있다. 또한, 선택층(210)은 승화(sublimation) 온도가 250℃ 이상이고, 400℃ 이하일 수 있다. 예를 들어, 승화 온도는 280℃ 이상, 300℃ 이상, 380℃ 이하 또는 350℃ 이하일 수 있다.
- [0095] 선택층(210)과 상변화 물질층(220)은 정보를 저장하는 역할을 수행할 수 있다. 구체적으로, 선택층(210)과 상변

화 물질층(220)은 인가되는 전압 펄스에 따라 저항값이 달라질 수 있다. 메모리 장치(100)는 선택층(210)과 상변화 물질층(220)의 저항 변화에 따라 '0' 또는 '1'과 같은 디지털 정보를 기억할 수 있고 소거할 수도 있다.

- [0096] 메모리 장치(200)를 구동하는 방법을 간단히 설명하면 다음과 같다. 메모리 장치(200)는 제1 전극 라인(WL) 및 제2 전극 라인(BL)을 통해 메모리 셀(MC)의 선택층(210)과 상변화 물질층(220)에 전압이 인가되어 전류가 흐를 수 있다. 선택층(210)과 상변화 물질층(220)은 인가되는 펄스에 의해 복수 개의 저항 상태들 중 하나의 상태로 변화될 수 있다. 선택층(210)은 인가되는 펄스에 따라 극성이 변화하는 스위칭 물질을 포함할 수 있다. 스위칭 물질은 펄스의 극성에 따라 양의 극성과 음의 극성 사이에서 변화될 수 있으며, 이와 같은 극성 변화를 통해 메모리 장치(200)에 데이터가 저장될 수 있다. 상변화 물질층(220)은 인가되는 펄스에 따라 결정 상태가 변화하는 상변화 물질을 포함할 수 있다. 상변화 물질은 메모리 소자의 양단에 인가되는 전압에 의해 발생하는 줄 열(Joule's heat)에 의해 상(phase)이 가역적으로 변화될 수 있으며, 이와 같은 상변화를 통해 메모리 장치(200)에 데이터가 저장될 수 있다. 상변화 물질층(220)은 서로 다른 물성을 갖는 두 개 이상의 층들이 적층된 기반 물질이 다층 구조를 가질 수 있거나 또는 서로 다른 재료들을 포함하는 복수의 층들이 교대로 적층되는 초격자(Super-Lattice) 구조를 가질 수 있다. 상변화 물질을 이루는 각 원소는 다양한 화학적 조성비(stoichiometry)를 가질 수 있고, 각 원소의 화학적 조성비에 따라 상변화 물질의 결정화 온도, 용융점, 결정화 에너지에 따른 상변화 속도, 및 정보 보유력(retention)이 조절될 수 있다. 예를 들어, 상변화 물질의 용융점이 500℃ 내지 약 800℃일 수 있게 화학적 조성비가 조절될 수 있다.
- [0097] 또한 제1 전극 라인(WL) 및 제2 전극 라인(BL)의 선택에 의해 임의의 메모리 셀(MC)이 어드레스될 수 있고, 선택된 제1 전극 라인(WL) 및 제2 전극 라인(BL) 사이에 소정의 펄스를 인가하여, 메모리 셀(MC)을 프로그래밍할 수 있다. 또한 제2 전극 라인(BL)을 통하여 전류값을 측정함으로써, 해당 메모리 셀(MC)의 저항값에 따른 정보, 즉 프로그래밍된 정보를 판독할 수 있다.
- [0098] 메모리 장치(200) 내에 포함된 메모리 셀의 재료가 비정질 상태와 결정질 상태 사이에서 가역적으로 변화하는 상변화 물질을 포함할 때, 메모리 장치(200)는 PRAM일 수 있다. 이러한 PRAM은 메모리 소자의 양단에 인가되는 전압에 의해 발생하는 줄 열(Joule heat)에 의해 상(phase)이 가역적으로 변화될 수 있으며, 이와 같은 상변화를 통해 메모리 소자에 데이터가 저장될 수 있다. 예를 들어, 상변화 물질은 비정질 상에서 고저항 상태가 되고, 결정질 상에서 저저항 상태가 될 수 있다. 고저항 상태를 '0'으로, 저저항 상태 '1'로 정의함으로써, 메모리 소자에 데이터가 저장될 수 있다.
- [0099] 메모리 장치(200)는 PRAM 이외에도 RRAM, MRAM, 또는 멤리스터(Memristor) 등이 될 수 있다.
- [0100] 이로부터, 본 개시의 기술적 사상에 의한 구현예들에 따르면, 높은 독출 윈도우 마진을 갖고, 상태(state)의 세분화가 가능하도록 하여 멀티 레벨(Multi-level)을 구현할 수 있는 메모리 장치를 제공할 수 있음을 확인할 수 있다.
- [0101] 지금까지 설명한 메모리 장치는 칩 형태로 구현되어 뉴로모픽 컴퓨팅 플랫폼으로 사용될 수 있다. 예를 들어, 도 10은 메모리 장치를 포함하는 뉴로모픽 장치를 개략적으로 보이는 블록도이다. 도 10을 참조하면, 뉴로모픽 장치(1000)는 프로세싱 회로(1010) 및/또는 메모리(1020)를 포함할 수 있다. 뉴로모픽 장치(1000)의 메모리(1020)는 실시예에 따른 메모리 장치(100)를 포함할 수 있다.
- [0102] 프로세싱 회로(1010)는 뉴로모픽 장치(1000)를 구동시키기 위한 기능들을 제어하도록 구성될 수 있다. 예를 들어, 프로세싱 회로(1010)는 뉴로모픽 장치(1000)의 메모리(1020)에 저장된 프로그램을 실행시킴으로써 뉴로모픽 장치(1000)를 제어할 수 있다. 프로세싱 회로(1010)는 논리 회로와 같은 하드웨어, 소프트웨어를 실행시키는 프로세서와 같은 하드웨어와 소프트웨어의 조합, 또는 이들의 결합을 포함할 수 있다. 예를 들어, 프로세서는 중앙처리 유닛(CPU, central processing unit), 그래픽 처리 유닛(GPU, graphics processing unit), 뉴로모픽 장치(1000) 내의 응용 프로세서(AP, application processor), 산술 논리 유닛(ALU, arithmetic logic unit), 디지털 프로세서, 마이크로 컴퓨터, FPGA(field programmable gate array), SoC(System-on-Chip), 프로그램가능 논리 유닛(programmable logic unit), 마이크로 프로세서(microprocessor), 주문형 반도체(ASIC, application-specific integrated circuit) 등을 포함할 수 있다. 또한, 프로세싱 회로(1010)는 외부 장치(1030)에서 다양한 데이터를 읽고 쓰며 그 데이터를 이용해 뉴로모픽 장치(1000)를 실행시킬 수 있다. 외부 장치(1030)는 외부의 메모리 및/또는 이미지 센서(예컨대, CMOS 이미지 센서 회로)를 구비한 센서 어레이를 포함할 수 있다.
- [0103] 도 10에 도시된 뉴로모픽 장치(1000)는 머신 러닝 시스템에 적용될 수 있다. 머신 러닝 시스템은, 예컨대, 합성곱 신경망(CNN, convolutional neural network), 역합성곱 신경망(deconvolutional neural network), 장단기

메모리(long short-term memory, LSTM) 및/또는 GRU(gated recurrent unit)를 선택적으로 포함하는 순환 신경망(RNN, recurrent neural network), SNN(stacked neural network), SSDNN(state-space dynamic neural network), DBN(deep belief network), GANs(generative adversarial networks), 및/또는 RBM(restricted Boltzmann machines) 등을 포함하는 다양한 인공 신경망 조직과 처리 모델을 활용할 수 있다.

[0104] 이러한 머신 러닝 시스템은, 예컨대, 선형 회귀분석(linear regression) 및/또는 로지스틱 회귀분석(logistic regression), 통계적 군집화(statistical clustering), 베이즈 분류(Bayesian classification), 의사결정 나무(decision trees), 주성분 분석(principal component analysis)과 같은 차원 축소(dimensionality reduction), 및 전문가 시스템과 같은 다른 종류의 머신 러닝 모델, 및/또는 랜덤 포레스트(random forest)와 같은 앙상블 기법을 포함하는 이들의 조합을 포함할 수 있다. 이러한 머신 러닝 모델은, 예컨대, 영상 분류 서비스, 생체 정보 또는 생체 데이터에 기반한 사용자 인증 서비스, 첨단 운전자 지원 시스템(ADAS, advanced driver assistance system), 음성 인식 비서 서비스(voice assistant service), 자동 음성 인식(ASR, automatic speech recognition) 서비스 등과 같은 다양한 서비스를 제공하는 데 사용될 수 있으며, 다른 전자 장치에 장착되어 실행될 수 있다.

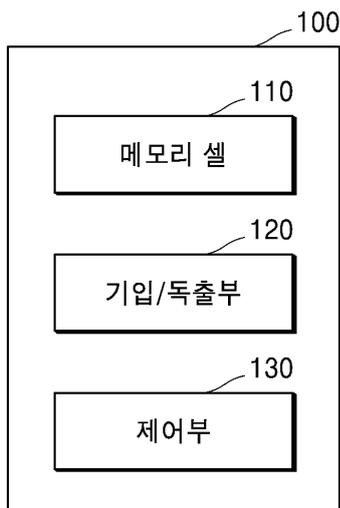
[0105] 스위칭 물질과 상변화 물질을 포함하는 메모리 장치는 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 권리범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 권리범위에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

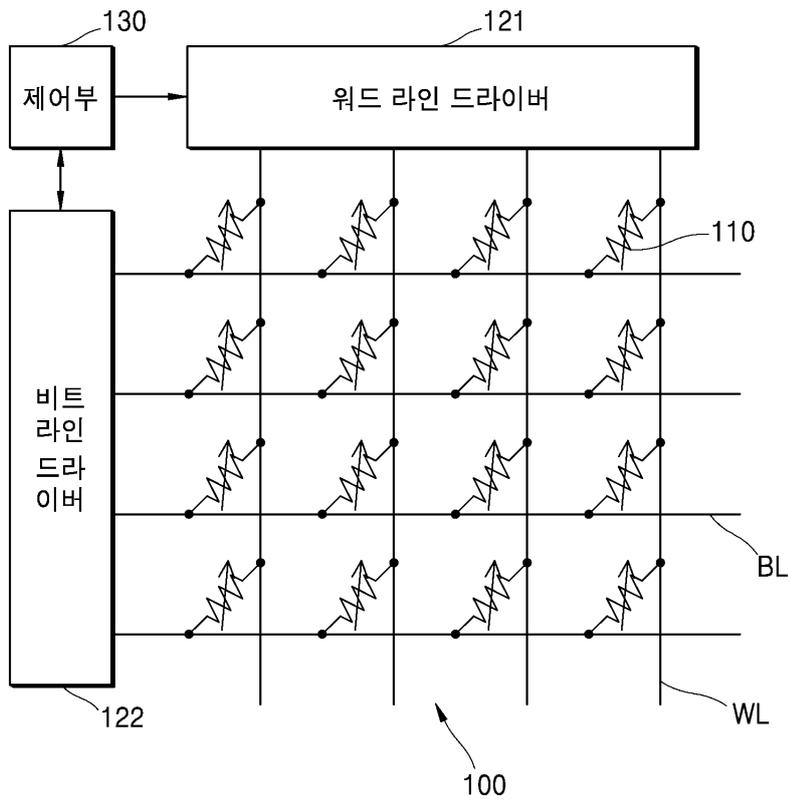
- [0106] 100, 200.....메모리 장치 110.....메모리 셀
 120.....기입/독출부 130.....제어부
 111.....제1 전극층 112, 210.....선택층
 113.....제2 전극층 114, 220..... 상변화 물질층

도면

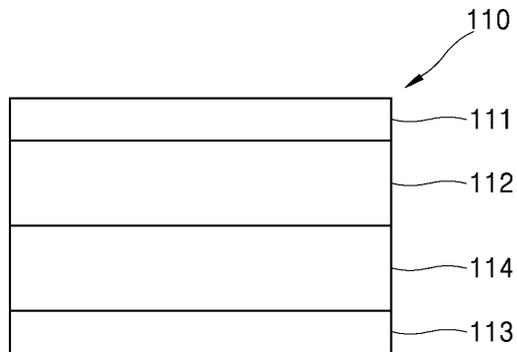
도면1



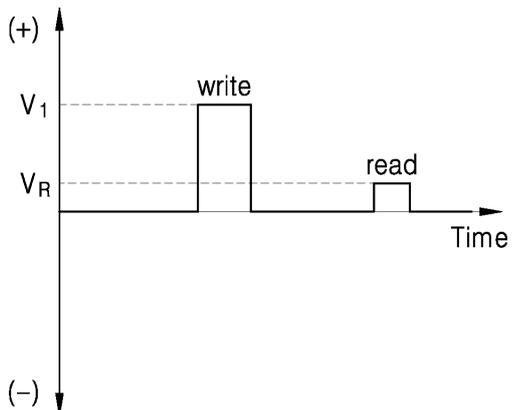
도면2



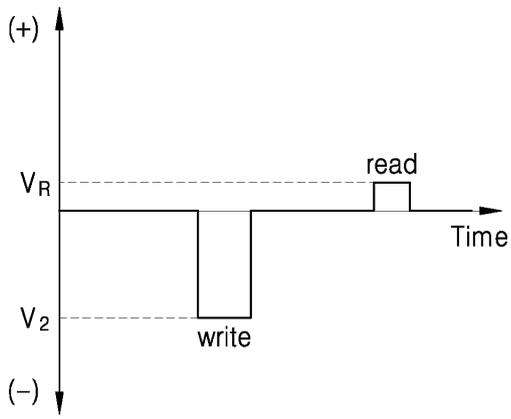
도면3



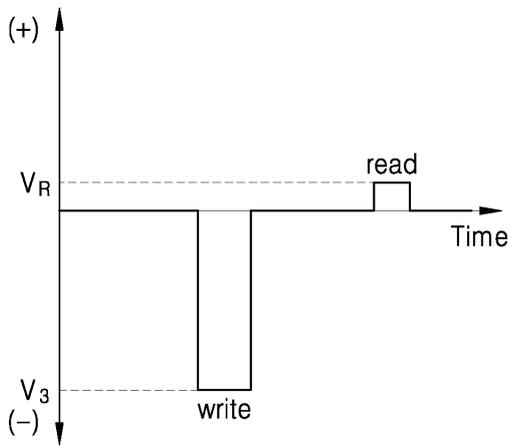
도면4a



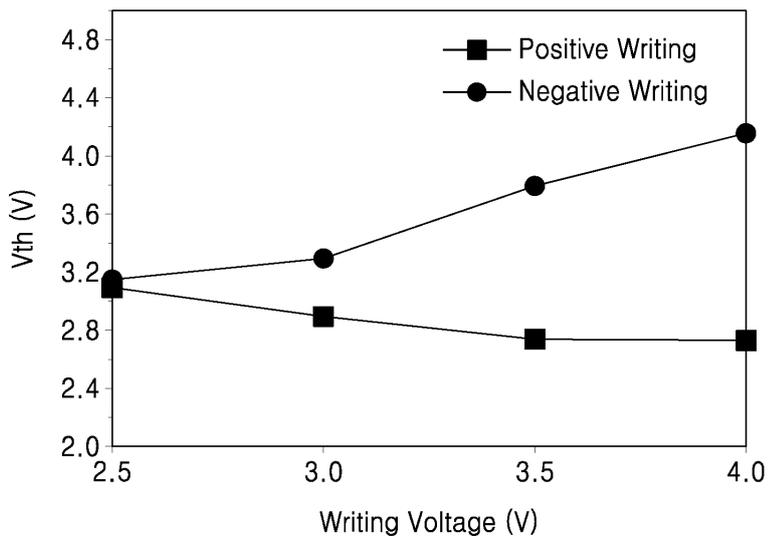
도면4b



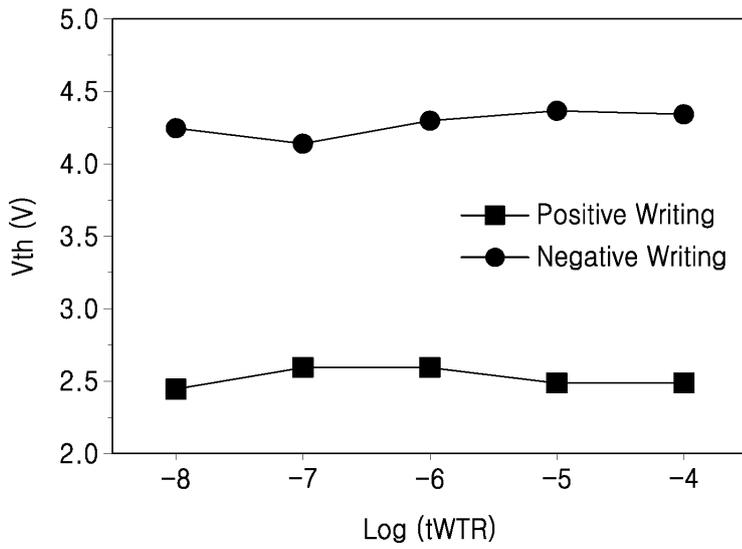
도면4c



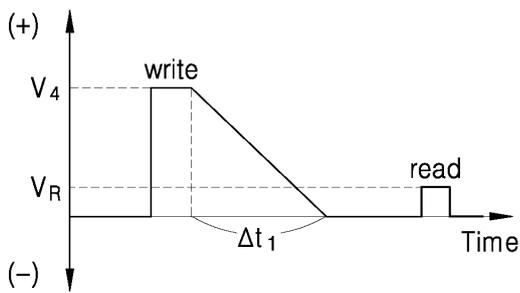
도면5a



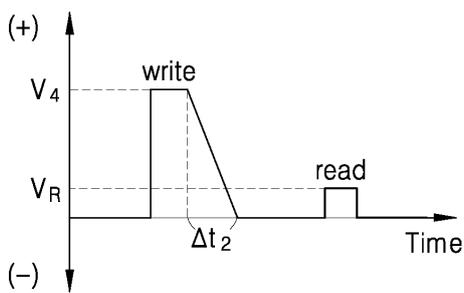
도면5b



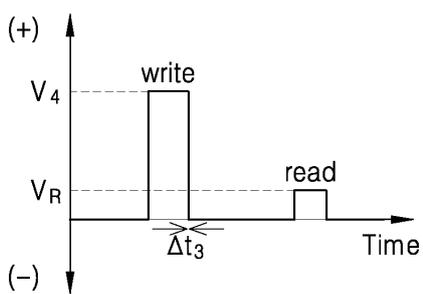
도면6a



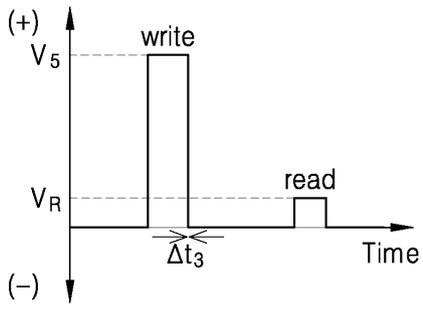
도면6b



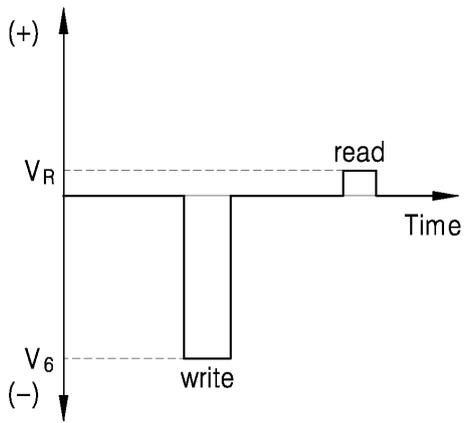
도면6c



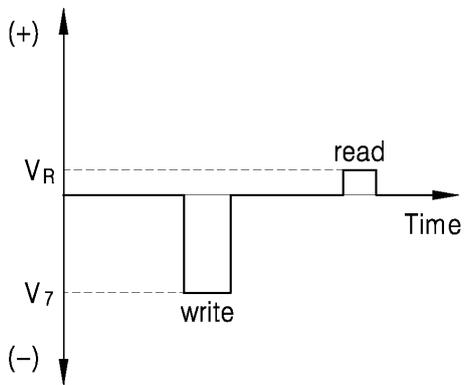
도면6d



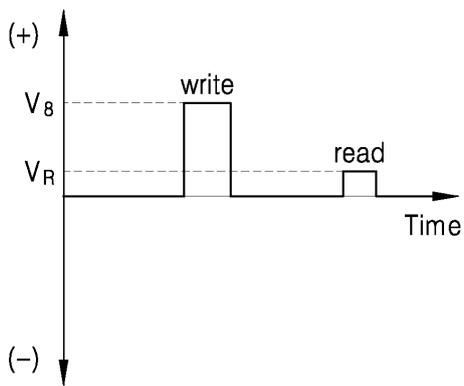
도면7a



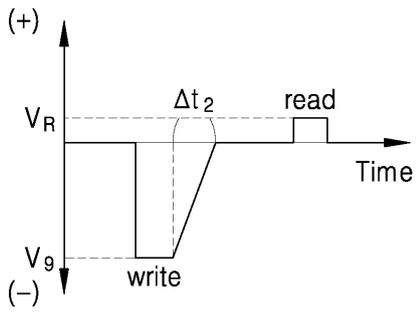
도면7b



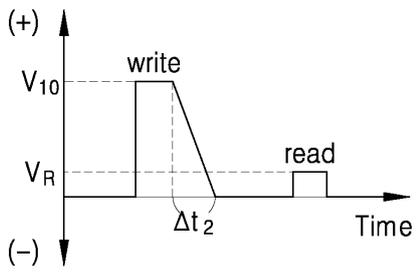
도면7c



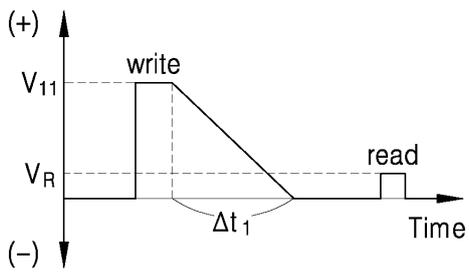
도면7d



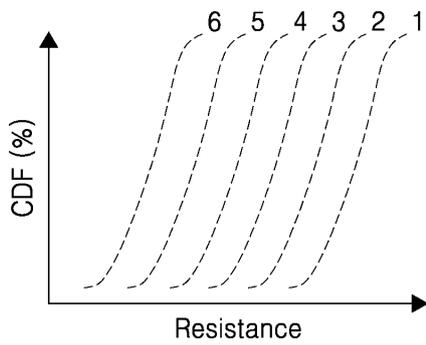
도면7e



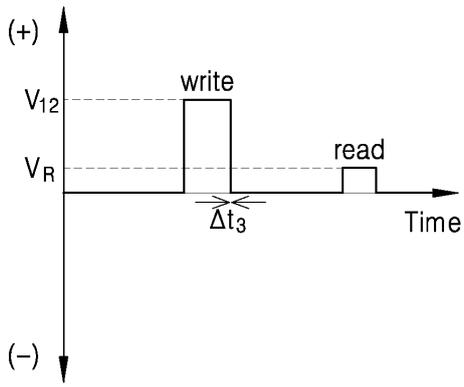
도면7f



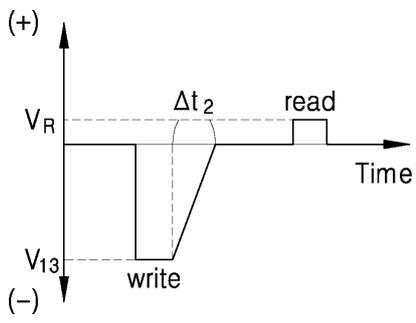
도면7g



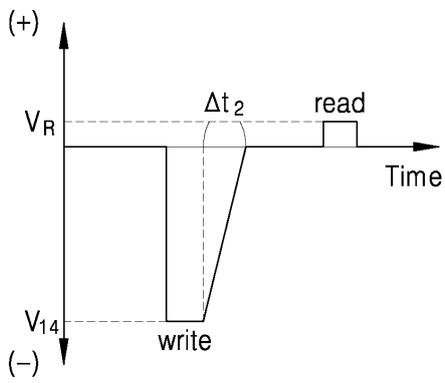
도면8a



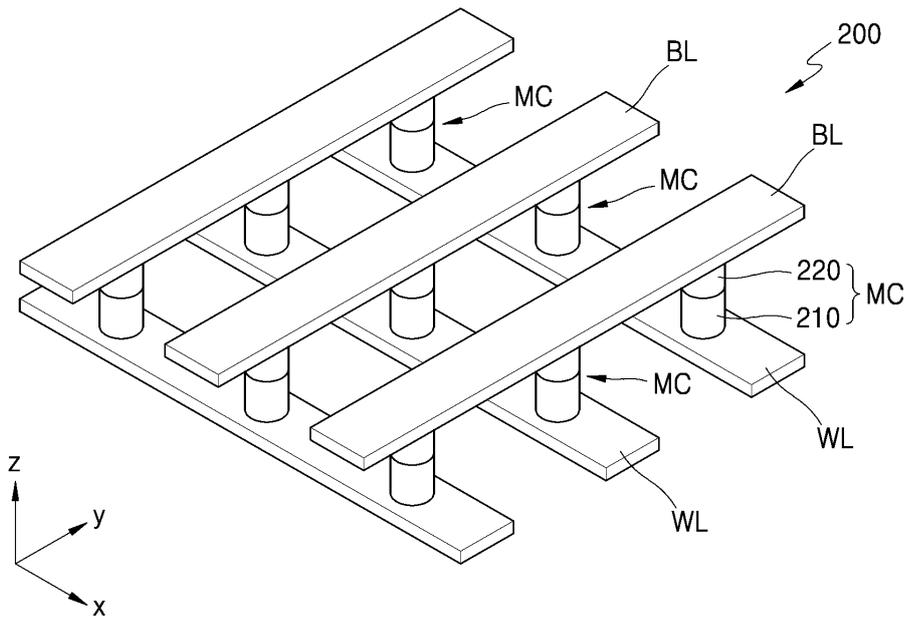
도면8b



도면8c



도면9



도면10

