

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5167831号  
(P5167831)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int. Cl.		F I			
HO 1 L 33/02	(2010.01)	HO 1 L 33/00	1 0 0		
HO 1 L 33/32	(2010.01)	HO 1 L 33/00	1 8 6		

請求項の数 8 (全 10 頁)

(21) 出願番号	特願2008-14244 (P2008-14244)	(73) 特許権者	000241463
(22) 出願日	平成20年1月24日(2008.1.24)		豊田合成株式会社
(65) 公開番号	特開2009-176966 (P2009-176966A)		愛知県清須市春日長畑1番地
(43) 公開日	平成21年8月6日(2009.8.6)	(74) 代理人	100087723
審査請求日	平成22年7月23日(2010.7.23)		弁理士 藤谷 修
		(72) 発明者	上村 俊也
			愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内
		審査官	吉田 英一

最終頁に続く

(54) 【発明の名称】 III族窒化物半導体素子、およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

III族窒化物半導体からなる半導体層を有し、成長基板が除去されて、該半導体層が接合メタル層を介して支持基板に接合された、III族窒化物半導体からなる半導体素子において、

前記半導体層は、前記支持基板側をp層、前記支持基板とは反対側をn層とする構成であり、

前記n層の面であって、前記支持基板に対する接合面とは反対側の面に形成されたn電極と、

前記p層の面であって、前記支持基板に対する接合面に形成されたp電極と、

前記p電極と前記接合メタル層との間であって、前記p電極を覆うように形成されたバリアメタル層と、

を有し、

前記支持基板は、

線膨張係数が前記III族窒化物半導体の線膨張係数の0.6~1.4倍であり、熱伝導率が100W/m・K以上のセラミックからなり、ビアが設けられたセラミック基板と、

前記セラミック基板の面であって、前記半導体層が接合される側の面に形成された基板電極層と、前記セラミック基板の他の面であって、前記半導体層とは反対側に位置する裏面に形成された裏面電極層と、

で構成され、

10

20

前記基板電極層は、前記接合メタル層、および前記バリアメタル層を介して前記 p 電極に接続され、前記基板電極層と前記裏面電極層とは、前記ビアを介して電氣的に接続されている、

前記ビアの面積は、前記半導体素子面積の 20% 以下であることを特徴とする半導体素子。

【請求項 2】

前記セラミックは、AlN または SiC であることを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記基板電極層と前記裏面電極層とは、前記ビア内に充填された導電性ペーストによって電氣的に接続されていることを特徴とする請求項 1 または請求項 2 に記載の半導体素子。

10

【請求項 4】

前記半導体素子は、発光素子であることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の半導体素子。

【請求項 5】

III 族窒化物半導体からなり、n 層と p 層が積層された半導体層を有した半導体素子の製造方法において、

成長基板上に n 層、p 層を順に積層して前記半導体層を形成し、前記 p 層上に p 電極を形成し、前記 p 電極を覆うようにバリアメタル層を形成する工程と、

20

線膨張係数が前記 III 族窒化物半導体の線膨張係数の 0.6 ~ 1.4 倍であり、熱伝導率が 100 W/m·K 以上のセラミックからなり、表面に基板電極層が形成され、裏面に裏面電極層が形成され、前記基板電極層と前記裏面電極層とを接続するビアが設けられたセラミック基板における前記基板電極層と、前記 p 電極を、前記バリアメタル層および接合メタル層を介して接合する工程と、

基板リフトオフにより前記成長基板を分離する工程と、

前記 n 層 の面であって、前記成長基板が除去された側の面上に、n 電極 を形成する工程と、

を有し、

前記ビアの面積は、前記半導体素子面積の 20% 以下であることを特徴とする半導体素子の製造方法。

30

【請求項 6】

前記セラミックは、AlN または SiC であることを特徴とする請求項 5 に記載の半導体素子の製造方法。

【請求項 7】

前記基板電極層と前記裏面電極層とは、前記ビア内に充填された導電性ペーストによって電氣的に接続されていることを特徴とする請求項 5 または請求項 6 に記載の半導体素子の製造方法。

【請求項 8】

前記半導体素子は、発光素子であることを特徴とする請求項 5 ないし請求項 7 のいずれか 1 項に記載の半導体素子の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板リフトオフ法によって成長基板を除去する工程を有した III 族窒化物半導体からなる半導体素子の製造方法、およびその半導体素子に関するもので、特に支持基板に特徴を有するものである。

【背景技術】

【0002】

III 族窒化物半導体の成長基板として、一般的にサファイア基板が用いられている。し

50

かし、サファイアは導電性や熱伝導性に問題があり、明確な劈開面がなく加工が容易でない。そこで、これらの問題を解決する技術として、成長基板上にIII族窒化物半導体を成長させた後に成長基板を除去する技術が開発されている。

【0003】

その技術の1つがレーザーリフトオフ法である。これは、III族窒化物半導体層と支持基板とを接合した後、成長基板とIII族窒化物半導体との界面にレーザーを照射してIII族窒化物半導体層を分解させて成長基板を分離除去する方法である。また、別の技術として、III族窒化物半導体層の成長基板に近い層に薬液に溶解可能な層を導入し、III族窒化物半導体層と支持基板とを接合した後に、所望の薬液により上記薬液に溶解可能な層を溶解して成長基板を除去する方法も知られている。いずれの技術においても、支持基板には、一般にSi、Ge、Cuなどが用いられている。他の支持基板の材料としては、特許文献1にはセラミック基板を用いることが示されていて、セラミック基板とIII族窒化物半導体層とは融着によって接合している。また、特許文献2には金属とセラミックの複合体を支持基板として用いることが示されている。

10

【特許文献1】特開2005-60195

【特許文献2】特開2006-60200

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、支持基板として一般的な、Si、Ge、Cuを用いると、以下の点が問題となる。Siは、線膨張係数がGaNの線膨張係数に比べて小さく、GaNと貼り合わせた際に大きな反りが生じてしまう。また、Si基板は400~500 $\mu$ mと厚いため、後の工程で基板を研磨して薄膜化する工程が必要となり、製造工程が煩雑になってしまう。また、Geは、線膨張係数についてはGaNと近く、反りの発生は少ないが、熱伝導率が悪く、放熱性に問題がある。また、Cuは、熱伝導率が高いものの、腐食やマイグレーションによって短絡を生じる場合があり、信頼性に乏しい。

20

【0005】

また、特許文献1のようにセラミック基板を融着によって接合する方法では、縦方向に導通をとることができず、III族窒化物半導体層の上下に電極を設けた構造の半導体素子の製造方法には適用することができない。また、特許文献2に記載の金属とセラミックの複合体については、その具体的な構成についてなら示されていない。

30

【0006】

そこで本発明の目的は、支持基板として適切なものを用いることにより、性能および信頼性に優れた半導体素子を実現すること、およびその半導体素子の製造方法を提供することにある。

【課題を解決するための手段】

【0007】

第1の発明は、III族窒化物半導体からなる半導体層を有し、成長基板が除去されて、該半導体層が接合メタル層を介して支持基板に接合された、III族窒化物半導体からなる半導体素子において、半導体層は、支持基板側をp層、支持基板とは反対側をn層とする構成であり、n層の面であって、支持基板に対する接合面とは反対側の面に形成されたn電極と、p層の面であって、支持基板に対する接合面に形成されたp電極と、p電極と接合メタル層との間であって、p電極を覆うように形成されたバリアメタル層と、を有し、支持基板は、線膨張係数がIII族窒化物半導体の線膨張係数の0.6~1.4倍であり、熱伝導率が100W/m $\cdot$ K以上のセラミックからなり、ビアが設けられたセラミック基板と、セラミック基板の面であって、半導体層が接合される側の面に形成された基板電極層と、セラミック基板の他の面であって、半導体層とは反対側に位置する裏面に形成された裏面電極層と、で構成され、基板電極層は、接合メタル層、およびバリアメタル層を介してp電極に接続され、基板電極層と裏面電極層とは、ビアを介して電氣的に接続されていて、ビアの面積は、半導体素子面積の20%以下であることを特徴とする半導体素子で

40

50

ある。

【0008】

III族窒化物半導体とは、 $GaN$ 、 $AlGaN$ 、 $InGaN$ 、 $AlGaInN$ など、一般式 $Al_xGa_yIn_{1-x-y}N$  ( $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$ )で表されるものである。

【0009】

線膨張係数がIII族窒化物半導体の線膨張係数と近く、熱伝導率が高いセラミックには、 $AlN$ 、 $SiC$ などがある。セラミックの線膨張係数は、セラミックの線膨張係数とIII族窒化物半導体の線膨張係数との差の絶対値がIII族窒化物半導体の線膨張係数の40%以内の範囲、言い換えれば、セラミックの線膨張係数がIII族窒化物半導体の線膨張係数の0.6倍から1.4倍の範囲内であることが望ましい。この範囲内であれば、線膨張係数の違いに起因する反りを十分に小さくすることができる。セラミックの線膨張係数とIII族窒化物半導体の線膨張係数との差の絶対値が25%以内の範囲であればより望ましく、10%以内の範囲であればさらに望ましい。また、セラミックの熱伝導率は、 $100 W/m \cdot K$ 以上であることが望ましい。この値以上であれば、半導体素子の動作により発生する熱を効率よく外部に放出することができる。 $150 W/m \cdot K$ 以上であれば、さらに望ましい。

10

【0010】

両面の基板電極層と裏面電極層との電気的接続は、ビアに導電性ペーストを充填することで行ってもよいし、ビアに湿式メッキなどによって金属を埋め込むことで行ってもよい。

20

ビアの面積が半導体素子面積の20%を超えると、支持基板におけるセラミックの占める割合が少なくなるため熱伝導性が悪化して望ましくない。

【0011】

第2の発明は、第1の発明において、セラミックは、 $AlN$ または $SiC$ であることを特徴とする半導体素子である。

【0012】

【0013】

【0014】

第3の発明は、第1の発明または第2の発明において、両面の基板電極層と裏面電極層とは、ビア内に充填された導電性ペーストによって電気的に接続されていることを特徴とする半導体素子である。

30

【0015】

第4の発明は、第1の発明から第3の発明において、半導体素子は、発光素子であることを特徴とする。

【0016】

第5の発明は、III族窒化物半導体からなり、 $n$ 層と $p$ 層が積層された半導体層を有した半導体素子の製造方法において、成長基板上に $n$ 層、 $p$ 層を順に積層して半導体層を形成し、 $p$ 層上に $p$ 電極を形成し、 $p$ 電極を覆うようにバリアメタル層を形成する工程と、線膨張係数がIII族窒化物半導体の線膨張係数の0.6~1.4倍であり、熱伝導率が $100 W/m \cdot K$ 以上のセラミックからなり、表面に基板電極層が形成され、裏面に裏面電極層が形成され、基板電極層と裏面電極層とを接続するビアが設けられたセラミック基板における基板電極層と、 $p$ 電極を、バリアメタル層および接合メタル層を介して接合する工程と、基板リフトオフにより成長基板を分離する工程と、 $n$ 層の面であって、成長基板が除去された側の面上に、 $n$ 電極を形成する工程と、を有し、ビアの面積は、半導体素子面積の20%以下であることを特徴とする半導体素子の製造方法である。

40

【0017】

基板リフトオフによる成長基板の分離には、レーザーリフトオフやケミカルリフトオフなどの方法を用いることができる。

【0018】

50

第6の発明は、第5の発明において、セラミックは、AlNまたはSiCであることを特徴とする半導体素子の製造方法である。

【0019】

【0020】

第7の発明は、第5の発明または第6の発明において、両面の基板電極層と前記裏面電極層とは、ビア内に充填された導電性ペーストによって電氣的に接続されていることを特徴とする半導体素子の製造方法である。

【0021】

第8の発明は、第5の発明から第7の発明において、半導体素子は、発光素子であることを特徴とする半導体素子の製造方法である。

10

【0022】

また、基板リフトオフ法により成長基板が除去されたIII族窒化物半導体からなる半導体素子を製造する際に用いる支持基板において、支持基板は、線膨張係数がIII族窒化物半導体の線膨張係数と近く、熱伝導率が高いセラミックからなり、ビアが設けられたセラミック基板と、セラミック基板の両面に、それぞれ、設けられた基板電極層及び裏面電極層と、で構成され、基板電極層と裏面電極層とは、ビアを介して電氣的に接続されていることを特徴とする支持基板としても良い。

【発明の効果】

【0023】

第1の発明では、支持基板としてセラミック基板を用い、セラミック基板の両面に設けた電極層をビアを介して電氣的に接続した構成としている。この構成によって、セラミック基板を用いた場合であっても基板膜厚方向に導通をとることができる。また、熱伝導率が高いセラミックを用いているため、半導体素子で発生した熱を支持基板を介して効率よく基材側へ逃がすことができ、半導体素子が高温になって素子性能の低下を抑制することができる。また、線膨張係数がIII族窒化物半導体の線膨張係数に近いセラミックを用いているため、反りが小さくなり、製造が容易となる。また、膜厚の薄いセラミック基板を用いることができるので、基板の薄膜化工程を実施する必要がなく、製造工程を簡素化することができる。また、セラミックであるから、腐食やマイグレーションが生じることもないので信頼性が高い。

20

また、ビアの面積を半導体素子面積の20%以下とすれば、ビアを形成したことによる熱伝導率の低下の影響が少なくすむ。

30

【0024】

また、第2の発明のように、セラミックには、線膨張係数がIII族窒化物半導体の線膨張係数と近く、熱伝導率が高いAlNやSiCを用いることができる。

【0025】

【0026】

また、第3の発明のように、両面の電極層の電氣的接続は、ビアに充填した導電性ペーストによってとることができる。

【0027】

また、第4の発明のように、本発明は発光素子に適用することができる。

40

【0028】

また、第5～8の発明によると、素子性能の低下が防止され、信頼性の高い半導体素子を、簡便かつ容易に製造することができる。

【0029】

また、支持基板は、膜厚方向に導通をとることができる構造であり、線膨張係数がIII族窒化物半導体の線膨張係数と近く、熱伝導率が高いことから、基板リフトオフ法によりIII族窒化物半導体からなる半導体素子を製造する際に用いる支持基板として適している。

【発明を実施するための最良の形態】

【0030】

50

以下、本発明の具体的な実施例について図を参照しながら説明するが、本発明は実施例に限定されるものではない。

【実施例 1】

【0031】

図 1 は、実施例 1 の発光素子 100 の構造を示す図であり、図 2 は、その発光素子 100 の製造工程を示す図である。

【0032】

まず、発光素子 100 の構造について、図 1 を参照に説明する。発光素子 100 は、半導体層 11 の下面に p 電極 12、バリアメタル層 13、ソルダ下地層 14 が形成され、接合メタル層 15 を介して支持基板 16 と接合している。半導体層 11 の上面には、n 電極 17 が形成されている。半導体層 11 は、p 電極 12 側を p 層、n 電極 17 側を n 層、p 層と n 層の間に MQW 層（いずれも図示しない）の構成となっている。n 電極 17 側の半導体層 11 表面 11b は、微細加工により凹凸が設けられている。n 電極 17 は、ストライプ状のパターンに形成され、p 電極 12 は、n 電極 17 と逆のパターンに形成されている。また、半導体層 11 の側端面 11a からソルダ下地層 14 上面の一部にわたって端面保護膜 18 が形成されている。

【0033】

p 電極 12 は、Ag - Pd - Cu からなる。他には、Ag、Rh、Pt、Ru やこれらの金属を主成分とする合金などの高光反射率で低コンタクト抵抗な金属や、Ni、Ni 合金、Au 合金などを用いることができる。また、ITO などの透明電極膜と高反射金属膜からなる複合層であってもよい。また、バリアメタル層 13 は、Ti / TiN からなり、ソルダ下地層 14 は、Ti / Au / Al からなる。接合メタル層 15 は、Ti / Ni / Au / Au - Sn からなる。Au - Sn 以外にも、Au - Si、Ag - Sn - Cu、Sn - Bi や、Au、Sn、Cu などを用いることができる。n 電極 17 は、Ti / Al からなる。

【0034】

支持基板 16 は、AlN からなる膜厚 200 μm のセラミック基板 161 と、セラミック基板 161 の半導体層 11 側表面に形成された基板電極層 162 と、セラミック基板 161 の半導体層 11 側とは反対側の表面に形成された裏面電極層 163 で構成されている。セラミック基板 161 には、直径 100 μm の円柱状のビア 164 が複数個形成されている。基板電極層 162 と裏面電極層 163 は、ビア 164 に充填された導電性ペースト 165 によって電氣的に接続されている。基板電極層 162 と裏面電極層 163 は、本発明の電極層に相当する。支持基板 16 をこのように構成することで、膜厚方向に導通をとることができるようにしている。基板電極層 162 は、Ti / Ni / Au からなり、裏面電極層 163 は、Ti / Ni / Au / Au - Sn / Au からなる。導電性ペースト 165 には、樹脂バインダ中に、Au、Ag、Cu、W などの金属粒子を分散させたものを用いる。また、ビアの面積の合計が発光素子 100 面積の 20% 以下となるようにビア 164 の個数が調整されている。

【0035】

この発光素子 100 は、膜厚方向に導通して n 電極 17 側の半導体層 11 表面 11b を光取り出し面として動作し、表面 11b に微細な凹凸加工が施され、n 電極 17 が p 電極 12 のパターンの逆のパターンであることから、光取り出し効率も高い。ここで、セラミック基板 161 の材料である AlN は、線膨張係数が  $4.5 \times 10^{-6} / K$  で GaN の線膨張係数  $5.6 \times 10^{-6} / K$  に近いいため、支持基板 16 との貼り合わせにより生じる反りは小さい。また、AlN は熱伝導率も  $200 W / m \cdot K$  と高く、発光素子 100 の動作により発生する熱を支持基板 16 を介して効率よく外部に放出することができるので、発光素子 100 が高温になって発光効率が低下するのを抑制することができる。また、セラミックであることから腐食やマイグレーションが生じることがないので、発光素子 100 は高い信頼性を有している。

【0036】

次に、図2を参照に発光素子100の製造工程について説明する。

【0037】

まず、サファイア基板10（本発明の成長基板に相当）上に、エピタキシャル成長によりIII族窒化物半導体からなる半導体層11を作製する（図2A）。この半導体層11は、サファイア基板10側をn層、その上部にMQW層、その上部に、p層の構成である。

【0038】

次に、半導体層11の所定の領域をサファイア基板10の表面10aが露出するまでドライエッチングして半導体層11を各素子ごとに分離する（図2B）。

【0039】

次に、ストライプ状の平面パターンのp電極12をリフトオフ法によって半導体層11  
10  
上面の所定の領域に形成し、p電極12を覆うようにバリアメタル層13、ソルダ下地層14を形成する（図2C）。

【0040】

なお、先に所定の位置にp電極12、バリアメタル層13、ソルダ下地層14を形成した後、半導体層11の所定の領域をドライエッチングして各素子ごとに分離してもよい。

【0041】

次に、CVD法によりSiO<sub>2</sub>からなる端面保護膜18を、露出したサファイア基板10の表面10a、半導体層11の側端面11a、ソルダ下地層14の一部、に連続して形成する（図2D）。この端面保護膜18は、半導体層11の側端面11aでの電流のリークやショートを防止するためのものである。  
20

【0042】

次に、ソルダ下地層14の上部に接合メタル層15を形成する。また、支持基板16として、AlNからなり、ビア164が設けられたセラミック基板161の一方の面に基板電極層162、もう一方の面に裏面電極層163が形成され、ビア164に充填された導電性ペースト165によって基板電極層162と裏面電極層163とが接続されたものを用意する。そして、基板電極層162側と接合メタル層15側とを向かい合わせ、接合メタル層15を介して半導体層11側と支持基板16とを熱プレスにより接合する（図2E）。このとき、熱プレス温度として300の熱履歴がかかるが、AlNの線膨張係数はIII族窒化物半導体と近いいため、この接合によって生じる反りは小さい。  
30

【0043】

次に、レーザーリフトオフにより、サファイア基板10を分離除去する。サファイア基板10側からウェハにレーザー光を照射することによって、サファイア基板10と半導体層11の接合面において半導体層11を分解させることで、サファイア基板10を分離除去できる。その後、このサファイア基板10の除去によって露出した半導体層11の表面11bを高温のアルカリ水溶液によってウェットエッチングすることで、表面11bに微細な凹凸加工を施す（図2F）。

【0044】

次に、半導体層11の表面11b上に、p電極12の平面パターンとは逆の平面パターンのn電極17を形成する（図2G）。そして、ダイシングによって各発光素子ごとに分離することで、図1に示す構造の発光素子100が製造される。  
40

【0045】

なお、セラミック基板161は膜厚200μmであるため、Si基板などを支持基板として用いた場合に必要であった支持基板の薄膜化工程は必要ない。

【0046】

このように、上記支持基板16を用いたことにより、支持基板16との接合により生じる反りが小さいため製造が容易となり、薄膜化工程を必要としないため製造工程を簡素化することができる。

【0047】

実施例1は発光素子であったが、本発明は発光素子に限るものではなく、基板リフトオフにより製造されるあらゆるIII族窒化物半導体からなる半導体素子に適用できるもので  
50

ある。

【0048】

また、実施例1では、導電性ペーストによってセラミック基板の両面に形成された基板電極層と裏面電極層との電気的接続をとっているが、湿式メッキ等によってビアに金属を埋め込むことを行ってもよい。

【0049】

また、実施例1では、セラミック基板の材料としてAlNを用いているが、本発明はAlNに限定するものではなく、線膨張係数がIII族窒化物半導体の線膨張係数と近く、熱伝導率が高いセラミックであれば何でもよい。たとえば、SiCの線膨張係数は $4.0 \times 10^{-6} / K$ で、GaNの線膨張係数 $5.6 \times 10^{-6} / K$ に近く、熱伝導率も $150 W / m \cdot K$ と高いので、AlNに替えてSiCを用いることも可能である。

10

【0050】

また、実施例1では、レーザーリフトオフにより成長基板であるサファイア基板10を除去しているが、サファイア基板10と半導体層11との間に薬液に溶解させることができるバッファ層を形成し、支持基板との接合後に薬液によってバッファ層を溶解させてサファイア基板10を分離除去するケミカルリフトオフを用いてもよい。

【産業上の利用可能性】

【0051】

本発明は、III族窒化物半導体からなる発光素子などに適用することができる。

【図面の簡単な説明】

20

【0052】

【図1】実施例1の発光素子100の構造を示す図。

【図2A】実施例1の発光素子100の製造工程を示す図。

【図2B】実施例1の発光素子100の製造工程を示す図。

【図2C】実施例1の発光素子100の製造工程を示す図。

【図2D】実施例1の発光素子100の製造工程を示す図。

【図2E】実施例1の発光素子100の製造工程を示す図。

【図2F】実施例1の発光素子100の製造工程を示す図。

【図2G】実施例1の発光素子100の製造工程を示す図。

【符号の説明】

30

【0053】

10：サファイア基板

11：半導体層

12：p電極

13：バリアメタル層

14：ソルダ下地層

15：接合メタル層

16：支持基板

17：n電極

18：端面保護膜

40

161：セラミック基板

162：基板電極層

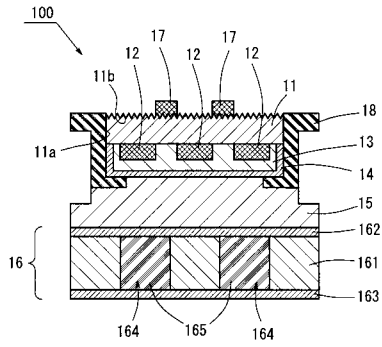
163：裏面電極層

164：ビア

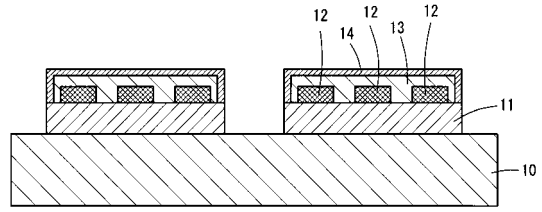
165：導電性ペースト



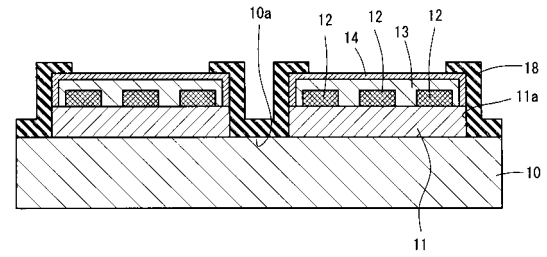
【図 1】



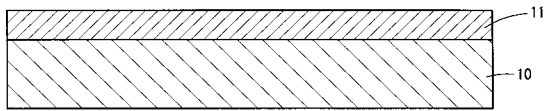
【図 2 C】



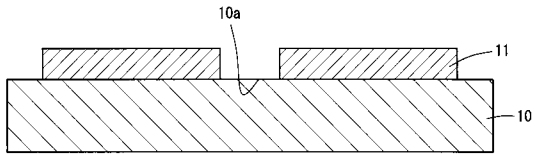
【図 2 D】



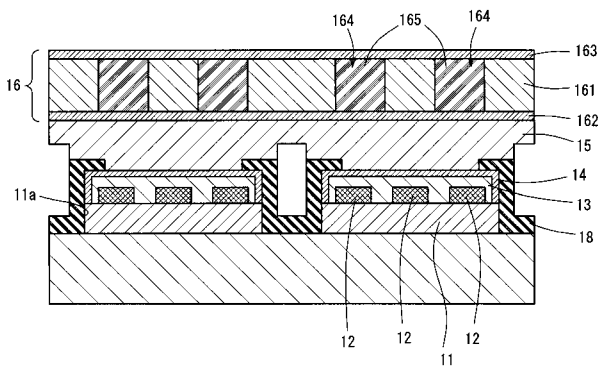
【図 2 A】



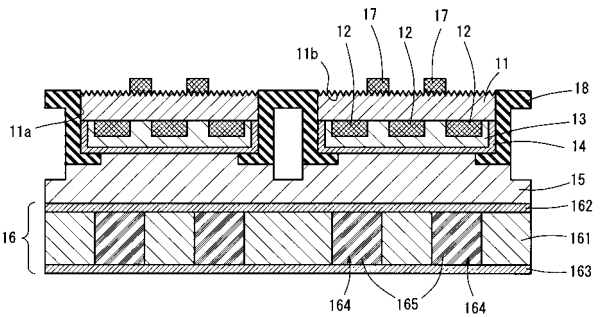
【図 2 B】



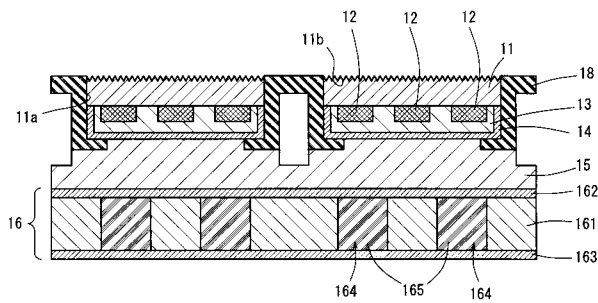
【図 2 E】



【図 2 G】



【図 2 F】



---

フロントページの続き

- (56)参考文献 特開2005-167239(JP,A)  
特開2003-124408(JP,A)  
特開2006-303034(JP,A)  
特開2007-207981(JP,A)  
特開2008-277592(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64  
H01S 5/00 - 5/50  
H01L 23/12 - 23/15  
H01L 23/29  
H01L 23/34 - 23/36  
H01L 23/373 - 23/427  
H01L 23/44  
H01L 23/467 - 23/473