



(12) 发明专利

(10) 授权公告号 CN 114665908 B

(45) 授权公告日 2023.05.12

(21) 申请号 202210281221.5

(22) 申请日 2022.03.21

(65) 同一申请的已公布的文献号
申请公布号 CN 114665908 A

(43) 申请公布日 2022.06.24

(73) 专利权人 中国电子科技集团公司第三十八
研究所

地址 230000 安徽省合肥市高新技术开发
区香樟大道199号

(72) 发明人 庞东伟 金来福 丁德志 韦玲玲
王小虎 吴士伟 桂勇锋 段宗明

(74) 专利代理机构 合肥吴晟德专利代理事务所
(普通合伙) 34153

专利代理师 何梓秋

(51) Int. Cl.

H04B 1/40 (2015.01)

H01P 1/18 (2006.01)

H01P 1/22 (2006.01)

(56) 对比文件

CN 113471686 A, 2021.10.01

CN 108736858 A, 2018.11.02

(54) 发明名称

一种幅相精度可调节的衰减移相系统

(57) 摘要

本发明公开了一种幅相精度可调节的衰减移相系统,属于芯片电路设计技术领域,包括有源数控衰减器、有源数控移相器、可查表码值寄存器。本发明在外部系统要求6位衰减6位移相的背景下,直接衰减位数和移相位数分别增加到9位,使得幅相精度进一步提升成为了可能;此外基于本架构,在系统复杂度和上电可查表码值寄存器写入数据时间允许的条件下,9位直接控制位仍可进一步增加;并随着直接控制位的增加,相应的衰减、移相位也从原来的各64位分别增加到512位,在外部6位控制位不变的条件下,每一个衰减态、移相态可从多个状态中选择;对于系

CN 113938138 A, 2022.01.14

CN 108780129 A, 2018.11.09

WO 2016204962 A1, 2016.12.22

CN 103856220 A, 2014.06.11

WO 2016146198 A1, 2016.09.22

US 2019158068 A1, 2019.05.23

CN 107196673 A, 2017.09.22

CN 208337512 U, 2019.01.04

CN 107505601 A, 2017.12.22

CN 113114162 A, 2021.07.13

CN 101171496 A, 2008.04.30

US 2016094187 A1, 2016.03.31

庞东伟.W波段相控阵接收前端集成电路关键技术研究.《中国优秀硕士学位论文全文数据库-信息科技辑》.2019,全文.

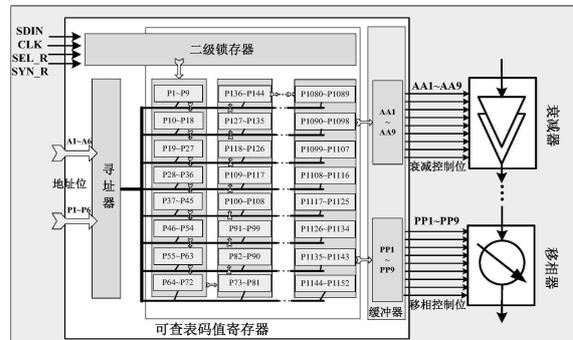
尹子浩.K波段线性化通道放大技术研究.《中国优秀硕士学位论文全文数据库-信息科技辑》.2022,全文.

(续)

审查员 薛文婷

权利要求书2页 说明书5页 附图3页

统不同衰减移相精度的指标要求,可将不同的码值写入可查表码值寄存器实现幅相多功能芯片在片调节优化。



CN 114665908 B

[接上页]

(56) 对比文件

Quang Thao Le等. Amplitude and phase adaptive nulling with a genetic algorithm

for array antennas.《2011 2nd International Conference on Artificial Intelligence, Management Science and Electronic Commerce (AIMSEC)》.2011,全文.

1. 一种幅相精度可调节的衰减移相系统,其特征在于,包括:有源数控衰减器、有源数控移相器、可查表码值寄存器;所述有源数控衰减器、有源数控移相器均由至少9位控制位控制,所述可查表码值寄存器包括第一锁存器、第二级锁存器、缓冲器、寻址器、128个9位2进制寄存器,串行信号通过第一锁存器完成串并码值转换,再通过控制第二级锁存器完成信号锁存,完成对可查表码值寄存器的写操作,6位衰减地址位和6位移相地址位通过寻址器,寻址器输出控制信号分别连接到128个9位2进制寄存器上来控制相应9位衰减、移相控制码输出,输出信号最后再经缓冲器输出,分别实现对64个9位二进制衰减码和64个9位二进制移相码寻址,输出9位衰减码和9位移相码分别至有源数控衰减器、有源数控移相器,控制衰减和移相,对相控阵系统所要求的6位衰减和6位移相进行精度调节。

2. 根据权利要求1所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述有源数控衰减器与有源数控移相器的控制位均为9位。

3. 根据权利要求2所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述有源数控衰减器为有源数控可变增益放大器,所述有源数控可变增益放大器包括两级可变增益放大器,所述有源数控可变增益放大器通过两级可变增益放大器完成衰减器调幅。

4. 根据权利要求3所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述有源数控可变增益放大器,每级可变增益放大器为6位,对应控制位分别为VC1~VC6,两级可变增益放大器级联一共12位控制位,将12位衰减器控制位缩减至9位,对应增益比例分别为:1:2:3:4:8:12:16:32:48,当单位增益变换为1XdB时,则通过控制每位尾电流源偏置的开与关可分别实现可变增益放大器增益 ± 1 XdB, ± 2 XdB, ± 4 XdB, ± 8 XdB, ± 16 XdB, ± 32 XdB变化。

5. 根据权利要求4所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述可变增益放大器包括6个成比例的第一Gilbert单元,6个成比例的第一Gilbert单元并联,提供增益比例分别为1:2:4:8:16:32。

6. 根据权利要求5所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述有源数控移相器包括正交信号发生器、两个VGA可变增益放大器、加法器,一对射频差分输入信号输入到正交信号发生器,正交信号发生器输出正交的两路差分信号I路和Q路,I路和Q路信号分别经过一个VGA可变增益放大器,再经过加法器合成一路差分信号。

7. 根据权利要求4所述的一种幅相精度可调节的衰减移相系统,其特征在于:所述有源数控可变增益放大器包括相位合成电路与DAC偏置电路;所述相位合成电路包括MOS管M1~M14,其中,MOS管M1、M8栅极分别为电压偏置端VB2、VB4,源极接地;MOS管M1漏极连接MOS管M2、M3的源极,MOS管M8漏极连接MOS管M9、M10的源极,MOS管M2、M3的栅极通过控制开关VI和 \overline{VI} 连接到电压偏置端VB1,MOS管M9、M10的栅极通过控制开关VQ和 \overline{VQ} 连接到电压偏置端VB3,MOS管M2的漏极连接到M4和M5的源极,MOS管M3的漏极连接到MOS管M6、M7的源极,MOS管M9的漏极连接到MOS管M11、M12的源极,MOS管M10的漏极连接到MOS管M13、M14的源极,MOS管M4、M7栅极连接RFI+信号,MOS管M5、M6的栅极连接RFI-信号,MOS管M11、M14的栅极连接RFQ+信号,MOS管M12、M13的栅极连接RFQ-信号,MOS管M4、M6、M11、M13漏极连接到Iout+端,MOS管M5、M7、M12、M14漏极连接到Iout-端;DAC偏置电路包括7位1X、2X、4X、8X、16X、32X、64X电流偏置电路与MOS管M15~M18,7位电流偏置电路分别通过成对的开关控制信号V1和 $\overline{V1}$ 、V2和

$\overline{V2}$ 、V3和 $\overline{V3}$ 、V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制流经M15、M17和M16和M18电流的大小,其中,MOS管M15、M16源极接地,栅极和漏极分别短接,分别连接到电压偏置端VB2、VB4,然后分别连接到MOS管M17、M18的源极,MOS管M17和M18栅极和漏极分别短接,分别连接到电压偏置端VB1和VB3,然后分别连接到V1~V7和 $\overline{V1}$ ~ $\overline{V7}$ 控制的开关,V1和 $\overline{V1}$ 、V2和 $\overline{V2}$ 、V3和 $\overline{V3}$ 、V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制的开关管分别短接连接到1X、2X、4X、8X、16X、32X、64X的电流源。

一种幅相精度可调节的衰减移相系统

技术领域

[0001] 本发明涉及芯片电路设计技术领域,具体涉及一种幅相精度可调节的衰减移相系统。

背景技术

[0002] 实现高精度数控衰减、移相是相控阵收发系统的核心技术,然而实际芯片电路设计中,仿真和实测往往存在一定的偏差。如对于系统要求的6位衰减和6位移相而言,若设计时瞄准6位直接控制位衰减器和6位直接控制位移相器来仿真,实测往往存在一定的幅相精度偏移,这时就需要对芯片反复迭代优化来达到期望精度要求。

[0003] 传统的数控衰减器通常可结合MOS开关管,基于无源的T或PI型的电阻网络实现,通过对单元衰减位:0.5dB、1dB、2dB、4dB、8dB、16dB级联实现6位0~31.5dB衰减,但由于电阻值加工制造或仿真的偏差,往往会导致衰减值的偏移。传统的数控移相器通常也可结合MOS开关管,基于无源的T或PI型的LC高低通网络实现,即通过单元移相位:5.625°、11.25°、22.5°、45°、90°、180°级联实现0~354.375°移相,同样由于L、C加工制造或仿真的偏差,往往也会导致移相值得偏移。幅相精度的修正往往需要多轮迭代优化,这也使得芯片研发成本进一步提升。

[0004] 提升直接衰减位数和移相位数,可实现幅相精度的提升,这一操作简便易行,但会存在以下问题:直接衰减位数和移相位数的增加导致与外部系统所要求位数指标不符;即便位数增加,也无法避免因半导体加工工艺或仿真偏差导致幅相精度的偏移,仍需多轮迭代实现修正;对于系统不同衰减移相精度的指标要求,无法实现在片调节优化。为此,提出一种幅相精度可调节的衰减移相系统。

发明内容

[0005] 本发明所要解决的技术问题在于:如何解决现有相控阵收发系统中幅相控制芯片幅相精度需多轮流片迭代优化且无法根据幅相精度指标需求在片调节这一问题,提供了一种幅相精度可调节的衰减移相系统,本发明基于硅基工艺,通过可查表码值寄存器实现对整个相控阵系统所要求的6位衰减和6位移相进行精度调节,而核心模块数控衰减器和数控移相器分别可由9位甚至更多二进制位控制,即相控阵系统可从9位共512个衰减状态和9位共512个移相状态中分别选择出各6位64态的幅相性能最优的码值组合方案,共计128个9位二进制码值寄存器所存储的数据可写可读,幅相精度可通过修改寄存器存储数据来实现幅相自由调节。

[0006] 本发明是通过以下技术方案解决上述技术问题的,本发明包括有源数控衰减器、有源数控移相器、可查表码值寄存器;所述有源数控衰减器、有源数控移相器均由至少9位控制位控制,所述可查表码值寄存器包括第一锁存器、第二级锁存器、缓冲器、寻址器,串行信号通过第一锁存器完成串并码值转换,再通过控制第二级锁存器完成信号锁存,完成对可查表码值寄存器的写操作,6位衰减地址位和6位移相地址位通过寻址器分别实现对64个

9位二进制衰减码和64个9位二进制移相码寻址,通过控制选择开关使能,输出9位衰减码和9位移相码分别至有源数控衰减器、有源数控移相器,控制衰减和移相,进而对相控阵系统所要求的6位衰减和6位移相进行精度调节。

[0007] 更进一步地,所述有源数控衰减器与有源数控移相器的控制位均为9位。

[0008] 更进一步地,所述有源数控衰减器为有源数控可变增益放大器,所述有源数控可变增益放大器包括两级可变增益放大器,所述有源数控可变增益放大器通过两级可变增益放大器完成衰减器调幅。

[0009] 更进一步地,所述有源数控可变增益放大器,每级可变增益放大器为6位,对应控制位分别为VC1~VC6,两级可变增益放大器级联一共12位控制位,将12位衰减器控制位缩减至9位,对应增益比例分别为:1:2:3:4:8:12:16:32:48,当单位增益变换为1XdB时,则通过控制每位尾电流源偏置的开与关可分别实现可变增益放大器增益 $\pm 1\text{XdB}$, $\pm 2\text{XdB}$, $\pm 4\text{XdB}$, $\pm 8\text{XdB}$, $\pm 16\text{XdB}$, $\pm 32\text{XdB}$ 变化。

[0010] 更进一步地,所述可变增益放大器包括6个成比例的第一Gilbert单元,6个成比例的第一Gilbert单元并联,提供增益比例分别为1:2:4:8:16:32。

[0011] 更进一步地,所述有源数控移相器包括正交信号发生器、两个VGA可变增益放大器、加法器,一对射频差分输入信号输入到正交信号发生器,正交信号发生器输出正交的两路差分信号I路和Q路,I路和Q路信号分别经过一个VGA可变增益放大器,再经过加法器合成一路差分信号。

[0012] 更进一步地,所述有源数控可变增益放大器包括相位合成电路与DAC偏置电路;所述相位合成电路包括MOS管M1~M14,其中,MOS管M1、M8栅极分别为电压偏置端VB2、VB4,源极接地;MOS管M1漏极连接MOS管M2、M3的源极,MOS管M8漏极连接MOS管M9、M10的源极,MOS管M2、M3的栅极通过控制开关VI和 \overline{VI} 连接到电压偏置端VB1,MOS管M9、M10的栅极通过控制开关VQ和 \overline{VQ} 连接到电压偏置端VB3,MOS管M2的漏极连接到M4和M5的源极,MOS管M3的漏极连接到MOS管M6、M7的源极,MOS管M9的漏极连接到MOS管M11、M12的源极,MOS管M10的漏极连接到MOS管M13、M14的源极,MOS管M4、M7栅极连接RFI+信号,MOS管M5、M6的栅极连接RFI-信号,MOS管M11、M14的栅极连接RFQ+信号,MOS管M12、M13的栅极连接RFQ-信号,MOS管M4、M6、M11、M13漏极连接到Iout+端,MOS管M5、M7、M12、M14漏极连接到Iout-端;DAC偏置电路包括7位1X、2X、4X、8X、16X、32X、64X电流偏置电路与MOS管M15~M18,7位电流偏置电路分别通过成对的开关控制信号V1和 $\overline{V1}$ 、V2和 $\overline{V2}$ 、V3和 $\overline{V3}$ 、V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制流经M15、M17和M16和M18电流的大小,其中,MOS管M15、M16源极接地,栅极和漏极分别短接,分别连接到电压偏置端VB2、VB4,然后分别连接到MOS管M17、M18的源极,MOS管M17和M18栅极和漏极分别短接,分别连接到电压偏置端VB1和VB3,然后分别连接到V1~V7和 $\overline{V1}$ ~ $\overline{V7}$ 控制的开关,V1和 $\overline{V1}$ 、V2和 $\overline{V2}$ 、V3和 $\overline{V3}$ 、V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制的开关管分别短接连接到1X、2X、4X、8X、16X、32X、64X的电流源。

[0013] 本发明相比现有技术具有以下优点:该幅相精度可调节的衰减移相系统,在外部系统要求6位衰减6位移相的背景下,直接衰减位数和移相位数分别增加到9位,使得幅相精度进一步提升成为了可能;此外基于本架构,在系统复杂度和上电可查表码值寄存器写入数据时间允许的条件下,9位直接控制位仍可进一步增加;并随着直接控制位的增加,相应

的衰减、移相位也从原来的各64位分别增加到512位,在外部6位控制位不变的条件下,每一个衰减态、移相态可从多个状态中选择;对于系统不同衰减移相精度的指标要求,可将不同的码值写入可查表码值寄存器实现幅相多功能芯片在片调节优化。

附图说明

- [0014] 图1是本发明实施例中幅相精度可调节的衰减移相系统示意图;
- [0015] 图2a是本发明实施例中基于CMOS工艺的数控有源可变增益放大器结构示意图;
- [0016] 图2b是本发明实施例中单个6位可变增益放大器的电路原理图;
- [0017] 图3a是本发明实施例中基于CMOS工艺的有源数控移相器结构示意图;
- [0018] 图3b是本发明实施例中正交的两路可变增益放大器和加法器的电路原理图。

具体实施方式

[0019] 下面对本发明的实施例作详细说明,本实施例在以本发明技术方案为前提下进行实施,给出了详细的实施方式和具体的操作过程,但本发明的保护范围不限于下述的实施例。

[0020] 如图1所示,本实施例提供一种技术方案:一种幅相精度可调节的衰减移相系统,基于硅基工艺,在外部系统要求6位衰减、6位移相的背景下,通过片上集成可查找码值寄存器实现对9位数控有源衰减器和9位数控有源移相器幅相控制,且该架构可通过对可查表码值寄存器存储数据的写入来实现幅相精度的调整优化;理论上,随着衰减器和移相器直接控制位数的增加,幅相精度也随之提高;基于本发明架构,可在外部系统总衰减、移相控制位不变的情况下,通过扩展芯片内部衰减、移相直接控制位数实现高精度衰减和移相;本发明适用于以相控阵架构为基础的微波毫米波收发电路中。

[0021] 具体地,本发明架构包括9位有源数控衰减器、9位有源数控移相器、可查表码值寄存器三部分。1152位串行数据SDIN在CLK时钟信号及片选信号SEL_R使能的情况下经过第一级锁存器,再经第二级锁存信号SYN_R实现控制信号串并转换及锁存,然后完成对128个9位二进制寄存器的写操作;6位衰减地址位A1~A6和6位移相地址位P1~P6通过寻址器分别实现对64个9位二进制衰减码和64个9位二进制移相码寻址,通过控制选择开关使能,输出期望9位衰减码和9位移相码,从而控制衰减和移相。

[0022] 如图1所示,本发明架构中各模块间连接实施方式如下:可查表码值寄存器输入信号包括:串码输入信号SDIN、时钟信号CLK、片选信号SEL_R、二级锁存信号SYN_R、A1~A6 6位衰减位控制位、P1~P6 6位衰减位控制位,可查表码值寄存器输出信号包括:AA1~AA9 9位直接衰减器控制位和PP1~PP9 9位直接移相器控制位;AA1~AA9连接衰减器控制位,PP1~PP9连接移相器控制位。

[0023] 可查表码值寄存器内部模块连接实施方式如下:码值经二级锁存器分别锁存到P1~P9、P10~P18...P1135~P1143、P1144~P1152共计128个9位2进制寄存器中,A1~A6和P1~P6地址位通过寻址器输入,寻址器输出控制信号分别连接到128个寄存器上来控制相应9位衰减、移相控制码输出,输出信号最后再经缓冲器输出。

[0024] 如图2a、2b所示,分别是本发明设计的基于CMOS工艺的数控有源可变增益放大器结构示意图、单个6位可变增益放大器的电路原理图,通过有源数控可变增益放大器实现9

位数控衰减的功能。电路实施方式如下：有源数控可变增益放大器由两级6位可变增益放大器级联实现，每级可变增益放大器实现原理相同，即由6个成比例的Gilbert单元并联实现。其中6个Gilbert(吉尔伯特)单元提供增益比例分别为1:2:4:8:16:32，单位增益变换为1XdB，则通过控制每位尾电流源偏置的开与关分别实现可变增益放大器增益 ± 1 XdB， ± 2 XdB， ± 4 XdB， ± 8 XdB， ± 16 XdB， ± 32 XdB变化。用于实现衰减器的每级可变增益放大器为6位，对应控制位分别为VC1~VC6，两级级联一共12位控制位，第二级有源数控可变增益放大器的控制位为6位，将6位控制位两两组合，形成3位控制位，对应实现3:12:48的增益变化比例，将12位衰减器控制位缩减至9位，对应增益比例分别为：1:2:3:4:8:12:16:32:48。

[0025] 单个6位可变增益放大器的电路由6位Gilbert单元并联构成，其中单个Gilbert单元连接方式如下：控制MOS管M1和M2偏置的开关设置在其栅极，MOS管M1的漏极连接MOS管M3和MOS管M4的源极，MOS管M2漏极连接MOS管M5和MOS管M6的源极，MOS管M1和MOS管M2的源极接地，MOS管M3和MOS管M4的栅极分别输入射频频的差分信号RF1+和RF1-，MOS管M5和MOS管M6的栅极分别输入射频频的差分信号RF1-和RF1+，MOS管M3的漏极和MOS管M5的漏极相连输出RFOUT1+，M4的漏极和M6的漏极相连输出RFOUT1-。

[0026] 如图3a、3b所示，分别是本发明设计的基于CMOS工艺的有源数控移相器结构示意图、正交的两路可变增益放大器和加法器的电路原理图，通过有源数控移相器实现9位数控衰减功能。有源数控移相器结构连接实施方式如下：RF+和RF-一对射频频差分输入信号输入到正交信号发生器，正交信号发生器输出正交的两路差分信号I路和Q路，信号分别经过VGA可变增益放大器，再经过加法器合成一路差分信号。

[0027] 其中，正交的两路VGA可变增益放大器和加法器实现方式如下：MOS管M1~M7和M8~M14分别连接成吉尔伯特单元，用作I路和Q路的VGA可变增益放大器，再将每个吉尔伯特单元的Iout+和Iout-分别短接，实现两路正交信号相加合并单路输出，实现期望相位输出；其中VI和VQ用于分别控制M2、M3和M9和M10的偏置VB1和VB3开关，M4~M7和M11~M14用于完成信号射频频放大，此外尾电流源M1和M8分别通过7位数控DAC电流镜偏置，通过控制其偏置电压实现每路信号增益调节。

[0028] 7位数控DAC电流镜偏置电路包含7位1X、2X、4X、8X、16X、32X、64X电流偏置电路，分别通过成对的开关控制信号：V1和 $\overline{V1}$ 、V2和 $\overline{V2}$ 、V3和 $\overline{V3}$ 、V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制流经M15、M17和M16和M18电流的大小，M17提供VB1，M15提供VB2，M18提供VB3，M16提供VB4。

[0029] 有源数控移相器连接方式如下：M1、M8栅极分别为电压偏置VB2、VB4，其源极接地。M1漏极连接M2和M3的源极，M8漏极连接M9和M10的源极，M2和M3的栅极通过控制开关VI和 $\overline{V1}$ 连接到电压偏置VB1，M9和M10的栅极通过控制开关VQ和 \overline{VQ} 连接到电压偏置VB3，M2的漏极连接到M4和M5的源极，M3的漏极连接到M6和M7的源极，M9的漏极连接到M11和M12的源极，M10的漏极连接到M13和M14的源极，M4和M7栅极为RFI+信号，M5和M6栅极为RFI-信号，M11和M14栅极为RFQ+信号，M12和M13栅极为RFQ-信号，M4、M6、M11、M13漏极连接到Iout+，M5、M7、M12、M14漏极连接到Iout-。M15和M16源极到地，栅极和漏极分别短接，分别连接到电压偏置VB2和VB4，然后分别连接到M17和M18的源极，M17和M18栅极和漏极分别短接，分别连接到电压偏置VB1和VB3，然后分别连接到V1~V7和 $\overline{V1}$ ~ $\overline{V7}$ 控制的开关，V1和 $\overline{V1}$ 、V2和 $\overline{V2}$ 、V3和 $\overline{V3}$ 、

V4和 $\overline{V4}$ 、V5和 $\overline{V5}$ 、V6和 $\overline{V6}$ 、V7和 $\overline{V7}$ 控制的开关管分别短接连接到1X, 2X, 4X, 8X, 16X, 32X, 64X的电流源。

[0030] 综上所述,上述实施例的幅相精度可调节的衰减移相系统,在外部系统要求6位衰减6位移相的背景下,直接衰减位数和移相位数分别增加到9位,使得幅相精度进一步提升成为了可能;此外基于本架构,在系统复杂度和上电可查表码值寄存器写入数据时间允许的条件下,9位直接控制位仍可进一步增加;并随着直接控制位的增加,相应的衰减、移相位也从原来的各64位分别增加到512位,在外部6位控制位不变的条件下,每一个衰减态、移相态可从多个状态中选择;对于系统不同衰减移相精度的指标要求,可将不同的码值写入可查表码值寄存器实现幅相多功能芯片在片调节优化。

[0031] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

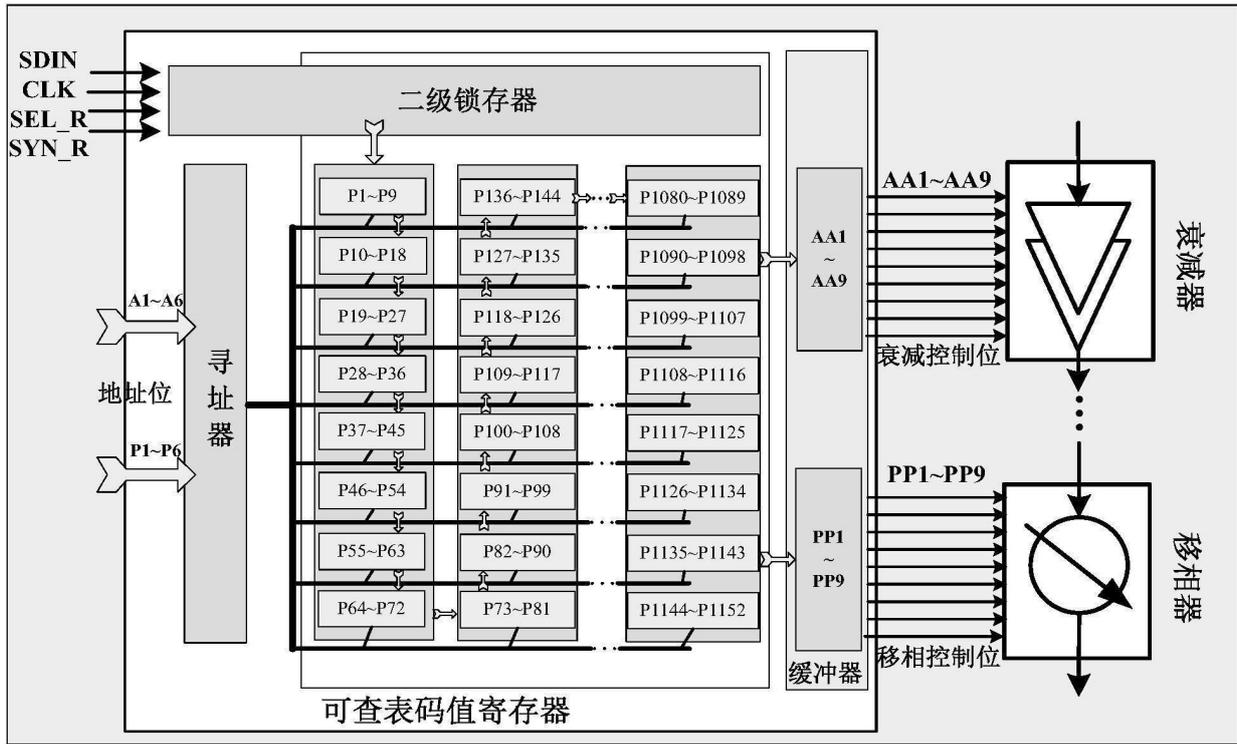
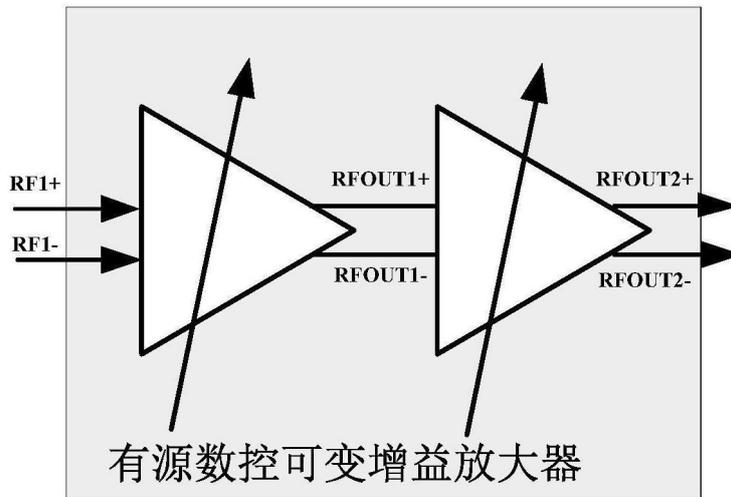
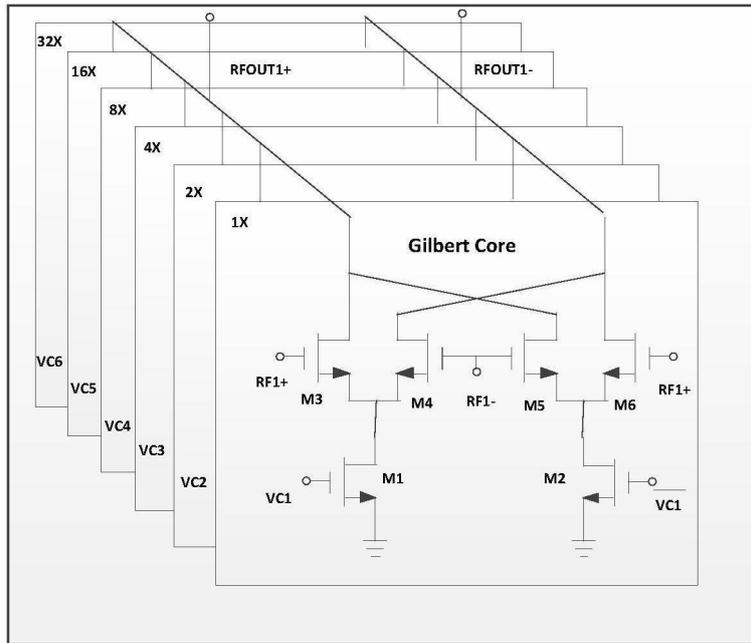


图1

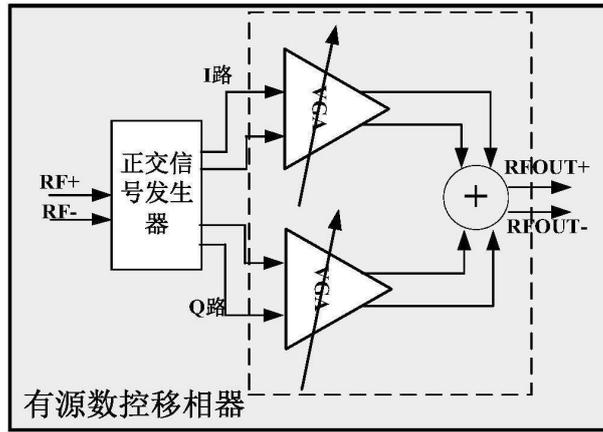


a

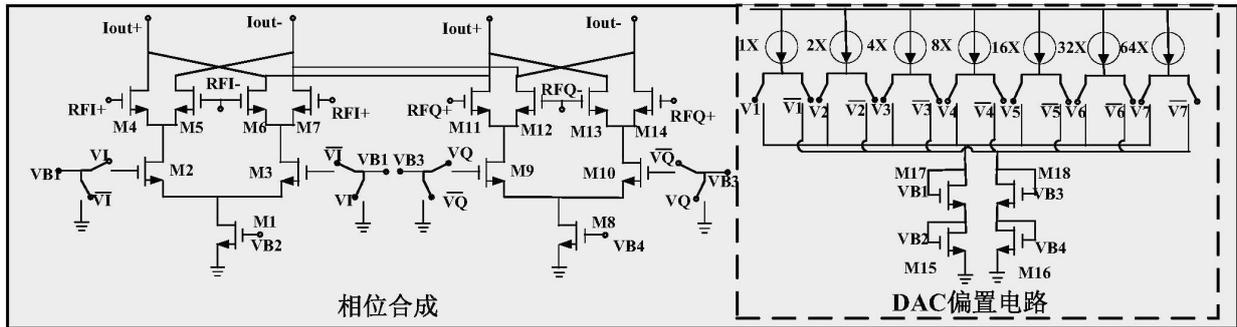


b

图2



a



b

图3