

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-259886
(P2004-259886A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 25/085	HO 1 L 25/08	5 F O 4 4
HO 1 L 21/60	HO 1 L 21/60	3 1 1 Q
HO 1 L 23/12	HO 1 L 23/12	5 O 1 Z
HO 1 L 25/07		
HO 1 L 25/18		

審査請求 未請求 請求項の数 12 O L (全 11 頁)

(21) 出願番号	特願2003-47929 (P2003-47929)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年2月25日(2003.2.25)	(74) 代理人	100066980 弁理士 森 哲也
		(74) 代理人	100075579 弁理士 内藤 嘉昭
		(74) 代理人	100103850 弁理士 崔 秀▲てつ▼
		(72) 発明者	青▲柳▼ 哲理 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5F044 KK18 LL01 LL04 QQ03 RR01 RR03

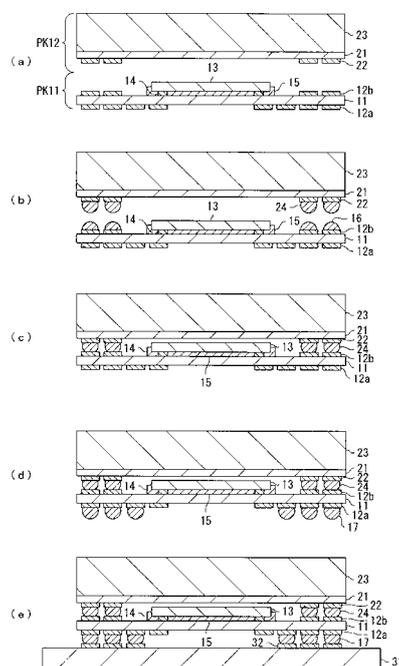
(54) 【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

(57) 【要約】

【課題】 キャリア基板の2次実装時における突出電極の融解を防止する。

【解決手段】 キャリア基板11の裏面に設けられたランド12a上に、突出電極24よりも融点の低い突出電極17を形成し、突出電極24の融点よりも低く、突出電極17の融点よりも高い温度でリフロー処理を行うことにより、突出電極17をマザー基板31のランド32上に接合させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 半導体チップが搭載された第 1 半導体パッケージと、
前記第 1 半導体パッケージに設けられた第 1 突出電極と、
第 2 半導体チップが搭載され、前記第 1 突出電極よりも融点の高い第 2 突出電極を介して
前記第 1 半導体パッケージ上に実装された第 2 半導体パッケージとを備えることを特徴と
する半導体装置。

【請求項 2】

前記第 1 半導体パッケージは、
前記第 1 半導体チップが実装された第 1 キャリア基板を備え、
前記第 2 半導体パッケージは、
前記第 2 突出電極を介し、前記第 1 半導体チップ上に保持されるように前記第 1 キャリア
基板上に実装された第 2 キャリア基板を備えることを特徴とする請求項 1 記載の半導体装
置。

【請求項 3】

前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリッ
プチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャ
リア基板上に搭載された第 2 半導体チップがモールド封止されたボールグリッドアレイま
たはチップサイズパッケージであることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

第 1 キャリア基板と、
前記第 1 キャリア基板に設けられた第 1 突出電極と、
前記第 1 突出電極よりも融点の高い第 2 突出電極を介して前記第 1 キャリア基板上に実装
された第 2 キャリア基板と、
前記第 2 突出電極よりも融点の高い第 3 突出電極を介して前記第 1 キャリア基板上に実装
された第 1 半導体チップと、
前記第 2 キャリア基板に実装された第 2 半導体チップとを備えることを特徴とする半導体
装置。

【請求項 5】

第 1 電子部品が搭載された第 1 パッケージと、
前記第 1 パッケージに設けられた第 1 突出電極と、
第 2 電子部品が搭載され、前記第 1 突出電極よりも融点の高い第 2 突出電極を介して前記
第 1 パッケージ上に実装された第 2 パッケージとを備えることを特徴とする電子デバイス
。

【請求項 6】

第 1 キャリア基板と、
前記第 1 キャリア基板に設けられた第 1 突出電極と、
前記第 1 突出電極よりも融点の高い第 2 突出電極を介して前記第 1 キャリア基板上に実装
された第 2 キャリア基板と、
前記第 2 突出電極よりも融点の高い第 3 突出電極を介して前記第 1 キャリア基板上に実装
された第 1 電子部品と、
前記第 2 キャリア基板に実装された第 2 電子部品とを備えることを特徴とする電子デバイ
ス。

【請求項 7】

第 1 半導体チップが搭載された第 1 半導体パッケージと、
前記第 1 半導体パッケージに設けられた第 1 突出電極と、
第 2 半導体チップが搭載され、前記第 1 突出電極よりも融点の高い第 2 突出電極を介して
前記第 1 半導体パッケージ上に実装された第 2 半導体パッケージと、
前記第 1 突出電極を介して前記第 1 半導体パッケージが実装されたマザー基板とを備える
ことを特徴とする電子機器。

10

20

30

40

50

【請求項 8】

第 1 キャリア基板と、
前記第 1 キャリア基板に設けられた第 1 突出電極と、
前記第 1 突出電極よりも融点の高い第 2 突出電極を介して前記第 1 キャリア基板上に実装された第 2 キャリア基板と、
前記第 2 突出電極よりも融点の高い第 3 突出電極を介して前記第 1 キャリア基板上に実装された第 1 半導体チップと、
前記第 2 キャリア基板に実装された第 2 半導体チップと、
前記第 1 突出電極を介して前記第 1 キャリア基板が実装されたマザー基板とを備えることを特徴とする電子機器。

10

【請求項 9】

第 1 半導体パッケージに第 1 突出電極を形成する工程と、
前記第 1 突出電極を介し前記第 1 半導体パッケージを第 2 半導体パッケージ上に実装する工程と、
前記第 1 突出電極よりも融点の低い第 2 突出電極を前記第 2 半導体パッケージに形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 10】

第 1 半導体チップに第 1 突出電極を形成する工程と、
前記第 1 突出電極を介し前記第 1 半導体チップを第 1 キャリア基板上に実装する工程と、
第 2 キャリア基板に第 2 半導体チップを実装する工程と、
前記第 1 突出電極よりも融点の低い第 2 突出電極を前記第 2 キャリア基板に形成する工程と、
前記第 2 突出電極を介し、第 2 半導体チップが搭載された第 2 キャリア基板を前記第 1 キャリア基板上に実装する工程と、
前記第 2 突出電極よりも融点の低い第 3 突出電極を前記第 1 キャリア基板に形成する工程とを備えることを特徴とする半導体装置の製造方法。

20

【請求項 11】

第 1 電子部品が搭載された第 1 パッケージに第 1 突出電極を形成する工程と、
前記第 1 突出電極を介し、第 2 電子部品が搭載された第 2 パッケージ上に前記第 1 パッケージを実装する工程と、
前記第 1 突出電極よりも融点の低い第 2 突出電極を前記第 2 パッケージに形成する工程とを備えることを特徴とする電子デバイスの製造方法。

30

【請求項 12】

第 1 電子部品に第 1 突出電極を形成する工程と、
前記第 1 突出電極を介し前記第 1 電子部品を第 1 キャリア基板上に実装する工程と、
第 2 キャリア基板に第 2 電子部品を実装する工程と、
前記第 1 突出電極よりも融点の低い第 2 突出電極を前記第 2 キャリア基板に形成する工程と、
前記第 2 突出電極を介し、第 2 電子部品が搭載された第 2 キャリア基板を前記第 1 キャリア基板上に実装する工程と、
前記第 2 突出電極よりも融点の低い第 3 突出電極を前記第 1 キャリア基板に形成する工程とを備えることを特徴とする電子デバイスの製造方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

50

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献1に開示されているように、キャリア基板を介して半導体チップを3次元実装する方法がある。

【0003】

【特許文献1】

特開平10-284683号公報

【0004】

【発明が解決しようとする課題】

しかしながら、キャリア基板を介して半導体チップを3次元実装する方法では、キャリア基板の2次実装時に、キャリア基板間の接続に使われる突出電極が融解し、パッケージが変形するという問題があった。

そこで、本発明の目的は、キャリア基板の2次実装時における突出電極の融解を防止することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0005】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体パッケージに設けられた第1突出電極と、第2半導体チップが搭載され、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1半導体パッケージ上に実装された第2半導体パッケージとを備えることを特徴とする。

【0006】

これにより、第1突出電極を介して第1半導体パッケージを2次実装する際に、第1半導体パッケージに接合された第2突出電極が溶解することを防止することが可能となる。このため、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となり、半導体チップの積層構造の信頼性を確保しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1半導体チップが実装された第1キャリア基板を備え、前記第2半導体パッケージは、前記第2突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板を備えることを特徴とする。

【0008】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、高さの増大を抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層させることが可能となるとともに、2次実装時の接続信頼性を向上させることができる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0009】

これにより、汎用パッケージを用いた場合においても、突出電極の再溶解を防止しつつ、異種パッケージを積層することが可能となり、生産効率を劣化させることなく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置によれば、第1キャリア基板と、前記第1キャリア基板上に設けられた第1突出電極と、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1キャリア基板上に実装された第2キャリア基板と、前記第2突出電極よりも融点の高い第3突出電極を介して前記第1キャリア基板上に実装された第1半導体チッ

10

20

30

40

50

ブと、前記第2キャリア基板に実装された第2半導体チップとを備えることを特徴とする。

【0010】

これにより、第1突出電極を介して第1キャリア基板を2次実装する際に、第1キャリア基板に接合された第2突出電極が溶解することを防止することが可能となるとともに、第2突出電極を介して第2キャリア基板を実装する際に、第1キャリア基板に接合された第3突出電極が溶解することを防止することが可能となる。このため、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となり、半導体チップの積層構造の信頼性を確保しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

10

【0011】

また、本発明の一態様に係る電子デバイスによれば、第1電子部品が搭載された第1パッケージと、前記第1パッケージに設けられた第1突出電極と、第2電子部品が搭載され、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1パッケージ上に実装された第2パッケージとを備えることを特徴とする。これにより、第1突出電極を介して第1パッケージを2次実装する際に、第1パッケージに接合された第2突出電極が溶解することを防止することが可能となり、パッケージの変形を抑制しつつ、電子部品を3次元実装することが可能となる。

【0012】

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板に設けられた第1突出電極と、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1キャリア基板上に実装された第2キャリア基板と、前記第2突出電極よりも融点の高い第3突出電極を介して前記第1キャリア基板上に実装された第1電子部品と、前記第2キャリア基板に実装された第2電子部品とを備えることを特徴とする。

20

【0013】

これにより、第1突出電極を介して第1キャリア基板を2次実装する際に、第1キャリア基板に接合された第2突出電極が溶解することを防止することが可能となるとともに、第2突出電極を介して第2キャリア基板を実装する際に、第1キャリア基板に接合された第3突出電極が溶解することを防止することが可能となり、パッケージの変形を抑制しつつ、電子部品を3次元実装することが可能となる。

30

【0014】

また、本発明の一態様に係る電子機器によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体パッケージに設けられた第1突出電極と、第2半導体チップが搭載され、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1半導体パッケージ上に実装された第2半導体パッケージと、前記第1突出電極を介して前記第1半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

【0015】

これにより、第1突出電極を介して第1半導体パッケージをマザー基板に2次実装する際に、第1半導体パッケージに接合された第2突出電極が溶解することを防止することが可能となり、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となる。

40

また、本発明の一態様に係る電子機器によれば、第1キャリア基板と、前記第1キャリア基板に設けられた第1突出電極と、前記第1突出電極よりも融点の高い第2突出電極を介して前記第1キャリア基板上に実装された第2キャリア基板と、前記第2突出電極よりも融点の高い第3突出電極を介して前記第1キャリア基板上に実装された第1半導体チップと、前記第2キャリア基板に実装された第2半導体チップと、前記第1突出電極を介して前記第1キャリア基板が実装されたマザー基板とを備えることを特徴とする。

【0016】

これにより、第1突出電極を介して第1キャリア基板をマザー基板に2次実装する際に、第1キャリア基板に接合された第2突出電極が溶解することを防止することが可能となる

50

とともに、第2突出電極を介して第2キャリア基板を第1キャリア基板に実装する際に、第1キャリア基板に接合された第3突出電極が溶解することを防止することが可能となり、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となる。

【0017】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体パッケージに第1突出電極を形成する工程と、前記第1突出電極を介し前記第1半導体パッケージを第2半導体パッケージ上に実装する工程と、前記第1突出電極よりも融点の低い第2突出電極を前記第2半導体パッケージに形成する工程とを備えることを特徴とする。

【0018】

これにより、第1半導体パッケージと第2半導体パッケージとを接続する第1突出電極が溶解することを防止しつつ、第2突出電極を介して第2半導体パッケージを2次元実装することが可能となり、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体チップに第1突出電極を形成する工程と、前記第1突出電極を介し前記第1半導体チップを第1キャリア基板上に実装する工程と、第2キャリア基板に第2半導体チップを実装する工程と、前記第1突出電極よりも融点の低い第2突出電極を前記第2キャリア基板に形成する工程と、前記第2突出電極を介し、第2半導体チップが搭載された第2キャリア基板を前記第1キャリア基板上に実装する工程と、前記第2突出電極よりも融点の低い第3突出電極を前記第1キャリア基板に形成する工程とを備えることを特徴とする。

【0019】

これにより、第1半導体チップと第1キャリア基板とを接続する第1突出電極が溶解することを防止しつつ、第2突出電極を介して第2キャリア基板を第1キャリア基板に実装することが可能となるとともに、第1キャリア基板と第2キャリア基板とを接続する第2突出電極が溶解することを防止しつつ、第3突出電極を介して第1キャリア基板を2次元実装することが可能となり、半導体パッケージの変形を抑制しつつ、半導体チップを3次元実装することが可能となる。

【0020】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1電子部品が搭載された第1パッケージに第1突出電極を形成する工程と、前記第1突出電極を介し、第2電子部品が搭載された第2パッケージ上に前記第1パッケージを実装する工程と、前記第1突出電極よりも融点の低い第2突出電極を前記第2パッケージに形成する工程とを備えることを特徴とする。

【0021】

これにより、第1パッケージと第2パッケージとを接続する第1突出電極が溶解することを防止しつつ、第2突出電極を介して第2パッケージを2次元実装することが可能となり、パッケージの変形を抑制しつつ、電子部品を3次元実装することが可能となる。

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1電子部品に第1突出電極を形成する工程と、前記第1突出電極を介し前記第1電子部品を第1キャリア基板上に実装する工程と、第2キャリア基板に第2電子部品を実装する工程と、前記第1突出電極よりも融点の低い第2突出電極を前記第2キャリア基板に形成する工程と、前記第2突出電極を介し、第2電子部品が搭載された第2キャリア基板を前記第1キャリア基板上に実装する工程と、前記第2突出電極よりも融点の低い第3突出電極を前記第1キャリア基板に形成する工程とを備えることを特徴とする。

【0022】

これにより、第1電子部品と第1キャリア基板とを接続する第1突出電極が溶解することを防止しつつ、第2突出電極を介して第2キャリア基板を第1キャリア基板に実装することが可能となるとともに、第1キャリア基板と第2キャリア基板とを接続する第2突出電極が溶解することを防止しつつ、第3突出電極を介して第1キャリア基板を2次元実装する

10

20

30

40

50

ことが可能となり、パッケージの変形を抑制しつつ、電子部品を3次元実装することが可能となる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第1実施形態は、半導体パッケージPK12に設けられた突出電極24の融点を、半導体パッケージPK11に設けられた突出電極17の融点よりも高くしたものである。

【0024】

図1(a)において、半導体パッケージPK11にはキャリア基板11が設けられ、キャリア基板11の両面にはランド12a、12bがそれぞれ形成されている。そして、キャリア基板11上には半導体チップ(または半導体ダイ)13がフリップチップ実装され、半導体チップ13には、フリップチップ実装するための突出電極14が設けられている。そして、半導体チップ13に設けられた突出電極14は、異方性導電シート15を介してランド12b上にACF(Anisotropic Conductive Film)接合されている。

【0025】

ここで、ACF接合により半導体チップ13をキャリア基板11上に実装することにより、ワイヤボンダやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ13をキャリア基板11上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板11の反りを低減することが可能となる。

【0026】

一方、半導体パッケージPK12にはキャリア基板21が設けられ、キャリア基板21の裏面にはランド22が形成されている。また、キャリア基板21上には半導体チップが実装され、半導体チップが実装されたキャリア基板21の一面全体は、封止樹脂23で封止されている。なお、キャリア基板21上に実装された半導体チップを封止樹脂23で封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0027】

これにより、半導体チップを封止する封止樹脂23により、半導体パッケージPK12の剛性を向上させることが可能となり、半導体パッケージPK12の高さの増大を抑制しつつ、半導体チップが搭載されるキャリア基板21の反りを低減させることが可能となる。なお、キャリア基板21上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0028】

次に、図1(b)に示すように、キャリア基板21の裏面に設けられたランド22上に突出電極24を形成する。また、キャリア基板11のランド12b上にフラックス16を供給する。なお、キャリア基板11のランド12b上には、フラックス16の代わりに半田ペーストを供給してもよい。

次に、図1(c)に示すように、半導体パッケージPK11上に半導体パッケージPK12をマウントし、リフロー処理を行うことにより、突出電極24をランド12b上に接合させる。なお、突出電極24は、半導体チップ13の搭載領域を避けるようにして配置することができ、例えば、キャリア基板21の裏面の周囲に突出電極24を配置することができる。そして、キャリア基板11上に設けられたランド12bに突出電極24を接合させ、キャリア基板21が半導体チップ13上に保持されるようにして、キャリア基板21をキャリア基板11上に実装することができる。

【0029】

10

20

30

40

50

これにより、半導体パッケージ P K 1 1、P K 1 2 の種類が異なる場合においても、半導体チップの積層構造を実現することが可能となり、異なる種類の半導体チップの積層を可能としつつ、省スペース化を図ることが可能となる。なお、キャリア基板 2 1 をキャリア基板 1 1 上に実装する場合、キャリア基板 2 1 の裏面は半導体チップ 1 3 上に密着していてもよいし、キャリア基板 2 1 の裏面は半導体チップ 1 3 から離れていてもよい。

【0030】

次に、図 1 (d) に示すように、キャリア基板 1 1 の裏面に設けられたランド 1 2 a 上に、突出電極 2 4 よりも融点の低い突出電極 1 7 を形成する。

次に、図 1 (e) に示すように、突出電極 1 7 が形成されたキャリア基板 1 1 をマザー基板 3 1 上にマウントする。そして、突出電極 2 4 の融点よりも低く、突出電極 1 7 の融点よりも高い温度でリフロー処理を行うことにより、突出電極 1 7 をマザー基板 3 1 のランド 3 2 上に接合させる。

10

【0031】

これにより、突出電極 1 7 を介して半導体パッケージ P K 1 1 を 2 次実装する際に、半導体パッケージ P K 1 1 に接合された突出電極 2 4 が溶解することを防止することが可能となる。このため、半導体パッケージ P K 1 1、P K 1 2 の変形を抑制しつつ、半導体チップを 3 次元実装することが可能となり、半導体チップの積層構造の信頼性を確保しつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0032】

なお、キャリア基板 1 1、2 1 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 1 1、2 1 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、B T レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 1 4、1 7、2 4 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができ、特に、突出電極 1 7、2 4 として、例えば、半田ボールを用いることにより、汎用の B G A を用いることで、異種パッケージ P K 1 1、P K 1 2 同士を積層することができ、製造ラインを流用することができる。

20

【0033】

ここで、突出電極 1 7、2 4 として、半田ボールを用いる場合、組成の異なる P b - S n 半田を用いることができ、例えば、突出電極 1 7 として、S n と P b の割合が 4 : 6 で溶解温度が 2 3 8 の P b - S n 半田、突出電極 2 4 として、S n と P b の割合が 2 : 8 で溶解温度が 2 7 9 の P b - S n 半田を挙げることができる。また、突出電極 1 7、2 4 として、組成の異なる鉛フリー半田を用いるようにしてもよく、例えば、突出電極 1 7 として、合金組成が S n - 3 . 5 A g - 0 . 7 5 C u で溶解温度が 2 1 9 の鉛フリー半田、突出電極 2 4 として、合金組成が S n - 0 . 7 5 C u で溶解温度が 2 2 9 の鉛フリー半田を挙げることができる。

30

【0034】

また、上述した実施形態では、キャリア基板 2 1 をキャリア基板 1 1 上に実装するために、突出電極 2 4 をキャリア基板 2 1 のランド 2 2 上に設ける方法について説明したが、突出電極 2 4 をキャリア基板 1 1 のランド 1 2 b 上に設けるようにしてもよい。また、上述した実施形態では、A C F 接合により半導体チップ 1 3 をキャリア基板 1 1 上に実装する方法について説明したが、例えば、N C F (N o n c o n d u c t i v e F i l m) 接合、A C P (A n i s o t r o p i c C o n d u c t i v e P a s t e) 接合、N C P (N o n c o n d u c t i v e P a s t e) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板 1 1 とキャリア基板 2 1 との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。

40

【0035】

図 2 および図 3 は、本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図であ

50

る。なお、この第2実施形態は、半導体パッケージPK22に設けられた突出電極54の融点を、半導体パッケージPK21に設けられた突出電極47の融点よりも高くするとともに、半導体チップ43に設けられた突出電極45の融点を、半導体パッケージPK22に設けられた突出電極54の融点よりも高くしたものである。

【0036】

図2(a)において、キャリア基板41上にはランド42b、42b'が形成されるとともに、キャリア基板41の裏面にはランド42aが形成されている。また、半導体チップ43には、突出電極45を配置するためのランド44が設けられている。

一方、半導体パッケージPK22にはキャリア基板51が設けられ、キャリア基板51の裏面にはランド52が形成されている。また、キャリア基板51上には半導体チップが実装され、半導体チップが実装されたキャリア基板51の一面全体は、封止樹脂53で封止されている。なお、キャリア基板51上に実装された半導体チップを封止樹脂53で封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。また、キャリア基板51上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

10

【0037】

次に、図2(b)に示すように、半導体チップ43に設けられたランド44上に突出電極45を形成する。なお、突出電極45をキャリア基板41側に設けるようにしてもよい。一方、キャリア基板41のランド42b'上にフラックス46を供給する。なお、キャリア

20

【0038】

次に、図2(c)に示すように、キャリア基板41上に半導体チップ43をマウントする。そして、リフロー処理を行うことにより、突出電極45をランド42b'上に接合させ、半導体パッケージPK21を製造する。

次に、図3(a)に示すように、キャリア基板51の裏面に設けられたランド52上に、突出電極45よりも融点の低い突出電極54を形成する。なお、突出電極54をキャリア基板41側に設けるようにしてもよい。また、キャリア基板41のランド42b上にフラックス46を供給する。なお、キャリア基板41のランド42b上には、フラックス46

30

【0039】

次に、図3(b)に示すように、半導体パッケージPK21上に半導体パッケージPK22をマウントする。そして、突出電極45の融点よりも低く、突出電極54の融点よりも高い温度でリフロー処理を行うことにより、突出電極54をランド42b上に接合させる。なお、突出電極54は、半導体チップ43の搭載領域を避けるようにして配置することができ、例えば、キャリア基板51の裏面の周囲に突出電極54を配置することができる。そして、キャリア基板41上に設けられたランド42bに突出電極54を接合させ、キャリア基板51が半導体チップ43上に保持されるようにして、キャリア基板51をキャリア基板41上に実装することができる。

40

【0040】

これにより、半導体パッケージPK21、PK22の種類が異なる場合においても、半導体チップの積層構造を実現することが可能となり、異なる種類の半導体チップの積層を可能としつつ、省スペース化を図ることが可能となる。

次に、図3(c)に示すように、キャリア基板41の裏面に設けられたランド42a上に、突出電極54よりも融点の低い突出電極47を形成する。

【0041】

次に、図3(d)に示すように、突出電極47が形成されたキャリア基板41をマザー基板61上にマウントする。そして、突出電極54の融点よりも低く、突出電極47の融点よりも高い温度でリフロー処理を行うことにより、突出電極47をマザー基板61のラン

50

ド 6 2 上に接合させる。

これにより、半導体チップ 4 3 とキャリア基板 4 1 とを接続する突出電極 4 5 が溶解することを防止しつつ、突出電極 5 4 を介してキャリア基板 5 1 をキャリア基板 4 1 に実装することが可能となるとともに、キャリア基板 4 1 とキャリア基板 5 1 とを接続する突出電極 5 4 が溶解することを防止しつつ、突出電極 4 7 を介してキャリア基板 4 1 をマザー基板 6 1 上に実装することが可能となり、半導体パッケージ P K 2 1、P K 2 2 の変形を抑制しつつ、半導体チップを 3 次元実装することが可能となる。

【 0 0 4 2 】

なお、突出電極 4 5、4 7、5 4 としては、例えば、Au パンプ、半田材などで被覆された Cu パンプや Ni パンプ、あるいは半田ボールなどを用いることができる。また、キャリア基板 4 1 とキャリア基板 5 1 との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。

10

また、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

【 図面の簡単な説明 】

【 図 1 】 第 1 実施形態に係る半導体装置の製造方法を示す断面図。

【 図 2 】 第 2 実施形態に係る半導体装置の製造方法を示す断面図。

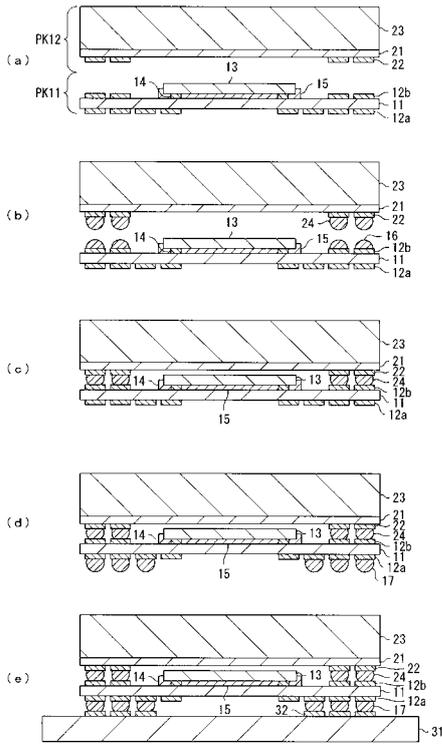
【 図 3 】 第 2 実施形態に係る半導体装置の製造方法を示す断面図。

20

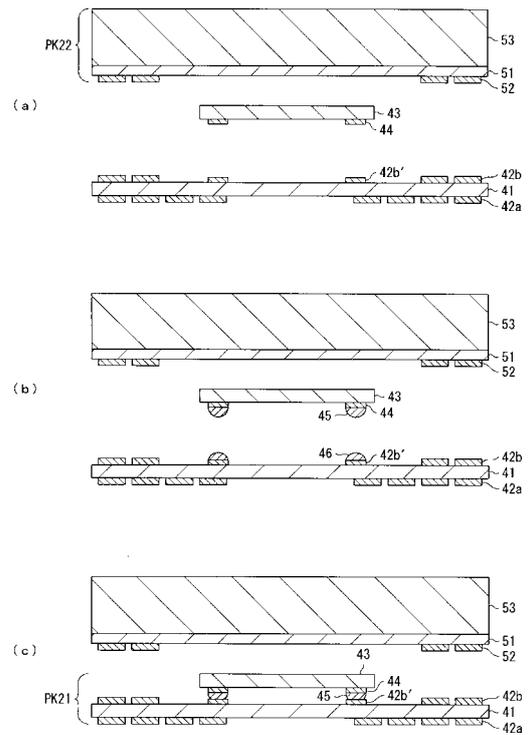
【 符号の説明 】

1 1、2 1、4 1、5 1 キャリア基板、1 2 a、1 2 b、2 2、3 2、4 2 a、4 2 b、4 2 b'、5 2、6 2 ランド、1 3、4 3 半導体チップ、1 4、1 7、2 4、4 5、4 7、5 4 突出電極、1 5 異方性導電シート、1 6、4 6 フラックス、2 3、5 3 封止樹脂、3 1、6 1 マザー基板、P K 1 1、P K 1 2、P K 2 1、P K 2 2 半導体パッケージ

【 図 1 】



【 図 2 】



【 図 3 】

